

## УНИВЕРСАЛЬНЫЙ ФУНКЦИОНАЛЬНЫЙ МЕТОД АНАЛИЗА БОЛЬШИХ САМОСИНХРОННЫХ СХЕМ\*

*Л. П. Плеханов<sup>1</sup>, В. Н. Захаров<sup>2</sup>*

**Аннотация:** Одна из главных задач создания самосинхронных (СС) электронных схем — анализ их самосинхронности. Известные событийные методы не обеспечивают полного анализа СС-схем реальной сложности из-за чрезмерного объема вычислений. В рамках функционального подхода предложен универсальный метод, основанный на автоматическом разделении схемы на минимальные СС-ячейки. Метод позволяет радикально уменьшить необходимые вычисления и анализировать самосинхронность схем любого размера.

**Ключевые слова:** самосинхронные схемы; анализ самосинхронных схем

**DOI:** 10.14357/08696527200202

### 1 Введение

Самосинхронные цифровые схемы имеют уникальные свойства по сравнению с традиционными типами схем, синхронными или асинхронными:

- полное и принципиальное отсутствие состязаний при любых задержках элементов схемы;
- отказобезопасность, проявляющаяся в остановке всех переключений при возникновении хотя бы одной константной неисправности типа залипания на 0 или 1 и некоторых других неисправностей.

Эти свойства обеспечивают правильность функционирования в максимально широком диапазоне внешних условий (температуры и напряжения питания), а также дают базис для создания высоконадежных устройств.

Впервые существование СС-схем было показано в работе Маллера и Бартки [1] и подтверждено прямыми экспериментами [2].

Практические принципы и методы создания СС-схем были разработаны В. И. Варшавским с сотр. [3]. Основные из этих принципов таковы:

- индикация изменений сигналов схемы на основе СС-кодирования — возможность на выходах всей схемы отследить такие изменения;

---

\* Исследование выполнено при финансовой поддержке по Программе фундаментальных исследований 2019 г. Президиума РАН (проект 2019-0054-2.2).

<sup>1</sup>Федеральный исследовательский центр «Информатика и управление» Российской академии наук, lplekhanov@inbox.ru

<sup>2</sup>Федеральный исследовательский центр «Информатика и управление» Российской академии наук, vzakharov@ipiran.ru

- порядок работы схемы — поочередная смена двух фаз: рабочей и спейсерной (промежуточной);
- обратная связь — после окончания текущей фазы (с помощью индикации выходов) инициирование следующей фазы на входах схемы.

При создании СС-схем принципиально важен анализ проектируемой схемы на самосинхронность. Классический подход состоит в анализе событий — изменений в нулях и единицах сигналов схемы. Подобные событийные методы в дальнейшем были созданы на основе сетей Петри и других представлений.

Главные недостатки событийных методов следующие:

- (1) экспоненциальная зависимость числа анализируемых состояний от количества элементов (функций) схемы. Если в схеме  $N$  элементов, число состояний может достигать  $2^N$ . Для не очень большой схемы из 100 элементов провести событийный анализ практически нереально;
- (2) событийный анализ проводится для замкнутого описания схемы. Это вынуждает разработчика делать дополнительную непростую работу по корректному замыканию выходов на входы;
- (3) отсутствие реального соблюдения полноты анализа [4]. Сеанс событийного анализа учитывает только одно начальное состояние и один набор значений входов. Схема, прошедшая неполный анализ, не может считаться СС. Необходимая полнота экспоненциально зависит от числа информационных входов схемы и переменных памяти. На практике полный событийный анализ никогда не делается.

Ранее был предложен функциональный подход (ФП) к проектированию СС-схем [5, 6]. Подход основан на описании СС-схем в логических функциях, а не в состояниях и событиях. Описание СС-схемы, таким образом, становится не динамическим, а статическим. Это позволяет, в частности, рассматривать разомкнутые схемы, что гораздо удобнее при проектировании. Для разомкнутых СС-схем сформулирован критерий самосинхронности на основе соблюдения приведенных выше свойств СС-схем. При этом разомкнутая схема, СС в смысле функционального подхода, при корректном замыкании остается СС и по определению Д. Маллера.

Функциональный подход позволяет делать анализ и синтез СС-схем иерархически, что обеспечивает создание таких схем любого размера. Отметим, что описанные в литературе событийные иерархические методы имеют скорее теоретический характер, так как их использование в практических случаях нереально.

Анализ СС-схем в функциональном иерархическом подходе состоит из двух частей: анализа на нижнем уровне иерархии и анализа на более высоких уровнях.

Анализ на нижнем уровне проводится при описании схемы в логических функциях. Такой анализ подробно изложен в статье [7].

Обозначим на этом уровне:

$N$  — число элементов (внутренних сигналов) схемы;

$M$  — число ее информационных входов;

$P$  — число переменных памяти (бистабильных ячеек).

В статье установлено, что сложность вычислений на этом уровне полиномиальна порядка 2 от  $N$  и экспоненциальна как  $2^{2(M+P)}$ .

На верхних уровнях иерархии СС-схема описывается структурно как вызовы СС-подсхем более низких уровней. Сложность вычислений на этих уровнях линейна от  $N$  — числа сигналов данной схемы, причем внутренние сигналы СС-подсхем в это число не входят.

В результате основная проблема объема вычислений оказывается на нижнем уровне иерархии, где есть экспоненциальная зависимость сложности.

Актуальность проблемы следует из того, что на практике уже давно разрабатываются СС-схемы с множеством входов. Например, в [8] представлен СС-вычислитель, имеющий три входных операнда по 64 разряда и один вход на 6 разрядов. Ясно, что анализ подобных схем представляет собой сложную задачу. Теоретически можно потребовать от разработчика разбивать схему на небольшие подсхемы. Однако разбиение по признаку анализа носит искусственный характер, значительно затрудняет проектирование и всегда нежелательно. Наилучшим решением могло бы стать создание метода, независимого от разбиения исходной схемы на СС-подсхемы.

Предлагаемый метод развивает иерархический метод в ФП. Его универсальность заключается в том, что анализируемая схема может быть представлена как простыми (несамосинхронными) элементами, так и СС-подсхемами, ранее прошедшими анализ, и эта схема может находиться на любом уровне иерархии.

Несамосинхронная по описанию часть схемы также должна быть проверена на самосинхронность. Идея состоит в автоматическом определении ее минимальных фрагментов, имеющих свойство самосинхронности, и анализе этих фрагментов. Далее схема уже будет состоять только из СС-подсхем и к ней можно будет применить анализ на верхнем уровне иерархии.

В результате в каждом фрагменте число  $N$  будет не более двух,  $M$  не превысит нескольких единиц из-за ограниченного числа входов фрагмента, а зависимость сложности вычислений от числа  $P$  удастся устранить. Анализ схемы в такой ситуации не представит вычислительной проблемы при любом ее размере.

## 2 Основные положения и определения

Сигналы в СС-схемах подразделяются по категориям: информационные и служебные, фазовые и нефазовые.

Информационные сигналы обеспечивают содержательные вычисления, служебные — нет. Фазовые сигналы несут информацию о текущей фазе, нефазо-

вые — нет. Всем фазовым сигналам присписывается *спейсер* 0 или 1 — значение в спейсерной фазе.

Информационные СС-сигналы следующие:

- *парафазные со спейсером* (ПФС) — два связанных фазовых сигнала в СС коде [3]. В этом коде каждый исходный информационный бит представляется двумя битами (сигналами): бит 0 — битами 01, бит 1 — битами 10, спейсерное (промежуточное) состояние кодируется одинаковыми битами 00 или 11, оставшееся состояние, противоположное спейсерному (11 или 00), запрещено;
- *бинарные нефазовые* (БНФ) — два выхода бистабильной ячейки триггера.

Другие разновидности информационных СС-сигналов: мультисигнальные со спейсером и унарные нефазовые — далее для простоты рассматриваться не будут. Их обработка несущественно отличается от обработки приведенных выше сигналов.

Основные служебные СС-сигналы следующие:

- *унарные фазовые* (УФ) — отдельные сигналы, несущие информацию о текущей фазе. Они выполняют роль индикаторных и управляющих сигналов.

Другие служебные сигналы далее рассматриваться не будут.

Сигналы в СС-схемах характеризуются *СС-атрибутами*:

- атрибут *назначения* со спейсером или без — один из приведенных выше типов сигналов;
- атрибут *транзитная фаза* — для БНФ-сигналов фаза, в которой эти сигналы меняются;
- *индикаторный* атрибут фазового выхода — список индицируемых на этом выходе сигналов в каждой из двух фаз по отдельности;
- *полные* атрибуты — все атрибуты выхода со спейсерами согласно типу этого выхода.

Элементы анализируемой схемы, кроме СС-подсхем, должны принадлежать одной библиотеке, называемой *основной*.

К основной библиотеке предъявляются следующие требования:

- она базируется на элементах КМДП-технологии;
- она должна содержать все необходимые для анализа элементы памяти — СС-триггеры. Это объясняется тем, что все практически значимые разновидности СС-триггеров к настоящему моменту созданы, проанализированы и запатентованы. Поэтому целесообразно их использовать целиком со своими СС-атрибутами и брать из библиотеки.

Библиотека может также содержать любые комбинационные несамосинхронные элементы, и любые СС-элементы со своими СС-атрибутами.

Пример такой библиотеки приведен в [9].

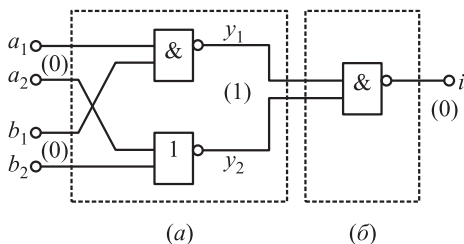
Анализ в предлагаемом методе связан с нахождением и контролем минимальных СС фрагментов. Самосинхронные подсхемы и СС-элементы библиотеки при этом не раскрываются и не анализируются.

*Назовем СС-ячейкой минимальный СС фрагмент схемы.*

В принятых условиях СС-ячейки могут быть следующих типов:

- (1) *ПФС-ячейка* — состоит из двух простых комбинационных элементов. Входами и выходами ячейки служат ПФС-сигналы;
- (2) *индикаторная ячейка (И-ячейка)* — комбинационный элемент с одним выходом. Входами и выходом ячейки будут фазовые сигналы. Эти ячейки предназначены для понижения числа индикаторных сигналов;
- (3) *триггерная ячейка (Т-ячейка)* — СС-триггер основной библиотеки.

На рисунке показаны примеры ПФС-ячейки, выполняющей исходную функцию 2И, и соответствующей И-ячейки. Примеры СС-триггеров приведены в [7, рис. 4.5].



Примеры СС-ячеек (в скобках указаны значения спейсеров): (а) ПФС-ячейка 2И; (б) И-ячейка

### 3 Постановка задачи

Для анализа предъявляются: основная библиотека и анализируемая схема.

Схема должна быть представлена в структурной форме и может содержать:

- библиотечные элементы из основной библиотеки,
- СС-подсхемы из любых, возможно других, библиотек.

Все входы схемы должны быть описаны СС-атрибутами назначения со спейсерами, а выходы — такими же атрибутами без спейсеров.

Самосинхронные подсхемы должны быть снабжены полными СС-атрибутами входов и выходов.

Требуется определить: самосинхронность схемы и спейсерные значения, а также индикаторные атрибуты фазовых выходов схемы.

### 4 Процедура анализа

Для краткости будем называть элементами схемы как библиотечные элементы, так и СС-подсхемы.

Назовем *ярусом* с номером  $i$  ( $i \geq 0$ ) множество элементов, все входы которых суть выходы элементов предыдущих ярусов. Выходы элементов яруса будем приписывать также к этому ярусу. Сигналами нулевого яруса будут считаться входы схемы. Сигналами последнего яруса будут выходы схемы.

Для двух соединенных между собой элементов схемы первый элемент назовем *источником* по отношению ко второму, а второй — *приемником* по отношению к первому.

Анализ начинается с разбиения схемы на ярусы и далее расчеты делаются последовательно с 1-го яруса. В первом ярусе все входные атрибуты известны от входов схемы. В каждом ярусе определяются и анализируются только имеющиеся в нем СС-ячейки. Самосинхронные подсхемы и библиотечные СС-элементы, заранее прошедшие анализ, в нем не нуждаются. В ходе анализа проверяется правильность соединений элементов по типам и спейсерам и вычисляются полные атрибуты выходов ячеек текущего яруса.

Списки индикации обрабатываются особым образом.

Эти списки приписываются фазовым выходам ячеек: ПФС-выходам — обоим сигналам, унарным выходам — каждому по отдельности.

В один список, приписанный одному или паре выходов, попадают:

- сам сигнал или оба сигнала, которым приписан список;
- индицируемые на данных выходах входы ячейки.

Здесь и далее в булевых выражениях знак  $\wedge$  обозначает отрицание, знак  $\vee$  — операцию ИЛИ, отсутствие знака — операцию И.

Индицируемые входы ячейки будут вычисляться путем имитации залипаний и сравнения с нормальными выходами [5].

При этом же расчете каждому индицируемому сигналу сопоставляется *условие индикации* вида  $U = 1$ , где  $U$  — логическое выражение от входных переменных ячейки [5]. Условие может быть *тождественным*, когда само выражение  $U$  тождественно равно единице.

Условия индикации необходимы для точного отслеживания индикации сигнала по мере его распространения в схеме. Если сигнал из списка последовательно прошел через ячейки  $i$  и  $j$ , то на выходе ячейки  $j$  для него будет условие  $U_i U_j = 1$ .

Если сигнал поступил на разные входы  $k$  и  $m$  одной ячейки, т. е. прошел по разным (параллельным) путям с условиями  $U_i = 1$  и  $U_j = 1$ , то его условие примет вид:

$$U_i U_k \vee U_j U_m = 1.$$

В таком порядке будут определены и все атрибуты выходов схемы. В соответствии с ФП для самосинхронности схемы должны быть выполнены два условия:

- (1) индицируемость всех внутренних сигналов схемы (не входящих в СС-подсхемы) на ее фазовых выходах в обеих фазах;
- (2) корректность соединений СС-триггеров между собой и окружением.

#### 4.1 Распознавание и анализ индикаторных и парафазных со спейсером ячеек

По очередной паре ПФС-сигналов предыдущего яруса находится множество их приемников. Если в один приемник приходят оба сигнала пары, то этот приемник — И-ячейка. Каждая И-ячейка анализируется с условиями.

Например, все двухвходовые И-ячейки на элементах 2И, 2ИЛИ, 2И-НЕ и 2ИЛИ-НЕ тождественно индицируют все входы в обеих фазах, т. е. транслируют индикаторные атрибуты с входов на выходы.

После определения всех И-ячеек в данном множестве рассматриваются остальные приемники множества. Это ПФС-ячейки. Приемников должно быть четное число, и их необходимо разделить по парам.

Парафазные со спейсером ячейки распознаются по следующим признакам:

- функции двух элементов ПФС-ячейки взаимно двойственны;
- входы обоих элементов ПФС-ячейки принадлежат одним и тем же источникам.

Как следует из [3, с. 92], для самосинхронности найденных ячеек необходимо и достаточно только индицируемости их выходов. Эти выходы являются внутренними сигналами схемы (кроме выходов схемы), и их индицируемость будет отслежена в процессе дальнейшего анализа схемы.

Таким образом, для каждой ячейки остается определить индикаторные атрибуты выходов.

Например, анализ ПФС-ячейки на рисунке показывает на выходах такую индикацию:

- при переходе в спейсер сигналы  $a_1$  и  $b_1$  не индицируются вообще, сигналы  $a_2$  и  $b_2$  индицируются с тождественными условиями;
- при переходе в рабочую фазу сигналы  $a_1$  и  $b_1$  индицируются каждый с условием  $a_1 \wedge a_2$  и  $b_1 \wedge b_2 = 1$ , сигналы  $a_2$  и  $b_2$  не индицируются вообще.

Индикаторная ячейка на рисунке индицирует свои входы тождественно в обеих фазах.

#### 4.2 Контроль соединений триггерных ячеек

По указанному выше алгоритму Т-ячейки заранее прошли анализ и снабжены полными атрибутами входов и выходов. Остается только проверка их включения в схеме.

Бинарные нефазовые входы Т-ячейки должны всегда сопровождаться управляющим УФ-сигналом от источника этих входов. Этот УФ-сигнал запрещает или разрешает переключение Т-ячейки.

Транзитные фазы ячеек источника и приемника должны быть разными.

Основное правило соединений Т-ячейки состоит в обеспечении дисциплины входов — порядка их изменений в разных фазах [7, рис. 1].

В транзитной фазе источника изменение его БНФ-выходов должно начинаться позже запрета переключений приемника.

Термин «позже» понимается в структурном смысле [5], т. е. обязательно через цепочку элементов.

В нетранзитной фазе источника дисциплина выполняется автоматически.

Правило показывает, что управляющие УФ-сигналы источника и приемника должны быть связаны друг с другом.

Проверка соединений проводится по трем признакам:

- (1) УФ-сигнал источника и приемника есть один и тот же сигнал [5, рис. 5.12];
- (2) УФ-сигнал источника соединен с УФ-сигналом приемника через цепочку элементов [5, рис. 5.13]. При этом сигнал источника должен индцировать сигнал приемника;
- (3) УФ-сигнал источника соединен по обратной связи с УФ-сигналом, индцирующим УФ-сигнал приемника или БНФ-сигналы приемника [5, рис. 5.15]. При этом сигнал источника должен индцировать сигнал обратной связи.

## 5 Финальные вычисления

На последнем ярусе схемы, т. е. на ее выходах, рассматриваются фазовые сигналы с индикаторными атрибутами. С учетом спейсеров они приводятся к одному УФ-сигналу (оценочному [5]). Все сигналы из индикаторных атрибутов этого УФ-сигнала проверяются по условиям индикации. Внутренние сигналы схемы должны иметь тождественные условия индикации. При необходимости формируются полные СС-атрибуты внешних сигналов схемы.

## 6 Заключение

Впервые предложен универсальный метод анализа больших СС-схем на основе функционального подхода.

Метод основан на автоматическом разделении схемы на минимальные СС-ячейки, что позволяет радикально сократить необходимый объем вычислений и обеспечить анализ СС-схем любого размера.

## Литература

1. Muller D. E., Bartky W. C. A theory of asynchronous circuits // Symposium (International) on the Theory of Switching Proceedings. — Harvard University Press, 1959. Part 1. P. 204–243.
2. Плеханов Л. П., Степченко Ю. А. Экспериментальная проверка некоторых свойств строго самосинхронных схем // Системы и средства информатики. — М.: Наука, 2006. Вып. 16. С. 476–485.



3. Автоматное управление асинхронными процессами в ЭВМ и дискретных системах / Под ред. В. И. Варшавского. — М.: Наука, 1986. 400 с.
4. Плеханов Л. П. Полнота анализа электронных схем на самосинхронность // Системы и средства информатики. — М.: Наука, 2010. Вып. 20. № 1. С. 48–58.
5. Плеханов Л. П. Основы самосинхронных электронных схем. — М.: Бином. Лаборатория знаний, 2013. 208 с.
6. Plekhanov L., Zakharov V., Stepankov Yu. Functional approach in self-timed circuits design // IEEE East-West Design & Test Symposium Proceedings. — IEEE, 2015. P. 282–285.
7. Плеханов Л. П. Анализ самосинхронности электронных схем на нижнем уровне иерархии // Системы и средства информатики, 2016. Т. 26. № 2. С. 23–42.
8. Соколов И. А., Рождественский Ю. В., Дьяченко Ю. Г. и др. Нечувствительный к задержкам блок умножения-сложения-вычитания с плавающей точкой // Проблемы разработки перспективных микро- и наноэлектронных систем: Сб. трудов. — М.: ИПИМ РАН, 2018. Ч. II. С. 170–177.
9. Степченко Ю. А., Денисов А. Н., Дьяченко Ю. Г. и др. Библиотека функциональных ячеек для проектирования самосинхронных полузаказных микросхем серий 5503 и 5507 // Полузаказные БИС на БМК серий 5503 и 5507. — М.: Техносфера, 2017. Кн. 4. 376 с.

*Поступила в редакцию 13.03.20*

---

---

## UNIVERSAL FUNCTIONAL METHOD FOR ANALYZING LARGE SELF-TIMED CIRCUITS

*L. P. Plekhanov and V. N. Zakharov*

Institute of Informatics Problems, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119333, Russian Federation

**Abstract:** One of the main tasks of creating self-timed circuits is to analyze their self-synchronicity. Known event-based methods do not provide a complete analysis of self-timed circuits of real complexity due to the excessive amount of calculations. Within the framework of the functional approach, a universal method based on the automatic division of the scheme into minimal self-timed cells is proposed. The method allows one to radically reduce the necessary calculations and analyze self-timed circuits of any size.

**Keywords:** self-timed circuits; analysis of self-timed circuits

**DOI:** 10.14357/08696527200202

### Acknowledgments

The research was performed under financial support of the Program of fundamental research 2019 of the Presidium of RAS (project 2019-0054-2.2).

## References

1. Muller, D. E., and W. C. Bartky. 1959. A theory of asynchronous circuits. *Symposium (International) on the Theory of Switching Proceedings*. Harvard University Press. 1:204–243.
2. Plekhanov, L. P., and Yu. A. Stepchenkov. 2006. Eksperimental'naya proverka nekotorykh svoystv strogo samosinkhronnykh skhem [Experimental verification of some properties of strictly self-timed circuits]. *Sistemy i Sredstva Informatiki — Systems and Means of Informatics* 16:476–485.
3. Varshavsky, V. I., eds. 1986. *Avtomatnoe upravlenie asinkhronnymi protsessami v EVM i diskretnykh sistemakh* [Automata control of asynchronous processes in computers and discrete systems]. Moscow: Nauka. 398 p.
4. Plekhanov, L. P. 2010. Polnota analiza elektronnykh skhem na samosinkhronnost' [Completeness of electronic circuit analysis for self-timing]. *Sistemy i Sredstva Informatiki — Systems and Means of Informatics* 20(1):48–58.
5. Plekhanov, L. P. 2013. *Osnovy samosinkhronnykh elektronnykh skhem* [The basics of self-timed electronic circuits]. Moscow: Binom. Laboratoriya znaniy. 208 p.
6. Plekhanov, L., V. Zakharov, and Yu. Stepchenkov. 2015. Functional approach in self-timed circuits design. *IEEE East-West Design & Test Symposium Proceedings*. IEEE. 282–285.
7. Plekhanov, L. P. 2016. Analiz samosinkhronnosti elektronnykh skhem na nizhnem urovne ierarkhii [Self-timing analysis of electronic circuits at the lower level of hierarchy]. *Sistemy i Sredstva Informatiki — Systems and Means of Informatics* 26(2):23–42.
8. Sokolov, I. A., Yu. V. Rozhdestvensky, Yu. G. Diachenko, et al. 2018. Nechuvstvitel'nyy k zaderzhkam blok umnozheniya-slozheniya-vychitaniya s plavayushchey tochkoy [Delay-insensitive floating point multiply-add-subtract unit]. *Problemy razrabotki perspektivnykh mikro- i nanoelektronnykh sistem: Sb. trudov* [Problems of developing promising micro- and nanoelectronic systems proceedings]. Moscow: IPPM RAN. II:170–177.
9. Stepchenkov, Yu. A., A. N. Denisov, Yu. G. Diachenko, et al. 2017. Biblioteka funktsional'nykh yacheek dlya proektirovaniya samosinkhronnykh poluzakaznykh mikroskhem seriy 5503 i 5507 [Library of functional cells for designing self-timed semicustom chips of the 5503 and 5597 series]. *Poluzakaznye BIS na BMK seriy 5503 i 5504* [Semicustom chips of the 5503 and 5597 series]. Moscow: Tekhnosfera. Vol. 4. 376 p.

Received March 13, 2020

## Contributor

**Plekhanov Leonid P.** (b. 1943) — Candidate of Science (PhD) in technology, senior scientist, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119333, Russian Federation; lplekhanov@inbox.ru

**Zakharov Victor N.** (b. 1948) — Doctor of Science in technology, associate professor, scientific secretary, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119333, Russian Federation; vzakharov@ipiran.ru