

# СИСТЕМЫ И СРЕДСТВА ИНФОРМАТИКИ

Выпуск 21 № 1 Год 2011

## СОДЕРЖАНИЕ

Предисловие <b>И. А. Соколов</b>	2
Развитие компьютерной поддержки статистических научных исследований систем высокой точности и доступности <b>И. Н. Сеницын, Э. Р. Корепанов, В. В. Белоусов, В. С. Шоргин, И. В. Макаренкова, Т. Д. Конашенкова, Е. С. Агафонов, Н. Н. Семендяев</b>	3
Эволюция архитектур современных микропроцессоров <b>С. В. Замковец, В. Н. Захаров, В. Е. Красовский</b>	34
Модель параллельного обхода деревьев работ <b>В. А. Козмидиadi</b>	47
Метод повышения отказоустойчивости систем поддержания когерентности кэш <b>Б. З. Шмейлин</b>	62
Анализ на самосинхронность некоторых типов цифровых устройств <b>Ю. А. Степченко, Ю. Г. Дьяченко, Ю. В. Рождественский, Н. В. Морозов</b>	74
О свойстве самосинхронности цифровых электронных схем <b>Л. П. Плеханов</b>	84
Особенности классификационного анализа самосинхронных схем <b>Ю. В. Рождественский, Н. В. Морозов, А. В. Рождественскене</b>	92
Средства поддержки исполняемого кода, синтезированного по спецификациям, на языке Cell <b>О. А. Бондаренко, К. И. Волович, В. А. Кондрашев</b>	105
Алгоритмы функционирования компилятора языка Cell <b>О. А. Бондаренко, К. И. Волович, В. А. Кондрашев</b>	117
Особенности реализации устройств измерения времени в виртуальных машинах <b>В. Ю. Егоров, М. А. Шпадырев</b>	141
Обслуживание запросов прямого доступа к памяти в контроллерах жестких дисков виртуальных машин <b>М. А. Шпадырев</b>	152
Академик В. С. Пугачёв: краткий очерк научной, педагогической, научно-организационной и общественной деятельности <b>И. А. Соколов, И. Н. Сеницын</b>	161
Библиография научных трудов сотрудников ИПИ РАН за 2010 год	166
Abstracts	206
Об авторах	211
About Authors	213

## АНАЛИЗ НА САМОСИНХРОННОСТЬ НЕКОТОРЫХ ТИПОВ ЦИФРОВЫХ УСТРОЙСТВ\*

Ю. А. Степченков<sup>1</sup>, Ю. Г. Дьяченко<sup>2</sup>, Ю. В. Рождественский<sup>3</sup>, Н. В. Морозов<sup>4</sup>

**Аннотация:** Представлен подход к проверке цифровой схемы на самосинхронность с использованием программных средств, реализующих событийный метод анализа. Показано, что стопроцентная тестовая полнота анализа на самосинхронность для регистров сдвига и памяти обеспечивается относительно простыми средствами. Предложена методика отладки схемы в процессе анализа на самосинхронность произвольной схемы. Обоснована необходимость иерархического подхода к анализу сложной схемы на самосинхронность.

**Ключевые слова:** самосинхронные схемы; анализ на самосинхронность; тестовая полнота анализа; замыкание; иерархический анализ

### 1 Введение

При создании устройств цифровой обработки данных в последние годы все большее значение приобретают такие их характеристики, как энергопотребление и надежность работы при воздействии спецфакторов и низком напряжении питания. В связи с этим возрастает интерес разработчиков больших интегральных схем (БИС) к классу самосинхронных (СС) схем. Этот класс включает в себя несколько подклассов; один из наиболее востребованных и имеющих практический интерес — подкласс схем, поведение которых не зависит от задержек элементов, входящих в их состав. В данной статье под самосинхронными понимаются именно такие схемы.

Создание СС-устройств требует подтверждения принадлежности разрабатываемой схемы к данной категории устройств. С этой целью используется анализ схемы на самосинхронность [1]. Эта задача чрезвычайно затратная, ее сложность зависит от количества входных и внутренних переменных схемы. Полнота анализа на самосинхронность определяется *алгоритмической* полнотой используемых программных средств и *тестовой* полнотой входных воздействий, задаваемых

---

\*Работа выполнена при частичной финансовой поддержке по Программе фундаментальных исследований ОНИТ РАН на 2011 г. (проект 1.5).

<sup>1</sup>Институт проблем информатики Российской академии наук, YStepchenkov@ipiran.ru

<sup>2</sup>Институт проблем информатики Российской академии наук, YDiachenko@ipiran.ru

<sup>3</sup>Институт проблем информатики Российской академии наук, YRogdest@ipiran.ru

<sup>4</sup>Институт проблем информатики Российской академии наук, NMorozov@ipiran.ru

в процессе анализа. Алгоритмическая полнота обеспечивается программой анализа и гарантирует проверку всех возможных промежуточных состояний при переключении схемы из заданного стабильного состояния в другое стабильное состояние, зависящее от начального состояния и комбинации входных сигналов. Тестовая полнота в общем случае обеспечивается перебором всех возможных стабильных начальных состояний схемы (значений входов схемы и выходов ее элементов) и заданием для каждого начального состояния всех возможных комбинаций входов.

Понятие тестовой полноты (полноты тестов) давно известно в синхронной схемотехнике. Оно характеризует качество тестовых воздействий, использующихся для проверки функционирования разработанной схемы. Стопроцентной полнотой обладают тесты, гарантирующие выявление возможной неисправности во всех элементах схемы на основе анализа поведения выходных сигналов в зависимости от заданных комбинаций ее входов. Тестовая полнота анализа на самосинхронность в событийных методах, рассматриваемая ниже, аналогична полноте тестов в синхронных схемах, но имеет свою специфику. Эта специфика связана с необходимостью использования замыкания схемы и позволяет в ряде случаев существенно сократить объем и время анализа (тестирования) за счет выбора соответствующего блока замыкания.

Данная работа посвящена рассмотрению процедуры анализа на самосинхронность и решению проблемы тестовой полноты такого анализа в событийных методах, использующих замыкание анализируемой схемы [1], для регистров сдвига и хранения.

## 2 Процедура анализа на самосинхронность

Одно из свойств СС-схемы заключается в том, что при любом заданном начальном состоянии, соответствующем одному из ее рабочих состояний, и при *правильно* реализованном замыкании она способна бесконечно переключаться между своими рабочими состояниями без нарушения самосинхронности при произвольных задержках переключения ее элементов. Это свойство проверяется в методах анализа схемы, использующих замыкание анализируемой схемы.

Разработчик, желающий проанализировать спроектированную схему на самосинхронность, должен решить: (1) в каком виде надо анализировать схему; (2) как обеспечить стопроцентную тестовую полноту анализа; (3) как найти и исправить нарушение самосинхронности в схеме.

### 2.1 Подготовка схемы для анализа

В общем случае анализируемая схема является частью какого-то цифрового устройства. Цель анализа на самосинхронность и итеративной отладки схемы — добиться того, чтобы она вела себя как СС-устройство в составе общей БИС.

Самосинхронность схемы обеспечивается организацией правильной дисциплины изменения входных, промежуточных и выходных сигналов, с одной стороны, и реализацией достоверной и полной индикации выходов элементов схемы, с другой стороны.

Все сигналы в СС-схеме разделяются на информационные, установочные, управляющие и индикаторные. Правильная дисциплина изменения согласованных информационных и управляющих входов предполагает [1], во-первых, строгое чередование рабочей и спейсерной фаз работы схемы и, во-вторых, инициирование перехода в следующую фазу работы только после завершения переключения всех возбужденных элементов схемы. Переход в очередную фазу работы иницируется парафазными информационными входами [1] и/или управляющими входами схемы. Окончание переключения всех элементов схемы фиксируется индикаторными выходами. Следовательно, изменения входов в процессе анализа должны быть привязаны к изменениям индикаторных выходов. А изменения бифазных и унарных входов, кроме того, должны быть согласованы с изменениями соответствующих управляющих входов.

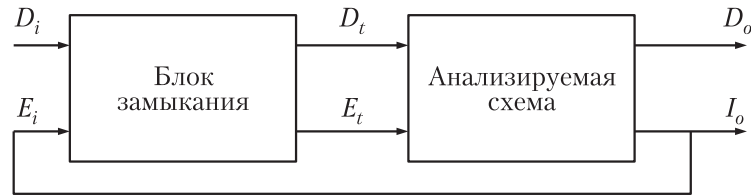
В событийных методах анализа [2, 3] соблюдение таких зависимостей обеспечивается построением *блока замыкания*. На основе индикаторных выходов анализируемой схемы он реализует необходимое согласование ее входных сигналов и обеспечивает правильное чередование фаз ее работы. В результате анализируемая схема оказывается замкнутой, как показано на рис. 1. Здесь  $D_i$ ,  $D_t$ ,  $D_o$  — входные, промежуточные и выходные информационные сигналы;  $E_i$  и  $E_t$  — входные и промежуточные управляющие сигналы;  $I_o$  — выходной индикаторный сигнал.

Блок замыкания при анализе на самосинхронность служит функциональным аналогом схемы, реализующей запросно-ответное взаимодействие между анализируемой схемой и ее гипотетическим окружением. В разомкнутых схемах требуемые причинно-следственные зависимости между входными и выходными сигналами только предполагаются или описаны в спецификации схемы. Реализацию этих причинно-следственных зависимостей обеспечивает замыкание схемы либо в отдельности, либо в составе общей схемы. Построение блока замыкания в процессе анализа схемы на самосинхронность помогает разработчику понять, как строить запросно-ответное взаимодействие данной схемы с ее «соседями» в реальной БИС, и отладить это взаимодействие.

Функциональный метод анализа схемы на самосинхронность [4] работает с разомкнутой схемой, не имеющей блока замыкания.

## 2.2 Обеспечение стопроцентной тестовой полноты анализа

Задача анализа на самосинхронность — проверить, что все инициированные переключения элементов в схеме завершаются в текущей фазе до изменения значения соответствующего индикаторного выхода.



**Рис. 1** Анализируемая схема с блоком замыкания

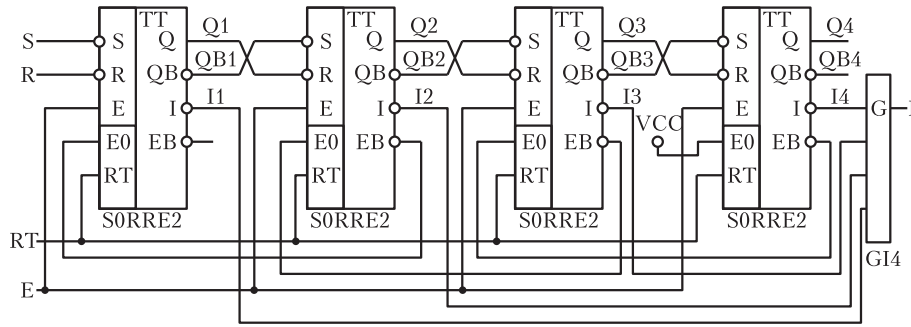
Назовем *стопроцентно полным*, с точки зрения тестовой полноты, анализ, подтверждающий сохранение самосинхронности анализируемой схемы при ее любом допустимом стабильном (равновесном [5, с. 51]) состоянии (произвольной комбинации входов и любом не противоречащем ей внутреннем состоянии), взятом в качестве начального состояния. Необходимые и достаточные условия достижения стопроцентной тестовой полноты анализа зависят от типа анализируемой схемы.

При использовании программных средств АСИАН [2] или АСПЕКТ [3] разработчик для обеспечения стопроцентной тестовой полноты анализа должен подключить к схеме блок замыкания, который при автономной (циклической) работе с ним анализируемой схемы гарантировал бы в общем случае прохождение всех значимых (с точки зрения тестовой полноты анализа) стабильных состояний схемы плюс переходы между ними. Построение блока замыкания требует от разработчика знания особенностей работы схемы и в общем случае является нетривиальной задачей, сложность которой пропорциональна сложности анализируемой схемы. Однако для ряда типовых цифровых устройств, например регистров сдвига и хранения, она решается достаточно просто.

В статье [5, с. 53–55] дается обоснование *достаточных* условий обеспечения полноты анализа на самосинхронность: схема может считаться полностью проанализированной, если в процессе анализа она пройдет по всем своим рабочим состояниям и при этом будет проверен переход из каждого рабочего состояния в любое другое достижимое из него рабочее состояние. Автор указывает, что это не является необходимым условием для подтверждения самосинхронности схемы. Действительно, для многих типовых цифровых устройств такой анализ избыточен. Рассмотрим конкретные примеры: регистр сдвига с последовательной записью и регистр хранения с параллельной записью.

*Регистр сдвига* имеет один информационный вход и большое количество внутренних состояний, которое для  $n$ -разрядного регистра можно оценить снизу по формуле  $4 \cdot (2,6^{n-1})$ , полученной эмпирическим путем. Но проверять все внутренние состояния в процессе анализа не требуется.

Пусть все разряды регистра сдвига имеют индикаторный выход (рис. 2). Каждый разряд функционирует в соответствии со своими входами управления:



**Рис. 2** Четырехразрядный регистр сдвига

общим  $E$  и поразрядным  $E0$ . Информационный вход  $\{R, S\}$  формируется предшествующим разрядом, а для первого разряда — внешним устройством. Сигнал управления  $E0$ , наоборот, формируется последующим разрядом регистра сдвига. Состояние  $i$ -го разряда не оказывает никакого влияния на состояния разрядов с первого по  $(i - 2)$ -й и с  $(i + 2)$ -го по  $n$ -й. Для проверки самосинхронности поведения регистра сдвига на рис. 2 необходимо и достаточно сформировать такую последовательность входных сигналов, которая бы обеспечила запись в каждый разряд «0 после 0», «0 после 1», «1 после 0» и «1 после 1».

Такая последовательность представляет собой непрерывное чередование пар нулей и единиц  $\{00110011 \dots\}$  на информационном входе первого разряда. Необходимая и достаточная длина ее равна  $n + 4$ . Блок замыкания для такого регистра сдвига реализуется аппаратно с помощью двухразрядного двоичного СС-счетчика. Информационный вход регистра сдвига подключается к информационному выходу второго разряда счетчика. Индикаторный выход счетчика формирует общий сигнал управления для всех разрядов регистра. Счетный вход счетчика формируется индикаторным выходом регистра (I), собранным из поразрядных индикаторных выходов (сигналы I1–I4 на рис. 2) с помощью Г-триггера (G14). В процессе циклической работы замкнутой схемы счетчик за  $n + 4$  циклов обеспечит формирование указанной выше последовательности пар нулей и единиц.

В общем случае  $n$ -разрядный *регистр памяти* с параллельной записью имеет  $n$  информационных входов (унарных, бифазных или парафазных). Пусть все разряды регистра памяти реализованы на одинаковых двухтактных триггерах с бифазным информационным входом и имеют индикаторный выход. Число внутренних состояний такого регистра будет равно  $4^n$ . Но с точки зрения записи и хранения информации все разряды регистра памяти не зависят друг от друга. Поэтому необходимо и достаточно проверить самосинхронность регистра в режимах записи во все разряды одновременно «0 после 0», «0 после 1», «1

после 0» и «1 после 1». Это обеспечивается формированием последовательности {00110} на информационных входах разрядов.

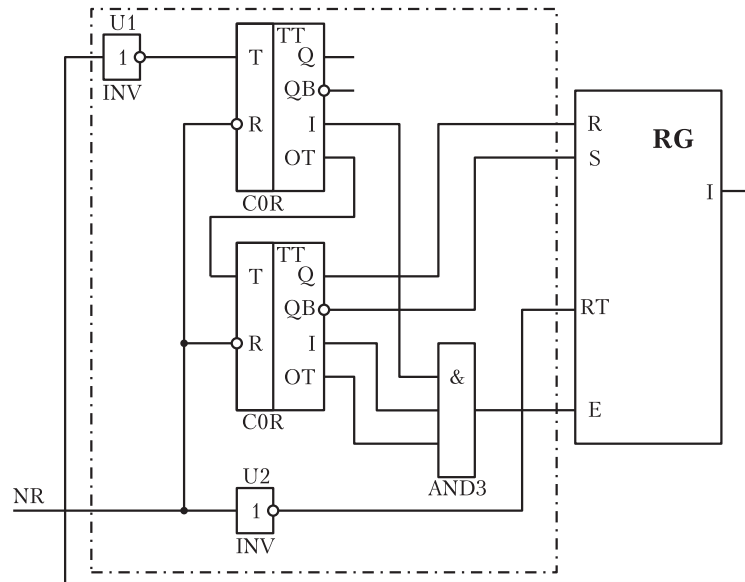
В качестве блока замыкания в данном случае достаточно использовать двух-разрядный двоичный СС-счетчик, второй разряд которого и формирует информационные входы регистра. В процессе циклической работы замкнутой схемы счетчик за четыре цикла обеспечит формирование указанной выше последовательности значений информационных входов для всех разрядов регистра.

Рассмотренные примеры показывают, что для обеспечения стопроцентной тестовой полноты анализа на самосинхронность регистры сдвига и памяти, имеющие регулярную структуру, не требуют полного перебора всех возможных стабильных состояний. Для регистра сдвига необходимо и достаточно  $n + 4$  циклов, где  $n$  — число его разрядов, а для регистра памяти — четырех циклов. При этом каждый разряд регистра должен иметь индикаторный выход, обеспечивающий стопроцентную индикацию внутренних элементов разряда, его входов и выходов.

Во всех рассмотренных типах цифровых устройств блок замыкания строится на основе двоичного СС-счетчика. Блок замыкания произвольной схемы может включать в себя несколько таких счетчиков разной разрядности, связанных или не связанных друг с другом какими-либо отношениями, для обеспечения последовательностей тестовых воздействий, подаваемых на разные части анализируемой схемы.

Достичь стопроцентной тестовой полноты анализа на самосинхронность для относительно простых схем нетрудно. Для одного из выбранных начальных рабочих состояний достаточно руководствоваться следующими принципами:

- формирование связанной группы из  $m$  информационных сигналов, являющихся входами одного функционального блока в составе анализируемой схемы, реализуется самосинхронным двоичным  $(m + 1)$ -разрядным счетчиком;
- бифазные информационные входы анализируемой схемы подключаются непосредственно к информационным выходам счетчика, начиная со второго разряда;
- индикаторный выход счетчика с помощью инвертора или повторителя формирует сигнал управления, сопровождающий бифазные информационные входы анализируемой схемы;
- если информационные входы анализируемой схемы — парафазные со спейсером, информационные выходы счетчика пропускаются через дополнительную подсхему преобразования бифазных сигналов в парафазные с требуемым типом спейсера; для этой подсхемы входом управления служит индикаторный выход счетчика, а ее собственный индикаторный выход используется для формирования счетного сигнала счетчика в блоке замыкания вместе с индикаторным выходом анализируемой схемы;



**Рис. 3** Схема 4-разрядного регистра сдвига (RG) с блоком замыкания

- если у анализируемой схемы несколько индикаторных выходов, они объединяются Г-триггером, входящим в состав блока замыкания;
- если у анализируемой схемы несколько входов управления с одинаковым спейсером, связанных с одним подмножеством информационных сигналов, они подключаются к индикаторному выходу блока замыкания с помощью повторителей;
- повторить перечисленные шаги для других значимых и не покрытых рабочих состояний.

К относительно простым схемам относятся, в первую очередь, комбинационные схемы, а также схемы с небольшим числом входов и переменных памяти (не более 2–3). Однако сюда же можно отнести и многоразрядные регистры сдвига и памяти. На рис. 3 показана схема 4-разрядного регистра сдвига, подготовленная для анализа на самосинхронность. Сам регистр представлен функциональным блоком RG, реализация которого приведена на рис. 2. Обведенная штрихпунктирной линией часть схемы представляет собой блок замыкания. Двоичный двухразрядный счетчик построен на элементах C0R, элемент AND3 является индикатором счетчика. Инвертор U1 обеспечивает согласование фаз индикаторного выхода регистра и счетного входа счетчика. Инвертор U2 согласовывает активные уровни входов начального сброса счетчика и регистра. Вход несамосин-



хронного сброса схемы (NR) во время анализа задается неактивным статическим значением.

Разработка блока замыкания — чрезвычайно ответственная задача. Из-за неправильно построенного блока замыкания схема может не пройти анализ на самосинхронность, даже если потенциально и является самосинхронной. Чем сложнее анализируемая схема, чем меньше в ней регулярных устройств, тем труднее разработать для нее блок замыкания, который обеспечил бы стопроцентную тестовую полноту анализа на самосинхронность. В результате проверить на самосинхронность функционально законченный реальный блок или БИС целиком становится проблематичным.

Практическим решением этой задачи является использование метода иерархического анализа на самосинхронность. В настоящее время проблема иерархического анализа находится в стадии исследования. В работе [6] изложен один из возможных подходов для его реализации, правомерность и эффективность которого требуют более основательного анализа.

### 3 Исправление нарушений самосинхронности

Причиной появления нарушений самосинхронности в процессе анализа могут служить некорректно заданное начальное состояние, ошибки в организации запросно-ответного взаимодействия между составными частями анализируемой схемы, неправильно построенный блок замыкания. Для ее выявления рекомендуется следующий порядок действий.

1. Сделать замыкание тупиковым, например ввести лишний инвертор в цепь индикаторного выхода анализируемой схемы. В этом случае в процессе анализа схема должна перейти в стабильное состояние и остановиться в нем.
2. Ввести полученное стабильное состояние в задание на анализ в качестве начального состояния.
3. Исправить замыкание, сделав его из тупикового регенеративным.
4. Запустить анализ на самосинхронность. Появление нарушений самосинхронности в этом случае будет означать наличие каких-то реальных проблем в самой схеме или блоке замыкания.
5. Найти в схеме элемент, выход которого не успел переключиться в противоположное состояние во время текущей фазы работы и тем самым вызвал нарушение самосинхронности (фактически это означает, что выход данного элемента оказался *неиндицируемым* при заданном режиме работы анализируемой схемы).
6. Определить причину, по которой значение выхода данного элемента оказалось не играющим роли при формировании индикаторного выхода схемы:

- выход элемента не индицируется (не участвует в формировании индикаторного выхода схемы);
- рассогласование фаз информационных и/или управляющих сигналов и т. д.

7. Устранить найденную причину, исправить при необходимости начальное состояние и вернуться к п. 4.

Отладка схемы при анализе на самосинхронность — итеративный процесс, сопровождающийся изменением начального состояния схемы, ее реализации, реализации блока замыкания. Как показывает практика, наиболее существенно при этом будет меняться схема управления запросно-ответным взаимодействием функционально законченных фрагментов схемы, в том числе подсхема индикации.

#### 4 Заключение

Стопроцентная тестовая полнота анализа на самосинхронность как практическая категория, гарантирующая самосинхронность схемы при любых реальных обстоятельствах и правильно организованной дисциплине формирования информационных и управляющих сигналов и взаимодействия с окружением, чрезвычайно важна. Она обеспечивает безошибочность проектирования действительно самосинхронной схемы.

С практической точки зрения, вопрос о стопроцентной тестовой полноте анализа должен решаться для каждого типа разрабатываемой схемы индивидуально. Приведенные примеры показывают, что в зависимости от функциональной особенности состава и реализации схемы стопроцентная тестовая полнота анализа требует разного количества циклов работы замкнутой схемы, но технически достижима относительно несложным блоком замыкания.

Для сложных многозарядных цифровых устройств стопроцентную тестовую полноту анализа целесообразно обеспечивать за счет использования иерархического подхода к анализу на самосинхронность.

#### Литература

1. Автоматное управление асинхронными процессами в ЭВМ и дискретных системах / Под ред. В. И. Варшавского. — М.: Наука, 1986. 400 с.
2. Рождественский Ю. В., Морозов Н. В., Степченко Ю. А., Рождественские А. В. Универсальная подсистема анализа самосинхронных схем // Ежегодник трудов ИПИ РАН «Системы и средства информатики». — М.: Наука, 2006. Вып. 16. С. 463–475. (URL: <http://samoshron.ru/native/full/54.shtml>, дата обращения 30.04.2011.)

3. *Рождественский Ю. В., Морозов Н. В., Рождественские А. В.* Подсистема событийного анализа самосинхронных схем АСПЕКТ // Проблемы разработки перспективных микро- и наноэлектронных систем-2010: Сборник науч. тр. / Под общ. ред. А. Л. Стемпковского. — М.: ИППМ РАН, 2010. С. 418–423. (URL: <http://www.mes-conference.ru/data/year2010/papers/m10-145-69491.pdf>, дата обращения 30.04.2011.)
4. *Плеханов Л. П.* Реализация функционального метода анализа самосинхронности электронных схем // Системы и средства информатики. Вып. 19. — М.: Наука, 2009. С. 142–148.
5. *Плеханов Л. П.* Полнота анализа электронных схем на самосинхронность // Системы и средства информатики / Под ред. И. А. Соколова. — М.: ТОРУС ПРЕСС, 2010. Вып. 20. № 1. С. 48–58.
6. *Степченков Ю. А., Дьяченко Ю. Г., Рождественский Ю. В., Морозов Н. В., Степченков Д. Ю.* Разработка вычислителя, не зависящего от задержек элементов // Системы и средства информатики / Под ред. И. А. Соколова. — М.: ТОРУС ПРЕСС, 2010. Вып. 20. № 1. С. 5–23.

## О СВОЙСТВЕ САМОСИНХРОННОСТИ ЦИФРОВЫХ ЭЛЕКТРОННЫХ СХЕМ\*

Л. П. Плеханов<sup>1</sup>

**Аннотация:** Обсуждаются понятие самосинхронности с практической точки зрения и его связь с классическим определением независимости от задержек. Показано, что одного свойства независимости от задержек недостаточно для самосинхронности. Приводятся практические следствия теоретических положений при разработке самосинхронных (СС) схем. Дается связь самосинхронности с недавно вступившим в действие новым стандартом по надежности.

**Ключевые слова:** самосинхронность; самосинхронные схемы; анализ самосинхронности

### 1 Введение

Самосинхронные схемы являются важной частью класса асинхронных цифровых схем, в них принцип асинхронности доведен до своего возможного предела — схемы «сами себя синхронизируют».

Самосинхронные схемы обладают уникальными свойствами (подробнее — далее в статье), о которых неоднократно заявлялось в теоретическом плане [1–4] и которые впервые подтверждены рядом прямых экспериментов [5].

В основополагающей работе [1] доказано существование схем, поведение которых не зависит от величин задержек элементов, и выявлены их основные детали поведения. Схемы получили название *speed-independent* (SI). Данный термин и схожие с ним широко используются в зарубежной литературе.

С практической точки зрения, при разработке и применении обсуждаемых схем понятие SI необходимо, но не достаточно.

Во-первых, независимость от задержек формально определена для одного начального состояния элементов схемы и неизменных значений входов. Для реальных схем требуется независимость для всех реальных состояний и по всем реальным переходам, связанным с изменениями входов, что порождает проблему полноты, обсуждаемую ниже.

Во-вторых, свойство SI не обеспечивает в полной мере диагностических свойств схем, что следует из [3] и показано ниже.

---

\* Работа выполнена при частичной финансовой поддержке по Программе фундаментальных исследований ОНИТ РАН на 2011 г. (проект 1.5).

<sup>1</sup> Институт проблем информатики Российской академии наук, L.Plekhanov@ipiran.ru

В третьих, SI-схемы могут быть разомкнутыми и замкнутыми, и эти разновидности имеют разные свойства при практическом использовании.

Термин «самосинхронные схемы» введен в книге В. И. Варшавского с соавторами [3] (в оригинале — «самосинхронизирующиеся» или «апериодические», но в последующем сами авторы перешли на термин «самосинхронные»). Понятие самосинхронности включает в себя, помимо SI, диагностические свойства схем. По мнению авторов, «решающим достоинством апериодических схем являются их самодиагностические свойства».

В статье обсуждается, какие практические следствия и свойства вытекают из теоретических определений, а также условия выполнения самосинхронности, в том числе в новой стандартной терминологии.

## 2 Потребительские свойства самосинхронных схем

В связи с вводом в действие нового стандарта [6], в котором прежние определения были изменены, термины из стандарта в этом пункте выделены жирным шрифтом.

Одна из главных проблем работы цифровых электронных схем — возникновение **ошибок** на выходах элементов и схем. Ошибки могут порождаться внешними воздействиями и внутренними причинами.

Внешние воздействия — это электромагнитные наводки, удары энергичных элементарных частиц и другие кратковременные явления. Будем отличать их от долговременных факторов — условий работы схем (главные из которых — радиационный фон, температура и напряжение питания). Вопрос защиты от внешних воздействий составляет отдельную проблему и здесь не рассматривается.

Внутренние причины ошибок обусловлены способом построения схемы и условиями ее работы. Таких причин две:

1. Состязания сигналов (гонки) на входах элементов, т. е. такие изменения этих входов, которые вызывают ошибочные изменения их выходов. Эта причина порождается недостатками построения схем.
2. Возникновение **отказов** схемы. Отказы происходят при потере физической работоспособности внутренних структур, вызванной условиями работы: температурой, напряжением питания, а также старением и другими подобными процессами.

Принципиально важным является вопрос: можно ли создать схему, не имеющую ошибок от приведенных причин?

В существующих подходах построения синхронных и асинхронных (помимо самосинхронного) схем гонки не могут быть устранены полностью. Можно устранить их в каком-либо блоке, но в окружающих его схемах надо обеспечить

дисциплину сигналов для этого блока. Окружающие схемы, однако, для ликвидации гонок тоже требуют обеспечения дисциплины в своих окружениях, и т. д. Задача оказывается нереальной.

Предвидеть отказы на этапе проектирования и предотвратить их на этапе функционирования невозможно. Однако ошибок не будет, если сразу при возникновении отказа схема остановится и не выдаст на выходах ошибочных значений. Наиболее близкий стандартный термин, отражающий данное свойство, — **отказобезопасность**.

В книге [3] доказано, что самосинхронные схемы имеют уникальные свойства безошибочной работы: отсутствие гонок и отказобезопасность.

Рассмотрим условия выполнения этих свойств.

Отсутствие гонок обеспечивается независимостью от задержек элементов [1], т. е. свойством SI. Условиями применимости этой теории служат требования, известные как *модель Маллера*. Согласно этой модели под элементом понимается устройство, имеющее один выход и описываемое одним логическим уравнением. Задержки элементов приведены к их выходам, а задержки межсоединений (проводов) после разветвлений пренебрежимо малы по сравнению с задержками элементов. Задержка считается конечной любой величины.

Под отказобезопасностью СС-схем понимается их остановка, вызванная константными **неисправностями** типа залипания на 0 и 1 (КНЗ-01), одиночными и кратными, на выходах элементов. Эти неисправности характеризуются состоянием постоянного значения 0 или 1 на выходах одного или нескольких элементов. В технической диагностике цифровых схем они считаются наиболее часто встречающимися и практически наиболее значимыми.

Помимо того, что отказобезопасность важна сама по себе (отсутствие непредусмотренных значений на выходах, во многих случаях опасных), она дает возможность **самотестирования**, т. е. построения схем, оценивающих свое состояние во время работы, **диагностирования неисправностей** и в конечном итоге получения надежных схем.

Далее, согласно работам [2, 3] будем рассматривать схемы, построенные по принципу двухфазной работы — чередования рабочей фазы и промежуточной (спейсера). Информация в таких схемах кодируется самосинхронными кодами, здесь для простоты берется наиболее простой и используемый — парафазный код со спейсером (ПФС). В этом коде один бит исходной информации кодируется двумя битами кода: 01 и 10, а в фазе спейсера оба бита кода одинаковы: 00 или 11.

### 3 Разомкнутые самосинхронные схемы

Входные и выходные сигналы разомкнутой схемы должны иметь определенный тип, связанный как с информацией, так и с фазой работы. Типы

сигналов можно разделить на три группы: информационные, контрольные и вспомогательные.

К информационным сигналам относятся парафазные со спейсером (*ПФС-сигналы*) и бистабильные — выходы бистабильных ячеек (*БС-сигналы*). Контрольные сигналы предназначены для организации переходов из одной фазы в другую. К ним относятся управляющие на входе (*У-сигналы*) и индикаторные на выходе (*И-сигналы*): *У-сигналы* инициируют переключения из одной фазы в другую, *И-сигналы* показывают завершение перехода схемы в текущую фазу.

Контрольные и ПФС-сигналы специфичны для фазы работы и вместе называются *фазовыми* сигналами. *И* на входе, и на выходе схемы должно присутствовать хотя бы по одному фазовому сигналу.

*Вспомогательные* сигналы предназначены для вспомогательных целей (например, предустановки) и далее учитываться не будут.

Описанный интерфейс будем называть *типовым фазовым* интерфейсом разомкнутой схемы. Для разомкнутых схем важнейшим свойством, введенным в [3], является *индицируемость*. Под индицируемостью какого-либо сигнала — выхода элемента — понимается способность схемы реагировать на изменение этого сигнала изменением фазовых выходов (хотя бы одного). Под *полной индицируемостью* схемы понимается индицируемость всех элементов при всех реальных переходах между состояниями схемы. (Реальные переходы должны быть допустимыми, что обеспечивается структурой интерфейса и дисциплиной изменения входов.)

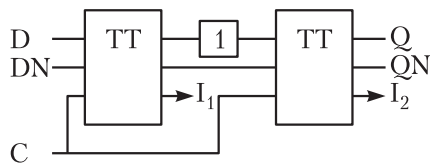
Индицируемость сигнала можно определить в любой фазе, сравнивая значения фазовых выходов в двух вариантах: при нормальном изменении сигнала и при его неизменности (залипании).

В работе [3] ряд необходимых здесь результатов сформулирован для конечных автоматов и их моделей. Эти результаты справедливы также и для реализаций автоматов — цифровых схем. В терминах данной статьи можно сформулировать следующий результат из [3, п. 4.8] в применении к разомкнутым схемам:

*Разомкнутая схема, имеющая типовой фазовый интерфейс, будет самосинхронной, если в каждой фазе (рабочей и спейсерной) обеспечиваются два условия:*

- (1) *отсутствие гонок на всех элементах при любых задержках элементов;*
- (2) *полная индицируемость схемы.*

Отсутствие гонок обеспечивается независимостью от задержек по Малеру [1]. Обнаружить гонки в разомкнутой схеме можно различными путями. Один из способов — воспользоваться событийным методом анализа полумодулярности. В данном случае разомкнутая схема по Маллеру — тупиковая, и нет необходимости работы с контрольным слоем, что существенно сокращает вычислительные затраты по сравнению с анализом замкнутых схем. При этом должна быть обеспечена полнота переходов между состояниями.



**Рис. 1** Разомкнутая схема, не зависящая от задержек элементов: ТТ — двухступенчатые триггеры; D, DN — бистабильные входы; Q, QN — бистабильные выходы; I<sub>1</sub>, I<sub>2</sub> — индикаторные сигналы; C — управляющий сигнал

Как видно, для разомкнутых схем одного SI-свойства — независимости от задержек — недостаточно для самосинхронности.

Например, разомкнутая схема на рис. 1 является независимой от задержек. Однако в спейсерной фазе при некоторых значениях входов и внутренних состояний триггеров выход повторителя не индицируется на фазовом сигнале I<sub>2</sub>, и схема в результате не самосинхронна.

#### 4 Замкнутые самосинхронные схемы

Независимость от задержек элементов (SI-свойство) замкнутых схем определяется событийными методами на основе математического свойства полумодулярности диаграмм переходов состояний [1]. Полумодулярность проверяется по конфликтности перехода из одного состояния в другое, т. е., по существу, локальной проверке наличия гонки при каждом переходе.

При практической разработке замкнутые схемы получают из разомкнутых (с типовым интерфейсом) путем корректного замыкания. Процедура замыкания имеет целью имитацию внешней среды для схемы, в частности имитацию взаимодействия с окружающей схемой.

Опуская подробности, корректное замыкание сводится к двум основным действиям:

1. Выходные фазовые сигналы сводятся к одному индикаторному сигналу по известным правилам с помощью Г-триггеров [3] — специальных триггерных устройств, предназначенных для уменьшения числа индикаторных сигналов. Этот общий индикаторный сигнал подается на вход как сигнал обратной связи.
2. Сигнал обратной связи инициирует изменение входов схемы. При этом БС-сигналы и связанные с ними У-сигналы должны меняться в определенном

Есть также способы нахождения гонки и в функциональном подходе (по описаниям логических функций), применимые к двухфазному принципу и самосинхронному кодированию информации.

При возникновении КНЗ-01 на выходе какого-либо индицируемого элемента хотя бы один выходной фазовый сигнал схемы не перейдет в значение, соответствующее текущей фазе, что обнаружится во внешнем окружении. Таким образом, индицируемость схемы обеспечивает ее отказобезопасность.



порядке, имитирующем их изменение во внешней схеме. В остальном изменения входов должны быть независимы.

При проверке SI-свойства таких схем выявляются не только гонки на элементах, но и неиндицируемые элементы исходной разомкнутой схемы.

Предположим, что некоторый сигнал (выход элемента) не индицируется на фазовых выходах и, в конечном итоге, на общем индикаторном сигнале схемы. Поскольку задержки элементов могут быть любыми, пусть неиндицируемый элемент не успел переключиться в значение, соответствующее текущей фазе, т. е. остался возбужденным. Так как выходной сигнал элемента не индицируется, то общий индикатор «не заметит» отсутствия переключения и по обратной связи инициирует переход в другую фазу. В течение следующей фазы возбуждение элемента будет снято, что означает конфликт и нарушение полумодулярности.

Таким образом, отсутствие индицируемости элемента в разомкнутой схеме ведет себя как наличие гонки в замкнутой схеме.

Однако одного свойства полумодулярности (SI-свойства) замкнутых схем также недостаточно для самосинхронности. Соответствующее утверждение из [3, п. 10.3] в терминах данной статьи записывается так:

*Замкнутая схема будет самосинхронной при выполнении двух условий:*

- (1) *если она полумодулярна по Маллеру;*
- (2) *если ее диаграмма переходов не содержит фиктивных классов эквивалентности.*

Фиктивный класс эквивалентности (ФКЭ) — это замкнутый цикл в диаграмме переходов, в котором хотя бы одна переменная всегда возбуждена и не меняется [3].

Присутствие ФКЭ в диаграмме переходов обусловлено наличием в схеме автогенерирующих подсхем [3]. Обнаружить эти классы можно различными путями.

Если замкнутая схема получена из разомкнутой, то следует проверить исходную разомкнутую схему на устойчивость: при всех рабочих входных наборах и значениях внутренних состояний схема должна устанавливаться в устойчивое состояние.

При анализе замкнутых схем для обнаружения ФКЭ необходимо проверять все рабочие финальные циклы диаграммы переходов на наличие переменных, находящихся в возбужденном состоянии и не меняющихся.

Наконец, можно анализировать диаграммы переходов схемы при задании конкретных КНЗ-01. В этих случаях процесс переходов должен заканчиваться тупиковыми состояниями.

## 5 Полнота по состояниям и переходам

Проблема полноты соблюдения свойства самосинхронности возникает при необходимости учета начальных состояний элементов и реальных переходов между состояниями [7]. Требование полноты заложено в определениях самосинхронности [3] в виде условия соблюдения этого свойства при всех допустимых переходах.

Расчет состояний схемы следует проводить при разомкнутой общей обратной связи (в нормальном режиме работы замкнутые СС-схемы не имеют устойчивых состояний).

Начальные состояния схемы устанавливаются при включении ее питания. Они бывают *равновесными* и *неравновесными*. Равновесные состояния сохраняются неограниченно долго при неизменных входных сигналах. Неравновесные состояния без внешних воздействий со временем переходят в равновесные. Например, если вход и выход инвертора имеют одинаковые значения, то это состояние неравновесно. Период установления схемы в стабильное состояние после включения питания обычно не считается рабочим, и его следует исключить из рассмотрения.

Любое равновесное состояние разомкнутой схемы определяется значениями входных сигналов и переменных памяти (сигналов запоминающих ячеек в схеме). Равновесное состояние можно определить, задавая входной набор и вычисляя значения внутренних сигналов. В процессе такого вычисления некоторые сигналы (переменные памяти) могут оставаться произвольными, например один из выходов триггера. В общем случае переменные памяти зависят от значений входных сигналов, и они должны участвовать в общем переборе.

Все возможные равновесные состояния, вычисленные описанным способом, будем называть *основными*. В разных фазах эти состояния будут разными.

В процессе реальной работы схема переходит из одного основного состояния в другое через ряд промежуточных неравновесных состояний. Очевидно, что свойство самосинхронности должно соблюдаться при всех этих переходах.

*Необходимым условием самосинхронности будет полнота по состояниям (СС-полнота) — выполнение этого свойства при прохождении всех основных состояний схемы и всех реальных переходах между основными состояниями.*

## 6 Заключение

С точки зрения потребительских свойств СС-схемы обеспечивают безошибочность своей работы:

- отсутствие логических состязаний (гонок) элементов;
- отказобезопасность — остановку схемы при возникновении выходных константных неисправностей элементов типа залипания на 0 и 1, одиночных и кратных.

Существующее понятие независимости от задержек элементов (speed-independent), широко применяемое в зарубежной литературе как базовое, является необходимым, но не достаточным для самосинхронности.

Обеспечение самосинхронности требует дополнительных вычислительных затрат при проектировании по сравнению с обеспечением независимости от задержек.

## Литература

1. *Muller D. E., Bartky W. C.* A theory of asynchronous circuits // Symposium (International) on the Theory of Switching Proceedings. Part 1. — Harvard University Press, 1959. P. 204–243.
2. Аperiodические автоматы / Под ред. В. И. Варшавского. — М.: Наука, 1976. 423 с.
3. Автоматное управление асинхронными процессами в ЭВМ и дискретных системах / Под ред. В. И. Варшавского. — М.: Наука, 1986. 400 с.
4. *Филин А. В., Степченко Ю. А.* Компьютеры без синхронизации // Системы и средства информатики. — М.: Наука, 1999. Вып. 9. С. 247–261.
5. *Плеханов Л. П., Степченко Ю. А.* Экспериментальная проверка некоторых свойств строго самосинхронных схем // Системы и средства информатики. Вып. 16. — М.: Наука, 2006. С. 476–485. (<http://elibrary.ru/item.asp?id=13060494>, дата обращения 12.04.2011).
6. ГОСТ Р 53480-2009. Надежность в технике. Термины и определения. — М.: Стандартинформ, 2010. (<http://www.vsegost.com/Catalog/49/49170.shtml>.)
7. *Плеханов Л. П.* Полнота анализа электронных схем на самосинхронность // Системы и средства информатики / Под ред. И. А. Соколова. — М.: ТОРУС ПРЕСС, 2010. Вып. 20. № 1. С. 48–58.

## ОСОБЕННОСТИ КЛАССИФИКАЦИОННОГО АНАЛИЗА САМОСИНХРОННЫХ СХЕМ\*

Ю. В. Рождественский<sup>1</sup>, Н. В. Морозов<sup>2</sup>, А. В. Рождественскене<sup>3</sup>

**Аннотация:** Предметом статьи является исследование методов анализа асинхронных схем на независимость их поведения от задержек логических элементов. Предлагаемый метод в теоретической части базируется на диаграммах переходов (метод в глобальных моделях) с последующим тождественным преобразованием к событийным моделям. Полученные алгоритмы анализа обладают строгой фундаментальностью метода в глобальных моделях, но не требует полного перебора достижимых состояний схемы. Сложность задачи изменилась с экспоненциальной на полиномиальную. Классификационный анализ уточняет свойства исследуемой схемы, представляет развернутую диагностику и определяет возможные причины возникших нарушений.

**Ключевые слова:** самосинхронные схемы; событийный анализ; автоматизированное проектирование

### 1 Введение

Существующие системы автоматизированного проектирования самосинхронных (не зависящих от задержек) интегральных схем базируются на разработанных ранее библиотечных элементах вентиляльного уровня. Анализ функционирования таких схем и проверка их самосинхронности производится с помощью программных средств, базирующихся на «глобальных моделях» — АСИАН [1] и ТРАНАЛ [2]. Эти программные средства обеспечивают точный и корректный анализ небольших самосинхронных элементов, но неприменимы к более крупным схемным решениям вследствие экспоненциального роста вычислительных затрат, зависящих от количества внутренних параллельных переключений. Проектирование крупных блоков непосредственно из библиотечных элементов вентиляльного уровня приводит к получению громоздких и неэффективных решений, часто дискредитируя саму идею самосинхронизации.

---

\*Работа выполнена при частичной финансовой поддержке по Программе фундаментальных исследований ОНИТ РАН на 2011 г. (проект 1.5).

<sup>1</sup>Институт проблем информатики Российской академии наук, YRogdest@ipiran.ru

<sup>2</sup>Институт проблем информатики Российской академии наук, NMorozov@ipiran.ru

<sup>3</sup>Институт проблем информатики Российской академии наук, ARogdest@ipiran.ru

Выходом из данного «тупика» могут быть событийные модели функционирования самосинхронных схем, обладающие полиномиальной сложностью к внутреннему параллелизму. Основная проблема в реализации таких программ заключается в обеспечении строгого тождественного соответствия фундаментальным методам анализа на «глобальных моделях». Она имеет теоретическую и техническую составляющие.

Основы теоретического подхода алгоритмизации данной задачи были проработаны группой В. И. Варшавского [3].

Детализация ряда теоретических положений и техническая реализация оставались до последнего времени невыполненными. Решению этой задачи посвящена данная статья.

## 2 Теоретические основы анализа самосинхронных схем на базе гипотезы Маллера

Классическое определение самосинхронных схем было дано в работах Маллера [4]. Для четкого определения круга решаемых задач приведем еще раз описание схемы по Маллеру.

Схемой называется совокупность логических элементов  $\{Z_1, \dots, Z_n\}$ , где каждый вход логического элемента присоединен к одному выходу и никакие два выхода не соединены между собой. Состояние схемы в каждый момент представляет собой набор значений сигналов в ее узлах — выходах двоичных логических элементов. Входы схемы также можно считать логическими элементами без входов — генераторами нулей или единиц.

Состояние выхода элемента определяется значениями сигналов на его входах. Поведение  $i$ -го элемента схемы можно описать булевым уравнением:

$$Z_i' = F_i(Z_1, \dots, Z_i, \dots, Z_n), \quad (1)$$

где  $Z_1, \dots, Z_{i-1}, Z_{i+1}, \dots, Z_n$  — значения сигналов во входных узлах  $i$ -го элемента в момент времени  $t$ ;  $Z_i$  — значение выхода  $i$ -го элемента в момент времени  $t$ ;  $Z_i'$  — значение, которое должен принять выход  $i$  в следующий момент времени  $t'$ ;  $F_i$  — собственная функция  $i$ -го элемента.

Для схемы, состоящей из  $n$  элементов, моделью Маллера называется система из  $n$  уравнений вида  $Z_i', i = 1, \dots, n$ .

Сказанное означает, что переключение любого логического элемента может происходить в течение любого, но ограниченного интервала времени. При этом результат переключения, появляющийся на выходе элемента  $Z_j$ , одновременно появляется на входах всех элементов  $Z_i$ , связанных с выходом элемента  $Z_j$ . (Все задержки переключения «приводятся» к входу сработавшего элемента.)

По Маллеру, схема будет *самосинхронной*, если в процессе ее работы ни для каких переключающихся элементов не возникнет ситуация, когда два различных

события на входах элемента, действуя в противоположных направлениях, могут переключить его в прямом и обратном направлении одновременно (состояние «гонки»).

Самосинхронные схемы по Маллеру (speed-independent) обладают рядом ценных качеств. Они характеризуются независимостью функционирования от времени переключения элементов схемы.

Предложенная модель допускает и более широкое применение. Понятие самосинхронности по Маллеру может быть распространено и на специальный класс схем, независимых как от времени переключения логических элементов, так и от задержек в соединениях элементов (delay-insensitive).

Действительно, если на всех входах каждого логического элемента поставить повторитель, то логика функционирования схемы останется неизменной, а времена появления входных сигналов на входах окажутся произвольными, ограниченными величинами, отсчитываемыми от момента срабатывания переключающих их выходов. Система логических уравнений, описывающая исходную схему (1), модифицируется к виду:

$$Z'_i = F_i(a_{ij}), \quad a'_{ij} = Z_j \quad \forall j,$$

где  $a_{ij}$  — логическая функция повторителя для  $j$ -го входа  $i$ -го логического элемента схемы.

Самосинхронность этой схемы по Маллеру будет означать независимость ее функционирования во времени как от задержек логических элементов, так и от задержек в соединениях.

Следовательно, средства анализа самосинхронности схемы Маллера позволяют анализировать оба вида времянезависимых схем и обладают, с этой точки зрения, существенной фундаментальностью.

Универсальные алгоритмы на базе «глобальных моделей» представлены в работе [3] и позволяют получить однозначный ответ о наличии нарушений самосинхронности в схеме Маллера. Своей универсальностью они обязаны полному просмотру всех допустимых и достижимых состояний схемы с целью проверки наличия таких нарушений. В этом их достоинство, но и главный недостаток. Время анализа схем с помощью универсальных алгоритмов определяется экспоненциальным характером зависимости числа анализируемых состояний от «внутренней параллельности» схемы, т. е. числа одновременно происходящих переключений логических элементов. В [1] описана реализация алгоритма проверки самосинхронности на базе *диаграмм переходов* (ДП), позволяющая максимально использовать практически все возможности современной вычислительной техники для решения этой задачи. Достигнутый уровень сложности исследуемых схем составляет не более 24 параллельных процессов. Это соответствует схемным решениям небольших электронных узлов по 500–1000 вентиляей [5]. Анализировать более сложные схемы по этим алгоритмам не представляется возможным.

### 3 Событийный подход к анализу самосинхронных схем

В качестве альтернативы группой проф. В. И. Варшавского был предложен событийный подход к анализу самосинхронных схем. В этом случае под событием понимается изменение (срабатывание) одной из переменных в левой части уравнения (1). Предшествующее срабатыванию состояние переменной левой части, соответствующее временному интервалу, когда все переменные правой части завершили свое срабатывание, называется состоянием возбуждения переменной левой части логического уравнения. Оно демонстрирует приведение задержки срабатывания к выходу логического элемента для схемы Маллера. Множество возбужденных состояний переменной образует ее зону возбуждения в диаграмме переходов Маллера. Именно величина этой зоны и определяет характер экспоненциальной зависимости анализа в ДП, поскольку эта зона состоит из полного перебора состояний схемы по независимым (параллельным) переменным, отличным от возбужденной переменной. В событийном подходе вся зона возбуждения заменяется набором событий, равным числу независимых выходов из этой зоны. Для событий типа «И» это единственное событие — переключение элемента. Для события «ИЛИ» это число событий, равное числу независимых переменных, вызывающих переключение данного элемента.

Следовательно, переход от анализа на всем множестве допустимых состояний ДП Маллера к событийному анализу позволяет убрать экспоненциальную сложность анализа и сделать возможной проверку самосинхронности схемы Маллера размерностью до  $10^4$ – $10^5$  логических уравнений. Это практически полностью покрывает потребности программных средств для анализа крупных блоков вычислительных систем. Такие блоки уже имеют широкую организацию внешних данных. Анализ самосинхронности устройств, содержащих эти блоки, сводится к анализу схемы управления их взаимодействием и полностью обеспечивается средствами событийного анализа.

Варшавским и его группой была доказана фундаментальность *диаграмм изменений* (ДИ), описывающих поведение событийной модели, и сформулированы основные принципы эквивалентности ДИ и ДП [2]. Базируясь на ДП, он доказал, что «*корректная*» (*полумодулярная*) ДИ тождественно описывает переключения самосинхронной схемы Маллера.

Диаграмму изменений можно представить как направленный граф специального вида. Узлами этого графа являются события, соответствующие переключениям логических переменных схемы, характеризующиеся знаком переключения, именем логической переменной и номером переключения от инициального запуска. Дуги, соединяющие события в графе, представлены двумя типами. Дуги «*строгого предшествования*» являются дугами направленного графа и соединяют события, для которых последующее событие невозможно без предыдущего (они описывают события типа «И»). Дуги «*слабого предшествования*», соединяющие

событие-инициатор с событием-последствием, демонстрируют способность, но не обязательность срабатывания последствия от данного инициатора (но обязательное срабатывание последствия от всех инициаторов). Они описывают события типа «ИЛИ» и могут нарушать общую направленность графа.

Корректная (полумодулярная) ДИ для процесса переключений системы уравнений должна удовлетворять условиям:

- построение ДИ начинается с некоторого инициального состояния послойно;
- в каждый новый слой включаются только события, имеющие непосредственных предшественников в предыдущем слое;
- события одного слоя не связаны между собой отношениями строгого предшествования (дугами первого типа);
- события нового слоя бесконфликтны (отсутствуют входящие дуги, требующие противоположных переключений события);
- построение нового слоя производится только для уже построенного корректного фрагмента ДИ;
- построение ДИ для разомкнутых схем заканчивается, если реализованы все допустимые события; для замкнутых схем — если обнаруживается точное совпадение циклических фрагментов ДИ.

Задача построения «корректной» ДИ для *дистрибутивных* схем (подмножества полумодулярных схем, не содержащих событий «ИЛИ») была полностью решена группой Варшавского практически (система ТРАСПЕК). Корректная ДИ для дистрибутивных схем представляет собой направленный граф, однозначно устанавливающий причинно-следственную связь между конкретными событиями (переключениями элементов схемы Малера).

Варшавским были сформулированы условия и общие предложения по построению корректной ДИ для полумодулярных (не дистрибутивных) схем, содержащих оба типа событий («И» и «ИЛИ»). Диаграмма изменений в этом случае представляет собой некоторое расширение класса направленных графов, включающее в себя разновидность понятия одновременности — слабое предшествование, что не позволяет использовать обычные графовые модели для анализа полумодулярных схем [3].

Основные проблемы построения корректной ДИ для полумодулярных схем связаны с «размазыванием» события переключения элемента «ИЛИ» по слоям и требованием «корректности» уже построенного фрагмента ДИ при построении очередного слоя. Это приводит к многократным перестроениям уже сформированного фрагмента ДИ при обнаружении новых событий «ИЛИ». Дополнительно серьезные проблемы создают случаи «вырождения» событий «ИЛИ» и «перехвата термов» [6], когда реальное событие «ИЛИ» в силу определенных взаимодействий его входных переменных между собой или с его выходом переключается как событие «И».



Если в процессе анализа для схемы была построена корректная ДИ, соответствующая модели Малера, то это является гарантией независимости ее функционирования от задержек элементов. Сама ДИ содержит полное описание всех процессов переключений и представляет собой чрезвычайно удобный инструмент для определения и последующей оптимизации временных и энергетических характеристик схемы. Если в процессе построения ДИ обнаруживаются конфликты, то дальнейший анализ прекращается и требуются изменения в реализации логики функционирования исследуемой схемы.

#### 4 Виды нарушений самосинхронности и способы их обнаружения

В работе [3] было доказано, что все возможные виды конфликтов реализуются в одном слое ДИ. Это важное замечание существенно упрощает процедуру выявления всех возможных конфликтных ситуаций.

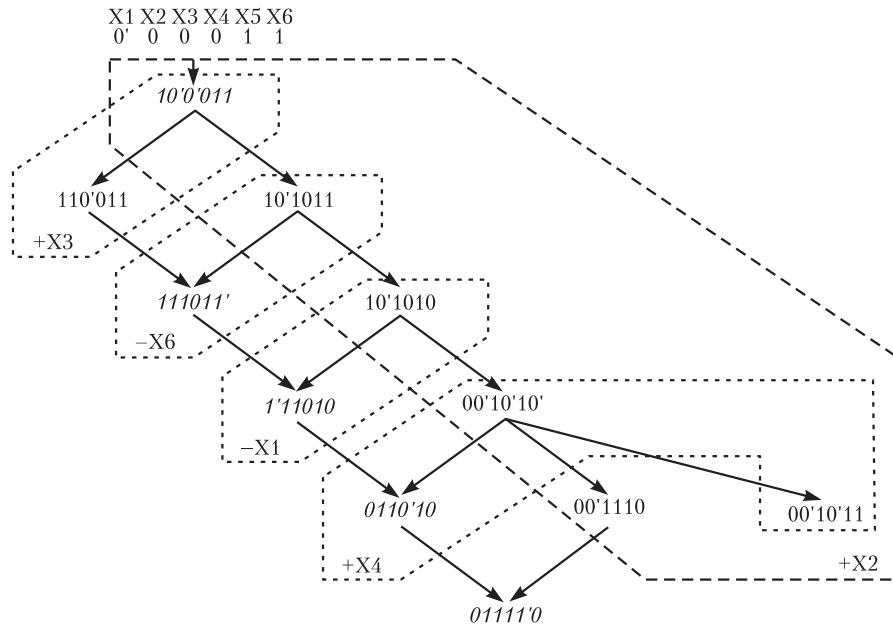
Теоретически это означает, что для всех возбужденных в предыдущем слое переменных может быть только одно значение сработавшей переменной в текущем слое. Появление двух устойчивых противоположных состояний и есть проявление конфликта, ведущего к нарушению полумодулярности схемы.

Для методов анализа в «глобальных моделях» (на базе ДП) эта проверка сводится к выполнению двух условий:

- (1) отсутствие одинаковых переменных в списках сработавших и вновь возбужденных переменных для каждого нового слоя состояний схемы;
- (2) отсутствие одинаковых переменных в списках, сработавших в более ранних слоях, но не вызвавших переключений и вновь возбужденных переменных для каждого нового слоя состояний схемы.

В случае применения событийного анализа появляется дополнительное требование, связанное с использованием определенной модели зон возбуждения переменных схемы в представлении событий в ДИ. Эта модель требует введения некоторых фиктивных переменных для описания событий, в которых нарушается свойство дистрибутивности. Число таких переменных в каждом случае нарушения дистрибутивности равно числу вновь возникающих в этих случаях параллельных независимых между собой последовательностей событий, что в точности соответствует структуре зоны возбуждения для переменной типа «ИЛИ» в «глобальных моделях». Это соответствие и определяет адекватность обоих методов анализа.

Отсюда возникает дополнительное условие для ДИ: *совпадение знаков переменной, порождающей фиктивное событие, и самого фиктивного события, встречающихся в одном слое для любого слоя исследуемой схемы*. Наличие различий в знаках будет говорить об одновременном присутствии противоположных устойчивых состояний фиктивной переменной в одном слое, что соответствует нарушению полумодулярности для недистрибутивных схем.



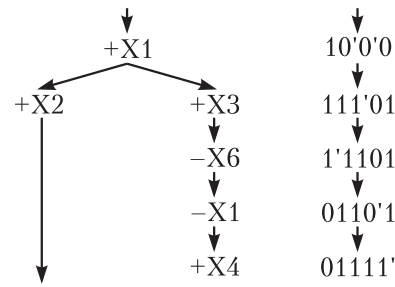
**Рис. 1** Диаграмма переходов для случая нарушения полумодулярности при «перехвате термов». Курсивом приведены «скелетные» состояния; пунктиром обведены зоны «возбуждения» переменных схемы. Помеченные символом ' — возбужденные состояния

Перечисленных проверок достаточно для корректного анализа возможных нарушений полумодулярности на базе событийного подхода в рамках одного слоя ДИ, за исключением специального «пограничного» случая.

Таким сложным случаем для событийного анализа является ситуация, когда дистрибутивная модель функционирования элементов реализуется как вырождение полумодулярной за счет строгих причинно-следственных связей между входными переменными. Здесь часто возникает ситуация, получившая название «перехват термов». Она характеризуется последовательным взаимосвязанным срабатыванием и выключением отдельных импликант переменной типа «ИЛИ», обеспечивающим для этой переменной дисциплину срабатывания типа «И». Сам «перехват термов» не вызывает нарушений полумодулярности, но ошибочная его реализация может приводить к «скрытым» формам нарушений, не видимым на одном слое ДИ. Пример «перехвата термов» в виде ДП со сложным случаем нарушения полумодулярности представлен на рис. 1. На рис. 2 представлена событийная модель этого процесса в виде ДИ.

В представленном примере в процессе переключений задействованы три импликанты переменной X6, две из которых срабатывают последовательно

по  $+X1$ ,  $+X3$  и  $+X3$ ,  $+X2$ , вызывая переключение  $-X6$ . Последнее, в свою очередь, отключает первую импликанту по  $-X1$ , которая и включает третью по  $+X4$ . Между отключением первой и срабатыванием третьей импликант значение  $-X6$  удерживается второй импликантой. Выделенные курсивом на рис. 1 и приведенные в виде последовательности на рис. 2 состояния схемы, называемые «скелетными» состояниями, полностью описывают поведение дистрибутивной схемы и не обнаруживают никаких признаков нарушения полумодулярности. Диаграмма изменений демонстрирует отсутствие специальных дуг, нарушающих дистрибутивность схемы, и выглядит корректной. Однако ДП на рис. 1 явно показывает наличие нарушения полумодулярности сразу в двух зонах возбуждения:  $+X2$  и  $+X4$ . Здесь переменная  $X6$  имеет одновременно противоположные значения в одном слое. Классификационный анализ определяет их как «внескелетное» по  $+X2$  и «прозрачное»  $+X4$  нарушения полумодулярности, невидимые на «скелетных» состояниях схемы.



**Рис. 2** Диаграмма изменений и соответствующая последовательность «скелетных» состояний схемы для случая нарушения полумодулярности при «перехвате термов»

Причина расхождения в результатах анализа данного случая по ДП и ДИ заключается в том, что в результате срабатывания первых двух импликант переменной  $X6$  образуется вырожденное «ИЛИ», которое требует совместного срабатывания  $+X2$  и  $-X6$  до начала срабатывания  $-X1$ . Поскольку в данном примере этого не было предусмотрено, то после срабатывания  $-X1$  переменная  $X2$  могла иметь любое значение, что и стало причиной конфликта, не наблюдаемого на «скелетных» состояниях и не отраженного в ДИ.

Следовательно, анализ ситуаций, связанных с «перехватом термов», требует дополнительной проверки завершенности реализаций вырожденных «ИЛИ» для обеспечения корректной индикации нарушений полумодулярности. Классификационный анализ, определяющий тип конфликтной ситуации, позволяет в этом случае и определить причину, вызвавшую это нарушение, и дать важное предметное указание разработчику схемы.

Описанная методика событийного анализа самосинхронных схем реализована в подсистеме АСПЕКТ [7]. Полученное подтверждение полиномиального характера зависимости временных затрат от величины внутренней параллельности процессов переключений элементов схем проиллюстрировано в табл. 1. В ней приведены данные временных затрат процессорного времени персонального компьютера (ПК) для решения задачи анализа  $n$ -разрядного арифметико-логиче-

**Таблица 1** Зависимость временных затрат ПК для анализа самосинхронных АЛУ от внутренней параллельности (на примере  $n$ -разрядных самосинхронных АЛУ)

Схема	Число элементов схемы	Параллельность	Число событий ДИ	Время счета
АЛУ-2	92	14	624	< 1 с
АЛУ-4	156	26	1244	~ 1 с
АЛУ-8	283	50	2444	~ 6 с
АЛУ-16	537	98	4808	~ 80 с
АЛУ-32	1047	192	9568	24 мин 30 с

ского устройства (АЛУ), где  $n = 2, 4, 8, 16, 32$ , позволяющие приблизительно оценить степенную зависимость временных затрат как  $\sim n^5$ . Эти временные затраты включают в себя затраты как на алгоритмы анализа, так и на алгоритмы предобработки входных данных и организации диагностических сообщений. Это несколько искажает вид приведенной зависимости для небольших схем.

## 5 Организация диагностики в подсистеме классификационного анализа

Модули диагностических сообщений в подсистемах анализа самосинхронных схем выполняют функцию основного внешнего интерфейса с разработчиком электронных схем. От точности, конкретности и наглядности его сообщений в значительной степени зависят скорость разработки и эффективность схемотехнических решений.

В процессе развития программных средств анализа модули диагностики претерпели серьезные эволюционные изменения.

В подсистеме ТРАНАЛ [2] диагностировалась пара переменных, ответственных за возникновение конфликта и нарушение полумодулярности. Этого достаточно для системы из 10–20 уравнений.

В подсистеме АСИАН [1] диагностический модуль позволял увидеть весь процесс переключений в виде графического представления диаграммы изменений и диагностировать на ней нарушение самосинхронности. Для диагностирования ситуаций нарушения самосинхронности в подсистеме АСПЕКТ этого уже недостаточно. Диаграмма изменений устройств, исследуемых в этой подсистеме, может содержать до нескольких миллионов событий переключения элементов. Анализировать причины возникновения нарушений самосинхронности по такой объемной диаграмме трудно и неэффективно. Диагностика в подсистеме АСПЕКТ реализует выделение фрагментов ДИ, в которых локализуется обнаруженное нарушение, и организует их визуализацию в виде графа событий, содержащего причину и результат этого нарушения.



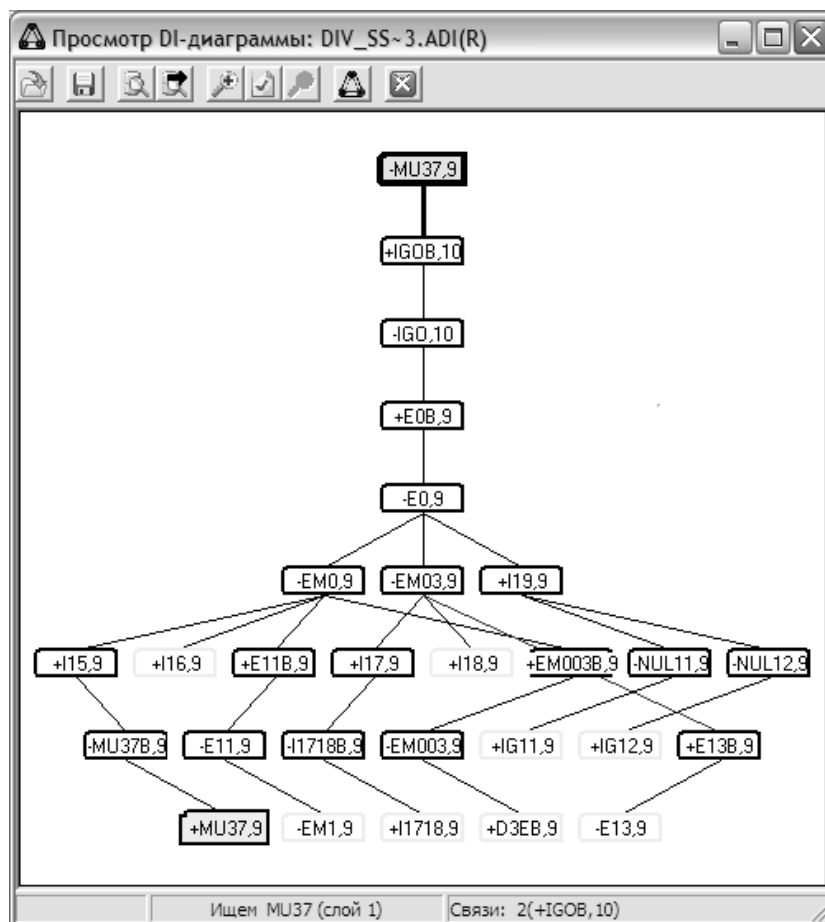


Рис. 4 Пример диагностического сообщения подсистемы АСПЕКТ

из 1 в 0 и обратно. Этот пример демонстрирует, как специальные средства диагностической системы выделяют из всей ДИ только события и связи между ними, ответственные за возникновение конфликта, и представляют их в удобной для анализа форме.

Дальнейшее расширение интеллектуализации процесса разработки самосинхронных схем достигается за счет использования классификационного анализа. Классифицируя характер процессов в схеме (взаимодействия событий) как дистрибутивный или полумодулярный, тип диагностируемых нарушений (конфликтов) как «скелетные», «скелетные» с добавлением фиктивных событий,

«внескелетные» или «прозрачные», можно получить дополнительную информацию о причинах конфликтов и способах их разрешения [3]. Например:

- возникновение последних двух типов конфликтов практически однозначно указывает на некорректную форму вырождения «ИЛИ» и требует ее уточнения;
- обнаруженные «прозрачные» конфликты могут быть легко исправлены с помощью простых алгоритмов изменений схемы [3].

Развитые и интеллектуализованные диагностические средства в подсистемах событийного анализа являются необходимым условием эффективной разработки самосинхронных схем вследствие повышенной степени сложности разрабатываемых изделий.

## 6 Выводы

1. Разработана методика анализа времянезависимых схем на базе построения событийных моделей асинхронных процессов переключений элементов схемы. Создан набор алгоритмов, обеспечивающий полную и корректную процедуру анализа.
2. С помощью методов классификационного анализа исследована сложная конфликтная ситуация в процессе переключения элементов, реализующем «перехват термов», и предложена методика диагностики таких нарушений.
3. Разработанные средства диагностики и визуализации ДИ позволяют выделять и исследовать отдельные фрагменты событийной модели процесса переключения логических элементов, в которых выявлены нарушения самосинхронности. Применение методов классификационного анализа конфликтных ситуаций в ДИ повышает эффективность диагностических средств и облегчает понимание причин этих нарушений.

Авторы выражают благодарность Ю. Г. Дьяченко за помощь в работе.

## Литература

1. *Рождественский Ю. В., Морозов Н. В., Степченков Ю. А., Рождественские А. В.* Универсальная подсистема анализа самосинхронных схем // Системы и средства информатики. — М.: Наука, 2006. Вып. 16. С. 463–475. URL: <http://elibrary.ru/item.asp?id=13060493> (дата обращения 30.05.2011).
2. *Варшавский В. И., Карпов С. А., Кондратьев А. Ю., Степченков Ю. А.* Инструментальные средства автоматизации проектирования самосинхронных схем // Системы и средства информатики. — М.: Наука, 1993. Вып. 5. С. 196–213.
3. *Varshavsky V., Kishinevsky M., Marakhovsky V., et al.* Self-timed control of concurrent processes. — Kluwer Academic Pubs., 1990. 245 p.

4. *Muller D. E., Bartky W. S.* A theory of asynchronous circuits // Symposium (International) on Theory of Switching Proceedings. — Cambridge, MA: Harvard University Press, 1959. P. 204–243.
5. *Степченков Ю. А., Денисов А. Н., Дьяченко Ю. Г., Гринфельд Ф. И.* Библиотека элементов базовых матричных кристаллов для критических областей применения // Системы и средства информатики. — М.: Наука, 2004. Вып. 14. С. 318–361.
6. *Морозов Н. В., Рождественский Ю. В.* Средство анализа системы булевых уравнений на полумодулярность и дистрибутивность. Свидетельство об официальной регистрации программы для ЭВМ № 2001610157 от 14.02.2001.
7. *Рождественский Ю. В., Морозов Н. В., Рождественскене А. В.* Самосинхронный вычислитель для высоконадежных применений // Всеросс. науч.-техн. конф. «Проблемы разработки перспективных микро- и наноэлектронных систем». — М.: ИППМ РАН, 2010. С. 26–31. URL: <http://elibrary.ru/item.asp?id=15257392> (дата обращения 30.05.2011).
8. *Степченков Ю. А., Дьяченко Ю. Г., Рождественский Ю. В., Морозов Н. В., Степченков Д. Ю.* Квазисамосинхронная реализация устройства деления и извлечения квадратного корня // Системы и средства информатики. — М.: Наука, 2008. Вып. 18. С. 234–260. URL: <http://elibrary.ru/item.asp?id=13043595> (дата обращения 30.05.2011).