

СИСТЕМЫ И СРЕДСТВА ИНФОРМАТИКИ

**Научный журнал Российской академии наук
(издается под руководством Отделения нанотехнологий
и информационных технологий РАН)**

Издается с 1989 года
Журнал выходит ежеквартально

Учредитель:
**Федеральный исследовательский центр
«Информатика и управление» Российской академии наук**

РЕДАКЦИОННЫЙ СОВЕТ

академик РАН И. А. Соколов — председатель Редакционного совета
академик РАН Г. И. Савин
академик РАН А. Л. Стемповский
член-корреспондент РАН Ю. Б. Зубарев
профессор Ш. Долев (S. Dolev, Beer-Sheva, Israel)
профессор Ю. Кабанов (Yu. Kabanov, Besancon, France)
профессор М. Никулин (M. Nikulin, Bordeaux, France)
профессор В. Ротарь (V. Rotar, San-Diego, USA)
профессор М. Финкельштейн (M. Finkelstein, Bloemfontein, South Africa)

РЕДАКЦИОННАЯ КОЛЛЕГИЯ

академик РАН И. А. Соколов — главный редактор
профессор, д.ф.-м.н. С. Я. Шоргин — заместитель главного редактора
д.т.н. В. Н. Захаров
проф., д.ф.-м.н. А. И. Зейфман
проф., д.т.н. В. Д. Ильин
проф., д.т.н. К. К. Колин
проф., д.ф.-м.н. В. Ю. Королев
к.ф.-м.н. Р. В. Разумчик
проф., д.г.-м.н. Р. Б. Сейфуль-Мулюков
д.ф.-м.н. В. И. Сеницын
проф., д.т.н. И. Н. Сеницын
проф., д.ф.-м.н. В. Г. Ушаков
к.ф.-м.н. А. К. Горшенин — отв. секретарь
к.ф.-м.н. С. А. Христочевский

Редакция

профессор, д.г.-м.н. Р. Б. Сейфуль-Мулюков
к.ф.-м.н. Е. Н. Арутюнов
к.ф.-м.н. Р. В. Разумчик
С. Н. Стригина

© Федеральный исследовательский центр «Информатика
и управление» Российской академии наук, 2019

Журнал включен в базу данных Russian Science Citation Index (RSCI),
интегрированную с Web of Science

Журнал входит в систему Российского индекса научного цитирования (РИНЦ)
Журнал включен в базу данных CrossRef (систему DOI — Digital Object Identifier),
в базу данных Ulrich's periodicals directory

и в информационную систему «Общероссийский математический портал Math-Net.Ru»

Журнал реферируется в «Реферативном журнале» ВИНТИ
и в системе Google Scholar

Журнал включен в сформированный Минобрнауки России Перечень рецензируемых научных изданий, в которых должны быть опубликованы основные научные результаты диссертаций на соискание ученой степени кандидата наук, на соискание ученой степени доктора наук

<http://www.ipiran.ru/journal/collected>

СИСТЕМЫ И СРЕДСТВА ИНФОРМАТИКИ

Том 29 № 4 Год 2019

СОДЕРЖАНИЕ

Снижение размерности для смеси вероятностных анализаторов главных компонент применительно к задачам медицинской диагностики	
<i>М. П. Кривенко</i>	4
Оптимизация индикации многоразрядных самосинхронных схем	
<i>Ю. А. Степченков, Ю. Г. Дьяченко, Ю. В. Рождественский, Н. В. Морозов, Д. Ю. Степченков, Д. Ю. Дьяченко</i>	14
Поиск эмпирических причин сбоев и ошибок в компьютерных системах и сетях с использованием метаданных	
<i>А. А. Грушо, М. И. Забежайло, Н. А. Грушо, Е. Е. Тимонина</i>	28
Визуальный метаязык описания решения диагностических проблем	
<i>С. Б. Румовская, А. В. Колесников, А. А. Литвин</i>	39
Стационарные характеристики обслуживания в системе GI/MSP/n/∞ собообщенным обновлением	
<i>И. С. Зарядов, Л. А. Мейханаджян, Т. А. Милованова</i>	50
Метод случайного отбора при прогнозировании временных рядов рынка криптовалют	
<i>О. Е. Сороколетова, Т. В. Захарова</i>	65
Анализ производительности систем «новое радио» сети 5G с помощью системы массового обслуживания с переменными требованиями к ресурсу	
<i>В. А. Бесчастный, Д. Ю. Острикова, Ю. В. Гайдамака</i>	73
Метод извлечения экспертных оценок из социальных сетей при проведении процесса группового принятия решений	
<i>О. В. Чухно, Н. В. Чухно, Ю. В. Гайдамака, К. Е. Самуйлов</i>	84

ОПТИМИЗАЦИЯ ИНДИКАЦИИ МНОГОРАЗРЯДНЫХ САМОСИНХРОННЫХ СХЕМ*

*Ю. А. Степченков¹, Ю. Г. Дьяченко², Ю. В. Рождественский³,
Н. В. Морозов⁴, Д. Ю. Степченков⁵, Д. Ю. Дьяченко⁶*

Аннотация: Индикаторная подсхема в самосинхронных (СС) схемах обеспечивает контроль окончания переключения всех элементов в текущую фазу и управление взаимодействием функциональных блоков. С увеличением разрядности СС-схемы растет и вклад индикаторной подсхемы в задержку переключения схемы. В статье рассматриваются вопросы оптимизации индикаторной подсхемы и организации СС-конвейера для обеспечения более высокого быстродействия всей схемы. Для реализации разряда регистров хранения промежуточных данных в ступенях конвейера предлагается использовать вместо обычного СС-RS-триггера гистерезисный триггер, имеющий меньшую сложность и обеспечивающий хранение как рабочего, так и спейсерного состояния парафазных данных. Дисциплина управления фазами ступеней конвейера с помощью общих индикаторных выходов соседних ступеней конвейера заменяется принципом поразрядной индикации и управления фазами, использующей параллельность вычислений в многоразрядных СС-схемах. Предлагаемые решения обеспечивают существенное повышение быстродействия СС-схем за счет незначительного усложнения индикаторной подсхемы.

Ключевые слова: самосинхронная схема; конвейер; гистерезисный триггер

DOI: 10.14357/08696527190402

1 Введение

Теоретически СС-схемы [1–3] обеспечивают максимально возможное быстродействие в любых конкретных условиях окружающей среды. Они используют

* Исследование выполнено за счет гранта Российского научного фонда (проект 19-11-00334).

¹ Институт проблем информатики Федерального исследовательского центра «Информатика и управление» Российской академии наук, YStepchenkov@ipiran.ru

² Институт проблем информатики Федерального исследовательского центра «Информатика и управление» Российской академии наук, diaura@mail.ru

³ Институт проблем информатики Федерального исследовательского центра «Информатика и управление» Российской академии наук, YRogdest@ipiran.ru

⁴ Институт проблем информатики Федерального исследовательского центра «Информатика и управление» Российской академии наук, NMorozov@ipiran.ru

⁵ Институт проблем информатики Федерального исследовательского центра «Информатика и управление» Российской академии наук, stepchenkov@mail.ru

⁶ Институт проблем информатики Федерального исследовательского центра «Информатика и управление» Российской академии наук, diaden87@gmail.com

запрос-ответное взаимодействие между задатчиком данных и их приемником. Благодаря этому быстродействие СС-схем определяется лишь реальными в данных условиях эксплуатации задержками элементов, из которых они состоят. Этим они выгодно отличаются от синхронных схем, которые в отсутствие адаптации источника тактового сигнала к изменяющимся условиям окружающей среды вынуждены ориентироваться на «наихудший случай»: минимально возможное напряжение питания, максимально допустимую температуру окружающей среды, «медленные» транзисторы и т. д. В результате в ряде приложений СС-схемы, несмотря на свою аппаратную избыточность, оказываются более быстродействующими, чем их синхронные аналоги.

Основные факторы ограничения быстродействия СС-схем:

- двухфазная дисциплина работы — рабочая фаза, в которой реализуется заложенный в схему алгоритм обработки входных данных, и спейсерная фаза (спейсер), служащая для разделения соседних рабочих фаз;
- наличие индикаторной подсхемы.

Индикаторная подсхема обеспечивает контроль окончания переключения СС-схемы в текущую фазу. Для подтверждения окончания переключения СС-схемы требуется проиндицировать выходы всех ее элементов и собрать их в один индикаторный сигнал, служащий сигналом управления задатчиком.

В относительно несложных схемах с небольшой разрядностью индикаторная подсхема работает в «фоновом» режиме. В многоразрядных СС-схемах большое число индицирующих сигналов приводит к «разбуханию» индикаторной подсхемы, которая начинает вносить существенный вклад в задержку СС-схемы. Поэтому разработка методов ускорения индикации многоразрядных СС-схем является актуальной задачей. Данная работа посвящена исследованию возможностей ускорения и распараллеливания индикаторной подсхемы КМОП-СС-схем и анализу вариантов ее реализации в типовых устройствах.

2 Самосинхронный конвейер

Сложные СС-схемы, как и их синхронные аналоги, строятся в виде конвейера. Ступень СС-конвейера содержит комбинационную часть, реализующую алгоритм обработки данных, и входной или выходной регистр, хранящий результаты обработки данных. В синхронных схемах все ступени конвейера, как правило, синхронизируются одним тактовым сигналом. Самосинхронный конвейер управляется сигналами, индицирующими окончание переключения соседних ступеней конвейера в очередную фазу работы.

Базовый принцип взаимодействия ступеней СС-конвейера заключается в следующем: текущая ступень конвейера начинает переключаться в рабочую (спейсерную) фазу только после того, как предыдущая ступень конвейера переключилась в рабочую (спейсерную) фазу, а следующая ступень конвейера

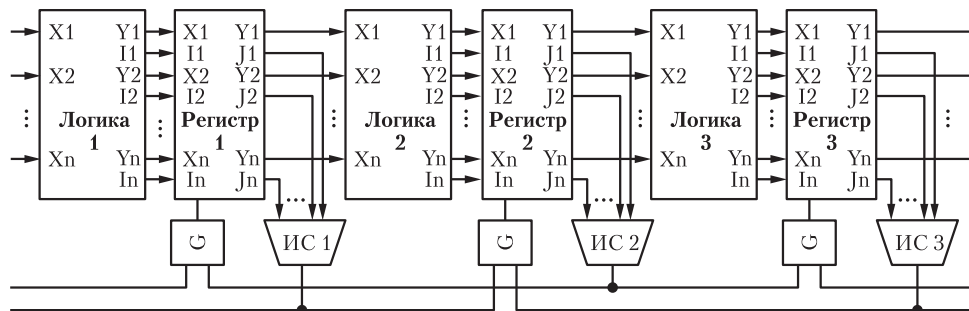


Рис. 1 Схема классического СС-конвейера

переключилась в спейсерную (рабочую) фазу. На рис. 1 приведена схема классического СС-конвейера. Здесь «Логика» — комбинационная часть ступени конвейера; «Регистр» — выходной регистр ступени; «ИС» — индикаторная схема ступени конвейера; «G» — гистерезисный триггер (Г-триггер) [4], формирующий сигнал управления фазой регистра. Индикаторная схема является общей для комбинационной части и регистра ступени конвейера.

Такая дисциплина управления СС-конвейером привязывает начало переключения текущей ступени конвейера к общим индикаторным выходам соседних ступеней конвейера и существенно замедляет его работу. Действительно, пусть все ступени конвейера характеризуются примерно одинаковыми задержками переключения (ЗП) информационных выходов в рабочую фазу и в спейсер и одинаковыми задержками формирования индикаторных выходов ступени после готовности информационных выходов:

- $T_{РФЛ}$ — ЗП комбинационной части ступени конвейера в рабочую фазу;
- $T_{СФЛ}$ — ЗП комбинационной части ступени конвейера в спейсер;
- $T_{РФР}$ — ЗП регистра ступени конвейера в рабочую фазу;
- $T_{СФР}$ — ЗП регистра ступени конвейера в спейсер;
- $T_{РФИ}$ — ЗП индикаторной схемы ступени конвейера в рабочую фазу;
- $T_{СФИ}$ — ЗП индикаторной схемы ступени конвейера в спейсер.

Тогда при строгом соблюдении базового принципа взаимодействия ступеней СС-конвейера длительность цикла работы (рабочая фаза плюс спейсерная фаза) каждой ступени классического СС-конвейера будет определяться формулой:

$$T_{РЦК} = T_{РФР} + T_{РФИ} + T_{СФР} + T_{СФИ} + 2T_{G2} + 2 \max \{ T_{СФР} + T_{СФЛ} + T_{СФИ}, T_{РФЛ} + T_{РФР} + T_{РФИ} \}, \quad (1)$$

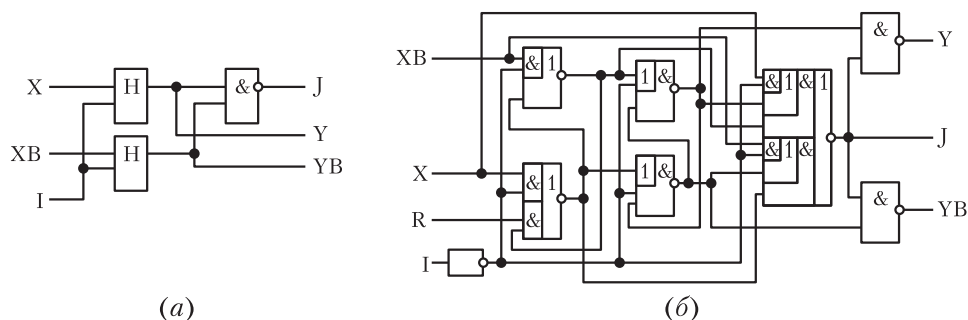


Рис. 2 Схема разряда регистра ступени конвейера: (а) оптимизированная; (б) классическая

где T_{G2} — усредненная задержка переключения двухвходового Г-триггера (G2). Здесь задержка переключения индикаторной схемы ступени конвейера представляет собой интегрированную задержку формирования общего индикаторного выхода ступени конвейера по отношению к максимально задержанному выходу из числа выходов комбинационной части и регистра. Однако выбор парафазной со спейсером (ПФС) дисциплины формирования входных данных комбинационной части ступени конвейера и специальная реализация регистра позволяют ускорить взаимодействие ступеней конвейера.

Действительно, ПФС-дисциплина сигналов отображает не только бит передаваемой информации, но и фазу, в которой находится сигнал в любой момент времени. Таким образом, выходы комбинационной части ступени конвейера своим состоянием сигнализируют об окончании своего переключения в следующую фазу работы.

В случае многоразрядной СС-схемы с отсутствующей или слабой взаимосвязью разных разрядов это свойство ПФС-сигналов может быть использовано для поразрядной индикации ступени конвейера за счет реализации разряда регистра на основе Г-триггеров [5]. На рис. 2, а показана схема разряда регистра хранения ПФС-сигнала с единичным спейсером на Г-триггерах, имеющая общий сигнал управления I и индикаторный выход J. Она хранит как рабочее, так и спейсерное состояние ПФС-сигнала, и ее выход (Y, YB) является также ПФС-сигналом. Она выгодно отличается от традиционного СС-триггера на бистабильных ячейках с информационным ПФС-входом, пример которого показан на рис. 2, б.

При использовании схемы рис. 2, а в качестве разряда регистра ступени конвейера структурная схема СС-конвейера преобразуется к виду, изображенному на рис. 3. Индикаторные схемы комбинационной части («ИЛ») и регистра («ИР») ступени конвейера формируют отдельные индикаторные сигналы, объединяемые трехвходовым Г-триггером (G3) вместе с индикатором регистра соседней ступени. Явной зависимости сигнала управления фазой регистра от индикатор-

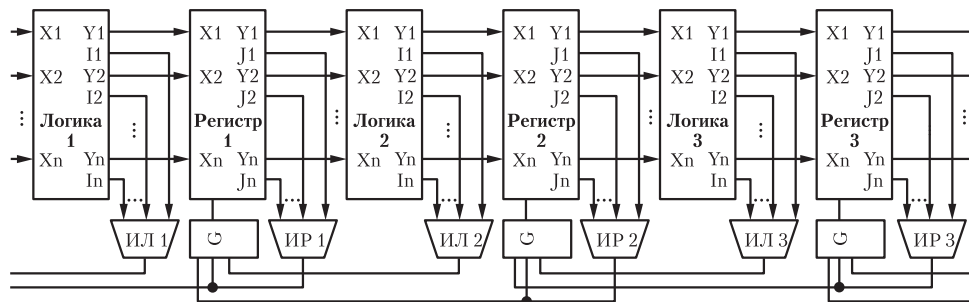


Рис. 3 Схема оптимизированного СС-конвейера

ного выхода предыдущей ступени конвейера нет, но схема конвейера остается СС, так как регистр текущей ступени конвейера не переключится в очередную фазу работы, пока в ту же фазу не переключатся информационные выходы предыдущей ступени конвейера. Однако сигнал управления фазой работы регистра по-прежнему остается общим для всех разрядов регистра и формируется по окончании переключения всех разрядов комбинационной части и регистра данной ступени.

Длительность цикла работы ступени оптимизированного СС-конвейера равна

$$T_{РЦО} = T_{РФР} + T_{РФИР} + T_{СФР} + T_{СФИР} + 2T_{G3} + 2 \max \{T_{СФР} + T_{СФЛ} + T_{СФИР}, T_{РФЛ} + T_{РФР} + T_{РФИР}\} \quad (2)$$

в предположении, что формирование индикаторного выхода комбинационной части в любой фазе заканчивается не позже, чем формирование индикаторного выхода последующего регистра. Здесь $T_{РФИР}$ и $T_{СФИР}$ — задержки переключения индикаторной схемы регистра ступени конвейера в рабочую фазу и в спейсер.

Схема СС-конвейера на рис. 3 оказывается более быстродействующей по сравнению со схемой рис. 1, если выполняется неравенство $T_{РЦК} - T_{РЦО} > 0$, которое после подстановки формул (1) и (2) преобразуется к виду:

$$(T_{РФИ} - T_{РФИР}) + (T_{СФИ} - T_{СФИР}) + 2(T_{G2} - T_{G3}) + 2 \max \{T_{СФР} + T_{СФЛ} + T_{СФИ}, T_{РФЛ} + T_{РФР} + T_{РФИ}\} - 2 \max \{T_{СФР} + T_{СФЛ} + T_{СФИР}, T_{РФЛ} + T_{РФР} + T_{РФИР}\} > 0. \quad (3)$$

В неравенстве (3) задержка $T_{РФИР}$ заведомо меньше задержки $T_{РФИ}$, а задержка $T_{СФИР}$ гарантированно меньше задержки $T_{СФИ}$. Пусть $T_{РФИР} = K_{РИ}T_{РФИ}$, $T_{СФИР} = K_{СИ}T_{СФИ}$, где $K_{РИ}$ и $K_{СИ}$ — коэффициенты пропорциональности, меньшие единицы, а отношение задержек переключения в рабочую фазу и в спейсер примерно одинаково для комбинационной части и регистра: $T_{РФР} = K_{РС}T_{СФР}$, $T_{РФЛ} = K_{РС}T_{СФЛ}$. Тогда неравенство (3) примет к виду:

$$(1 - K_{РИ}) T_{РФИ} + (1 - K_{СИ}) T_{СФИ} + 2(T_{G2} - T_{G3}) + \\ + 2 \max \{T_{СФР} + T_{СФЛ} + T_{СФИ}, K_{РС} (T_{СФР} + T_{СФЛ}) + T_{РФИ}\} - \\ - 2 \max \{T_{СФР} + T_{СФЛ} + K_{СИ} T_{СФИ}, K_{РС} (T_{СФР} + T_{СФЛ}) + K_{РИ} T_{РФИ}\} > \\ > 0. \quad (4)$$

Статистически задержка переключения СС-схемы в спейсер меньше задержки ее переключения в рабочую фазу, а задержки переключения индикаторной схемы в рабочую фазу и в спейсер примерно одинаковы. Тогда $K_{РС} > 1$, $T_{РФИ} = T_{СФИ} = T_{И}$, $K_{РИ} = K_{СИ} = K_{И}$ и неравенство (4) запишется в виде:

$$\Delta T = 4(1 - K_{И}) T_{И} + 2(T_{G2} - T_{G3}) > 0. \quad (5)$$

В многоразрядной СС-схеме число сигналов, объединяемых в один общий индикаторный сигнал, пропорционально разрядности схемы. Из-за ограничения на допустимое число последовательно соединенных КМОП-транзисторов в элементе (не более трех транзисторов р-типа и не более четырех транзисторов п-типа) индикаторная схема строится на основе двухвходовых и трехвходовых Г-триггеров. Индикаторная схема, свертывающая M индицирующих сигналов в один, реализуется на $\lceil M(1 - 1/\log M) \rceil$ G2 или $\lceil (M/2)(1 - 1/\log_3 M) \rceil$ G3, где скобки $\lceil \rceil$ означают «ближайшее целое, не меньшее значения выражения в скобках». Число ярусов такой подсхемы равно $\lceil \log M \rceil$ [или] $\lceil \log_3 M \rceil$ соответственно, а задержка переключения индикаторной подсхемы в первом приближении равна

$$T_{И} = T_{G3} \lceil \log_3 M \rceil.$$

Например, число индикаторных сигналов первого слоя «дерева» Уоллеса умножителя двойной точности, соответствующего стандарту IEEE754 [6], реализующего модифицированный алгоритм Бута и использующего парафазное кодирование с единичным спейсером, равно 1431. Свертывающая их индикаторная схема будет иметь 716 G13 и G12, расположенных на 7 ярусах пирамидальной структуры. При задержке одного G3 в 65-нанометровой КМОП-технологии, равной 50 пс при типовых условиях, суммарная задержка переключения в одну сторону такой индикаторной схемы составляет около 350 пс, а в обе стороны — 700 пс, что приводит к серьезному замедлению конвейера умножителя.

На рис. 4 приведены графики оценки левой части (ΔT) неравенства (5) в зависимости от коэффициента $K_{И}$ для разных значений разрядности M регистра

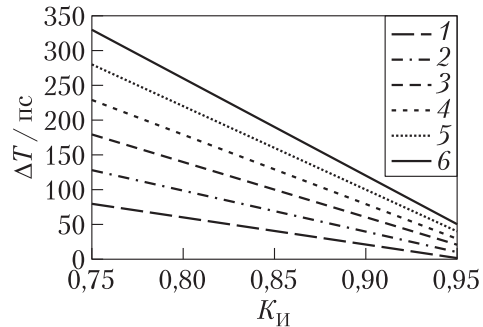


Рис. 4 Выигрыш в быстродействии оптимизированного СС-конвейера: 1 — $M = 3^2$; 2 — 3^3 ; 3 — 3^4 ; 4 — 3^5 ; 5 — 3^6 ; 6 — $M = 3^7$

ступени СС-конвейера при $T_{Г2} \approx 40$ пс и $T_{Г3} \approx 50$ пс. В качестве значений M выбраны степени тройки: индикаторные «деревья» для такого числа сигналов, реализованные на ГЗ, оптимальны как по быстродействию, так и по аппаратным затратам. Графики $\Delta T(K_{И})$ для остальных значений M_i , таких что $M_1 < M_i < M_2$, где M_1 и M_2 — значения из ряда степеней тройки, занимают промежуточные положения между соответствующими графиками для M_1 и M_2 .

Использование поразрядной индикации обеспечивает сокращение вклада индикаторной схемы в задержку переключения многоразрядной СС-схемы.

3 Поразрядная индикация ступени конвейера

Структурная схема СС-конвейера с поразрядной индикацией показана на рис. 5. Здесь n — разрядность тракта обработки информации; J_1, \dots, J_n — поразрядные индикаторные выходы регистра ступени конвейера; K_1, \dots, K_n — поразрядные фазовые входы регистра. Поразрядная индикация позволяет инициировать переключение СС-схемы в противоположную фазу работы, не дожидаясь окончания переключения в текущую фазу всех разрядов регистра. Максимальный эффект от использования поразрядной индикации достигается в СС-схемах с абсолютной независимостью соседних разрядов по входам-выходам. При наличии взаимной зависимости разрядов растут аппаратные затраты на поразрядную индикацию и уменьшается выигрыш по быстродействию.

Следует отметить, что использование независимой поразрядной индикации в качестве запрос-ответного взаимодействия соседних ступеней СС-конвейера ограничено только внутренней областью неразветвленного конвейера. Входной

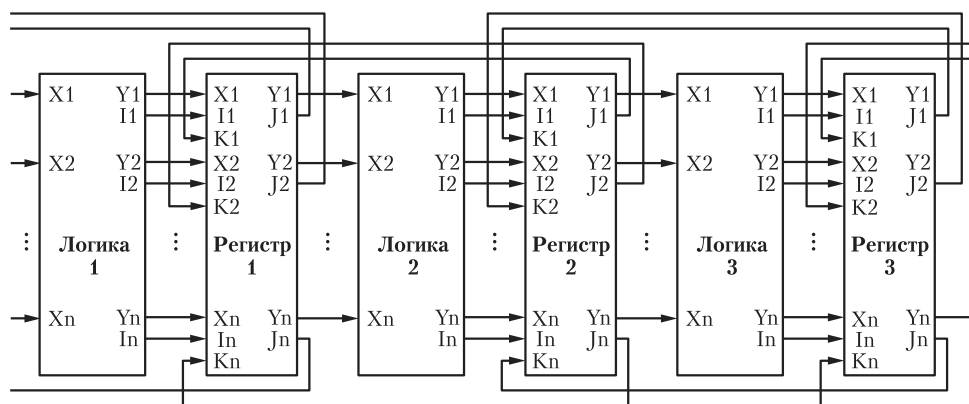


Рис. 5 Схема СС-конвейера с поразрядной индикацией

и выходной блоки такого конвейера обязаны формировать общий индикаторный сигнал для всех разрядов регистра.

Пусть СС-схема имеет N разрядов и каждые L соседних разрядов комбинационной части ступени конвейера связаны друг с другом: выходы элементов в младших разрядах подмножеств из L разрядов используются как входы в старших разрядах этих же подмножеств. Тогда индикация окончания переключения L соседних разрядов комбинационной части и выходного регистра ступени конвейера в очередную фазу работы гарантирует готовность результата в этих L разрядах и разрешает переключение самого младшего из них в противоположную фазу. Для полной поразрядной индикации всех N разрядов ступени конвейера потребуется $(N - L + 1)$ таких индикаторных подсхем.

Длительность цикла работы ступени СС-конвейера с поразрядной индикацией определяется формулой:

$$T_{РЦП} = T_{РФР} + T_{РФПИР} + T_{СФР} + T_{СФПИР} + 2T_{G2} + \\ + 2 \max \{ T_{СФР} + T_{СФЛ} + T_{СФПИР}, T_{РФЛ} + T_{РФР} + T_{РФПИР} \},$$

где $T_{РФПИР}$ и $T_{СФПИР}$ — задержки переключения поразрядных индикаторных выходов регистра ступени конвейера в рабочую фазу и в спейсер соответственно относительно информационных выходов. С учетом вышеприведенных допущений в отношении задержек разного типа в предельном случае (полная независимость соседних разрядов ступени, $L = 1$) $T_{РФПИР} = T_{СФПИР} = T_{G2}$. В общем случае

$$T_{РФПИР} = T_{СФПИР} = T_{G2} + \lceil \log_3 O \rceil T_{G3}, \quad (6)$$

в то время как аналогичные величины в формуле (2) имеют значение

$$T_{РФИР} = T_{СФИР} = \lceil \log_3 N \rceil T_{G3}. \quad (7)$$

Тогда выигрыш в быстродействии варианта СС-конвейера с поразрядной индикацией можно оценить формулой:

$$T_{РЦО} - T_{РЦП} = T_{СФИР} - T_{СФПИР} + 2(T_{G3} - T_{G2}) + 3(T_{РФИР} - T_{РФПИР}).$$

С учетом формул (6) и (7) получается:

$$\Delta T_{П} = T_{РЦО} - T_{РЦП} = 2(T_{G3} - T_{G2}) + \\ + 4(\lceil \log_3 N \rceil T_{G3} - \lceil \log_3 O \rceil T_{G3}). \quad (8)$$

Рисунок 6 демонстрирует зависимость $\Delta T_{П}$, задаваемую формулой (8), от суммарной разрядности тракта обработки данных N для разных вариантов межразрядной связности O при фиксированных значениях $T_{G2} = 40$ пс и $T_{G3} = 50$ пс.

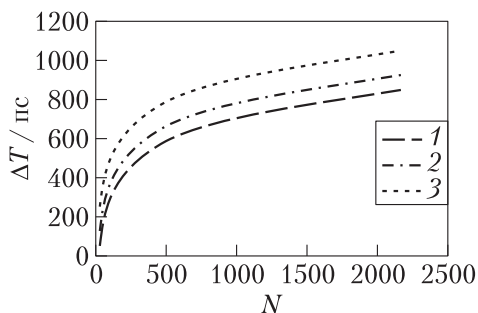


Рис. 6 Выигрыш в быстродействии ступени СС-конвейера с поразрядной индикацией: 1 — $O = 9$; 2 — 6; 3 — $O = 3$

Если $L < O = (\lceil \log_3 L \rceil)^3$, то с точки зрения минимизации аппаратных затрат целесообразно индцировать одним общим сигналом O соседних разрядов, а не L . Тогда завершение переключения элементов комбинационной части и регистра ступени конвейера в O соседних разрядах разрешает переключение в противоположную фазу $(O - L + 1)$ разрядов и аппаратные затраты снижаются до $C_0 = 16((N - O + 1)/(O - L + 1)) \log_3 O$. Например, при $N = 64$, $L = 5$ и $O = 9$ сложность минимизированной поразрядной индикаторной схемы снижается в 3,9 раза. В этом случае целесообразно говорить о *групповом* индикаторе, так как он управляет фазовыми переключениями группы соседних разрядов.

На практике вариант поразрядной индикации, показанный на рис. 5, встречается редко и может рассматриваться как совокупность параллельных СС-конвейеров. Гораздо чаще встречаются случаи конвейерной обработки многоразрядных цифровых данных, например устройство умножения со сложением-вычитанием (Fused-Multiply-Add, FMA) [7]. В нем умножитель построен на основе многоразрядных сумматоров с сохранением переноса. В результате разряды сумматоров оказываются слабо связанными и допускают применение поразрядной индикации в пределах одной-двух ступеней конвейера.

В ряде случаев целесообразно использовать вариант поразрядной индикации, ориентированный на ускорение переключения ступеней конвейера, длительность рабочего цикла которых намного превышает длительность цикла соседних ступеней.

В формуле (2) длительность цикла работы ступени оптимизированного СС-конвейера в значительной степени определяется задержкой переключения комбинационной части ступени в спейсер ($T_{СФЛ}$) и рабочую фазу ($T_{РФЛ}$). Во многих схемах задержка срабатывания комбинационной части ступени конвейера превалирует над задержками регистра этой же ступени. Это создает базу для применения поразрядной индикации в виде, представленном на рис. 7.

Аппаратные затраты поразрядной индикации избыточны, поскольку один и тот же разряд схемы индцируется одновременно в L индикаторных подсхемах, и равны примерно $C_L = 16(N - L + 1) \log_3 L$ КМОП-транзисторов. Но такой способ индикации позволяет ускорить переключение комбинационной части ступени конвейера в рабочую фазу и спейсер на время, соответствующее ожиданию формирования общего индикаторного выхода регистра и комбинационной части ступени для всех разрядов.

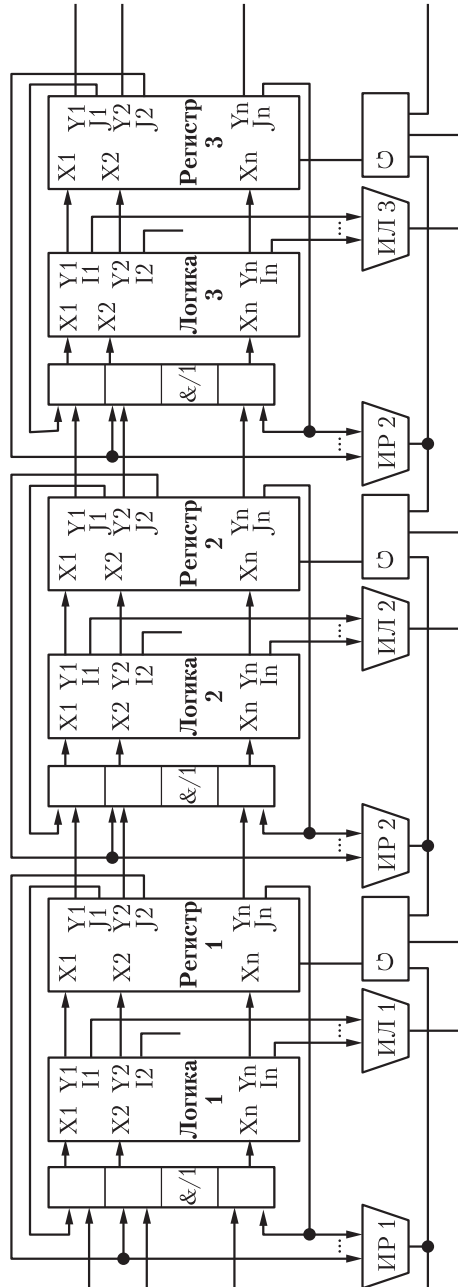


Рис. 7 Схема конвейера с поразрядной индикацией комбинированной части

Цель ее заключается в том, чтобы исключить из критического пути ЗП комбинационной части ступени конвейера из рабочей фазы в спейсер. По сравнению со схемой СС-конвейера в схему конвейера на рис. 5 добавлены блоки принудительного перевода комбинационной части каждой ступени в спейсер (БПС), обозначенные символами «&/1». Они реализуются на $2N$ элементах 2И, 2И-НЕ, 2ИЛИ или 2ИЛИ-НЕ в зависимости от типа спейсера формируемых ПФС — входов комбинационной части ступени конвейера. По завершении переключения в рабочую фазу разрядов регистра ступени, подтвержденном индикатором совокупности O соседних разрядов, соответствующие разряды предшествующей комбинационной части принудительно переводятся в спейсер. В этом случае переключение комбинационной части ступени конвейера в спейсер происходит в «фоновом режиме», одновременно с переключением следующей ступени конвейера в рабочую фазу. В результате длительность рабочего цикла ступени конвейера описывается формулой:

$$T_{РЦПЛ} = T_{РФР} + T_{РФИР} + T_{СФР} + T_{СФИР} + 2T_{Gз} + T_{БПС} + 2 \max \{ T_{СФР} + T_{СФИР}, T_{РФЛ} + T_{РФР} + T_{РФИР} \}, \quad (9)$$

где $T_{БПС}$ — усредненная задержка срабатывания элементов БПС в рабочую фазу (время переключения БПС в спейсер маскируется временем переключения соседних ступеней конвейера).

Сравнение формул (9) и (2) показывает, что применение поразрядной индикации целесообразно только тогда, когда

$$T_{СФЛ} > T_{РФЛ} + T_{РФР} + T_{РФИР} - T_{СФР} - T_{СФИР} - T_{БПС}.$$

В противном случае вместо ускорения работы получится замедление на величину $T_{БПС}$. Таким образом, оптимизация СС-конвейера и использование поразрядной индикации позволяют повысить быстродействие СС-конвейера тем больше, чем выше разрядность тракта цифровой обработки данных.

4 Заключение

«Узким местом» многоразрядных цифровых СС-схем является индикаторная подсхема. Необходимость индицирования окончания переходных процессов во всех элементах СС-схемы и организации запрос-ответного взаимодействия между СС-блоками вынуждает разработчика тратить дополнительные аппаратурные и временные ресурсы, формируя индикаторную подсхему. Она собирает все внутренние индикаторные сигналы схемы в один общий сигнал, используемый в качестве сигнала управления предшествующими и последующими функциональными блоками (ступенями конвейера) в тракте цифровой обработки данных.

Применение оптимизированной структуры СС-конвейера и поразрядной индикации в многоразрядных схемах позволяет существенно ускорить их работу

за счет относительно небольшого увеличения аппаратных затрат. Поразрядную индикацию целесообразно использовать в схемах, в которых соседние разряды схемы слабо связаны друг с другом общими сигналами.

Литература

1. *Kishinevsky M., Kondratyev A., Taubin A., Varshavsky V.* Concurrent hardware: The theory and practice of self-timed design. — New York, NY, USA: J. Wiley & Sons, 1994. 368 p.
2. *Соколов И. А., Степченко Ю. А., Петрухин В. С., Дьяченко Ю. Г., Захаров В. Н.* Самосинхронная схемотехника — перспективный путь реализации аппаратуры // Системы высокой доступности, 2007. Т. 3. № 1-2. С. 61–72.
3. *Степченко Ю. А., Дьяченко Ю. Г., Горелкин Г. А.* Самосинхронные схемы — будущее микроэлектроники // Вопросы радиоэлектроники, 2011. № 2. С. 153–184.
4. *Степченко Ю. А., Дьяченко Ю. Г., Денисов А. Н., Фомин Ю. П.* Г-триггер: Патент РФ № 2371842 с приоритетом от 15.11.2007. Опубликовано 27.10.2009.
5. *Степченко Ю. А., Дьяченко Ю. Г., Рождественский Ю. В., Морозов Н. В., Степченко Д. Ю., Рождественские А. В., Сурков А. В.* Самосинхронный умножитель с накоплением: варианты реализации // Системы и средства информатики, 2014. Т. 24. № 3. С. 63–77.
6. IEEE Standard for Floating-Point Arithmetic IEEE Std 754-2008. — IEEE Computer Society, 2008. doi: 10.1109/IEEESTD.2008.4610935.
7. *Stepchenkov Y. A., Zakharov V. N., Rogdestvenski Y. V., Diachenko Y. G., Morozov N. V., Stepchenkov D. Y.* Speed-independent floating point coprocessor // IEEE East-West Design & Test Symposium Proceedings. — IEEE, 2015. P. 111–114.

Поступила в редакцию 11.09.19

INDICATION OPTIMIZATION IN MULTIBIT SELF-TIMED CIRCUITS

*Yu. A. Stepchenkov, Yu. G. Diachenko, Yu. V. Rogdestvenski, N. V. Morozov,
D. Yu. Stepchenkov, and D. Yu. Diachenko*

Institute of Informatics Problems, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119333, Russian Federation

Abstract: Indication subcircuit in self-timed (ST) circuits provides both control of the completion of switching all their cells to the current phase and control of their functional blocks interaction. An increase of the ST-circuit capacity leads to rising contribution of the indication subcircuit to the circuit’s transient delay. The paper discusses the optimization of the indication subcircuit and

the organization of the ST-pipeline intended for improving performance of the whole circuit. Register bit for storing intermediate data in the pipeline stages is implemented on the basis of hysteretic trigger instead of traditional RS-trigger. Such register bit has less complexity and provides storing both the work and the spacer states of a dual-rail data. Discipline of the pipeline stage phase control by means of total indication outputs of the adjacent pipeline stages is replaced with bit-wise indication and bit-wise control principle, which utilizes the parallelism of the calculations in the multibit ST-circuits. Proposed solutions essentially improve ST-circuits performance due to a slight complication of the indication subcircuit.

Keywords: self-timed circuit; pipeline; hysteretic trigger

DOI: 10.14357/08696527190402

Acknowledgments

The study was supported by the Russian Science Foundation (project No. 19-11-00334).

References

1. Kishinevsky, M., A. Kondratyev, A. Taubin, and V. Varshavsky. 1994. *Concurrent hardware: The theory and practice of self-timed design*. New York, NY: John Wiley & Sons. 368 p.
2. Sokolov, I. A., Yu. A. Stepchenkov, V. S. Petrukhin, Yu. G. Diachenko, and V. N. Zakharov. 2007. Samosinkhronnaya skhemotekhnika — perspektivnyy put' realizatsii apparatury [Self-timed circuitry is the perspective way for hardware realization]. *Sistemy vysokoy dostupnosti* [Highly Available Systems] 2(1-2):61–72.
3. Stepchenkov, Yu. A., Yu. G. Diachenko, and G. A. Gorelkin. 2011. Samosinkhronnye skhemy — budushchee mikroelektroniki [Self-timed circuits are the future of microelectronics]. *Voprosy radioelektroniki* [Issues of Radio Electronics] 2:153–184.
4. Stepchenkov, Yu. A., Yu. G. Diachenko, A. N. Denisov, and Yu. P. Fomin. 2009. G-trigger [G-trigger]. Patent RF No. 2371842.
5. Stepchenkov, Y. A., Y. G. Diachenko, Y. V. Rogdestvenski, N. V. Morozov, D. Y. Stepchenkov, A. V. Rogdestvenskene, and A. V. Surkov. 2014. Samosinkhronnyy umnozhitel' s nakopleniem: varianty realizatsii [Self-timed fused multiply-add unit: Implementation variants]. *Sistemy i Sredstva Informatiki — Systems and Means of Informatics* 24(3):63–77.
6. IEEE Computer Society. 2008. IEEE Standard for Floating-Point Arithmetic IEEE Std 754-2008. doi: 10.1109/IEEESTD.2008.4610935.
7. Stepchenkov, Y. A., V. N. Zakharov, Y. V. Rogdestvenski, Y. G. Diachenko, N. V. Morozov, and D. Y. Stepchenkov. 2015. Speed-independent floating point coprocessor. *East-West Design and Test Symposium Proceedings*. IEEE. 111–114.

Received September 11, 2019

Contributors

Stepchenkov Yuri A. (b. 1951) — Candidate of Science (PhD) in technology, leading scientist, Institute of Informatics Problems, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation; YStepchenkov@ipiran.ru

Diachenko Yuri G. (b. 1958) — Candidate of Science (PhD) in technology, senior scientist, Institute of Informatics Problems, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation; diaura@mail.ru

Rogdestvenski Yuri V. (b. 1952) — Candidate of Science (PhD) in technology, leading scientist, Institute of Informatics Problems, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119333, Russian Federation, Moscow 119333, Russian Federation; YRogdest@ipiran.ru

Morozov Nikolai V. (b. 1956) — senior scientist, Institute of Informatics Problems, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation; NMorozov@ipiran.ru

Stepchenkov Dmitri Yu. (b. 1973) — senior scientist, Institute of Informatics Problems, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation; stepchenkov@mail.ru

Diachenko Denis Y. (b. 1987) — research-engineer, Institute of Informatics Problems, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119133, Russian Federation; diaden87@gmail.com