

МОДЕЛИ ОТКАЗОУСТОЙЧИВЫХ САМОСИНХРОННЫХ СХЕМ

Ю. А. Степченков¹, А. Н. Каменских², С. Ф. Тюрин³, Ю. В. Рождественский⁴

Аннотация: Разработка аппаратуры для цифровых вычислительных систем, отличающейся как высокой надежностью, так и энергоэффективностью, является одной из важнейших задач XXI в. Использование самосинхронных (СС) схем позволяет повысить их энергоэффективность. Однако увеличение аппаратных затрат при СС-исполнении обычной, неотказоустойчивой аппаратуры приводит к снижению ее надежности. Самосинхронное исполнение отказоустойчивой аппаратуры позволяет повысить не только ее надежность, но и улучшить комплексный показатель «энергозатраты–надежность». Дальнейшее развитие методов обеспечения отказоустойчивости СС-схем с учетом их специфики позволит компенсировать их недостатки, такие как сложность проектирования, за счет значительно лучших комплексных показателей эффективности. В статье разрабатываются модели и алгоритмы обнаружения неисправностей для методов обеспечения активной отказоустойчивости, что позволяет повысить достоверность функционирования (ДФ) и коэффициент готовности.

Ключевые слова: надежность; энергоэффективность; энергозатраты–надежность; самосинхронная схема; отказоустойчивость; саморемонт

DOI: 10.14357/08696527160402

1 Введение

Самосинхронные схемы зарекомендовали себя как хорошее решение для целей повышения энергоэффективности цифровых устройств [1–3]. Идея СС-схем заключается в отказе от тактирования устройств, благодаря чему снижается энергопотребление, особенно во время простоя. Методы проектирования СС-схем заложены в работах Д. Е. Маллера (см., например, [4]) и заключаются в использовании специальных элементов — индикаторов, позволяющих определять момент окончания всех переходных процессов в схеме. В книге [5] было предложено расцеплять входные последовательности на две фазы — активную

¹Институт проблем информатики Федерального исследовательского центра «Информатика и управление» Российской академии наук, YStepchenkov@ipiran.ru

²Пермский национальный исследовательский политехнический университет, kamenskikh.anton@gmail.com

³Пермский национальный исследовательский политехнический университет, tyurinsergfeoyandex.ru

⁴Институт проблем информатики Федерального исследовательского центра «Информатика и управление» Российской академии наук, YRogdest@ipiran.ru

(рабочую) и неактивную (спейсер), обеспечивая тем самым монотонность всех переходов в последовательностях [6]. Реализация данного предложения позволяет использовать унифицированный тип СС-кодирования для всех классов схем.

Индикаторы окончания переходных процессов позволяют в дальнейшем оперативно обнаружить и локализовать константные консервативные неисправности (ККН) в устройстве, а затем провести восстановление (саморемонт) с использованием методов активной отказоустойчивости. Функциональность индикаторов СС-схем близка к известным методам рабочего контроля [7].

Теоретические основы диагностики и повышения надежности СС-схем заложены в работах В. И. Варшавского с соавт., в частности этой проблематике посвящена гл. 10 монографии [8]. Исследования по этой теме проводились в работах отечественных [9, 10] и зарубежных [11–13] ученых.

Однако существующие методы обнаружения неисправностей в СС-схемах используют в качестве признака неисправного состояния затягивание переходного процесса до момента срабатывания специально вводимого тайм-аута. Такой подход противоречит самой идее СС-схем, которые относятся к классу бестактовых (clockless) схем, в которых длительность переходного процесса может быть произвольной, но конечной величиной. Использование же генератора тактовых импульсов и счетчика времени в отказоустойчивых вариантах исполнения СС-схем приводит к их выводу из класса бестактовых схем и к росту энергопотребления. Более того, такой подход вносит существенную задержку на этапе обнаружения неисправности и делает невозможным его использование для ряда критических областей применения [14].

В настоящей статье будут предложены новые методы обнаружения неисправностей в СС-схемах, лишенные перечисленных выше недостатков.

2 Математические модели для расчета параметров надежности самосинхронных схем с активной отказоустойчивостью

Построим граф марковской цепи для расчета показателей надежности последовательно-параллельного порта (ПП-порта) с активной отказоустойчивостью [14]. Самосинхронное устройство с активной отказоустойчивостью может находиться в трех состояниях — исправное (0), работоспособное (1) или неработоспособное (2). Интенсивность w_1 определяется сложностью невосстанавливаемого оборудования, w_2 — сложностью основной системы, μ — интенсивность восстановления (рис. 1).

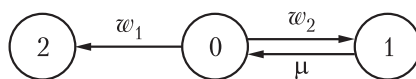


Рис. 1 Граф марковской цепи ПП-порта с активной отказоустойчивостью

Необходимо учесть, что в интенсивность входят только отказы, приводимые к классу ККН, поэтому в коэффициенте готовности k_T необходимо учесть их долю (φ). Очевидно, что надежность системы можно повысить, приближая соотношение w_1/w_2 к нулю.

Расчет коэффициента готовности для ПП-порта СС-микроядра [14] показал, что в СС-схемах, благодаря небольшим затратам времени на обнаружение и локализацию неисправности, интенсивность отказов w_1 определяет итоговое значение коэффициента готовности. Таким образом, одной из важных задач является повышение надежности дополнительного оборудования (ДО) — мультиплексоров, устройств управления и линий связи:

$$k_T = \frac{\mu}{w_2 + \mu} \cong 1;$$

$$k_T^* = \frac{\mu}{w_2 + \mu} e^{-w_1 t} \cong e^{-w_1 t}.$$
(1)

Кроме того, надежность можно повысить, увеличив интенсивность восстановления, которая определяется на основе времени на обнаружение, локализацию и последующий ремонт неисправности. Таким образом, надежность СС-схем можно повысить, разработав модели, позволяющие уменьшить время на обнаружение и локализацию неисправностей.

Так как в СС-схемах обнаруживаются только неисправности типа ККН, необходимо определять не только коэффициент готовности, но и ДФ. Достоверность функционирования — свойство системы, обуславливающее безошибочность производимых ею преобразований информации [15]. Достоверность функционирования складывается из вероятности безошибочной работы и вероятности возникновения обнаруживаемой ошибки. В случае СС-схемы обнаруживаются только ошибки типа ККН, точная доля которых неизвестна и, кроме того, зависит от множества факторов: элементной базы, технологии изготовления и т. д. Поэтому в [16] было предложено использовать коэффициент φ , отображающий долю ошибок типа ККН среди всех возможных ошибок (рис. 2).



Рис. 2 Классификация событий, определяющих ДФ

При идеальном средстве контроля ДФ определяется как сумма вероятности безотказной работы (ВБР) и вероятности возникновения обнаруживаемого отказа:

$$D(t) = P_1(t) + P_2(t) = P_1 + \varphi(1 - P_1) = e^{-n\lambda t} + \varphi(1 - e^{-n\lambda t}) .$$

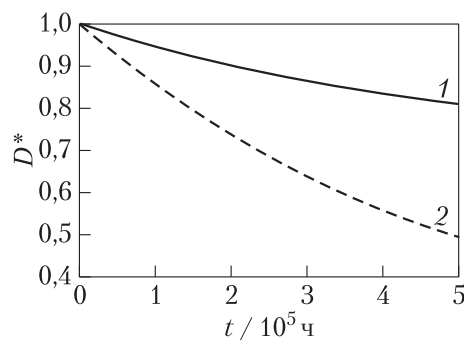


Рис. 3 Расчет ДФ: 1 — $\varphi = 70\%$; 2 — $\varphi = 20\%$

При неидеальном средстве контроля необходимо учесть ВБР устройства контроля и остального дополнительного оборудования (ДО):

$$D^*(t) = \left[e^{-n\lambda t} + \varphi(1 - e^{-n\lambda t}) \right] e^{-L\lambda t} ,$$

где L — сложность ДО.

Все расчеты достоверности проводились с показателями сложности $n = 2000$ (ячеек БМК — базовых матричных кристаллов) и интенсивности отказов, с учетом сбоев, $\lambda = 10^{-9}$ 1/ч (рис. 3).

3 Модель и алгоритм обнаружения неисправности для отказоустойчивого самосинхронного устройства с физическим тайм-аутом

Модель обнаружения неисправности:

$$(t_{\pi/\pi} > t_{\text{э}}) \rightarrow \text{Err} ,$$

где $t_{\pi/\pi}$ — время переходного процесса; $t_{\text{э}}$ — эталонное время; Err — сигнал ошибки.

Такая модель хорошо согласуется с определением ККН и использует фактор времени, поэтому в дальнейшем будем называть ее «временной» моделью обнаружения неисправности.

Один из недостатков временной модели заключается в том, что в ряде случаев неисправность обнаруживается только в фазе, следующей за фазой возникновения; таким образом, остается вероятность возникновения скрытой неисправности с переходом в состояние антиспейсера в рабочей фазе. Алгоритм контроля ошибки, учитывающий это обстоятельство, приведен на рис. 4:

- (1) определяется, в каком состоянии находится схема. Если схема в устойчивом состоянии, счетчик времени принудительно устанавливается в начало; при появлении антиспейсера сразу формируется сигнал ошибки. Если схема в переходном состоянии, то переход к счету;

- (2) сравнивается значение счетчика времени с пороговым значением. Если они равны, выдается сигнал ошибки и останавливается счет. Если значение счетчика меньше порогового значения, то возврат в начало алгоритма.

Таким образом, когда индикатор контролирует переходное состояние в схеме, то за каждый цикл работы счетчик увеличивает свое значение на единицу, пока не достигнет порога. По достижении порога счет останавливается. Если во время счета контролируемая схема перейдет в устойчивое состояние, счетчик принудительно будет сброшен в исходное состояние [17].

Синхронный счетчик позволяет измерять длительность переходной фазы тактами с известной задержкой, т. е. может быть задано условие — выдавать сигнал ошибки, если переходное состояние длится более 500 нс. Однако в реальных схемах требуется СС-счетчик: для обеспечения корректной работы при дифференцированных значениях питающего напряжения входы питания счетчика и контролируемой схемы должны быть подключены к одной шине. Тогда измерение задержки будет проходить в СС тактах, длительность которых зависит от внешних условий.

Помимо тайм-аута (зависания в фазе) необходимо контролировать появление запрещенного набора (антиспейсера) на выходе схемы. Сделать это можно разными способами: можно подключать сигнал ошибки напрямую на выход

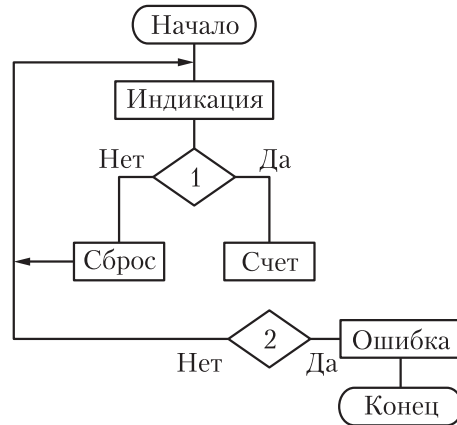


Рис. 4 Алгоритм обнаружения неисправности

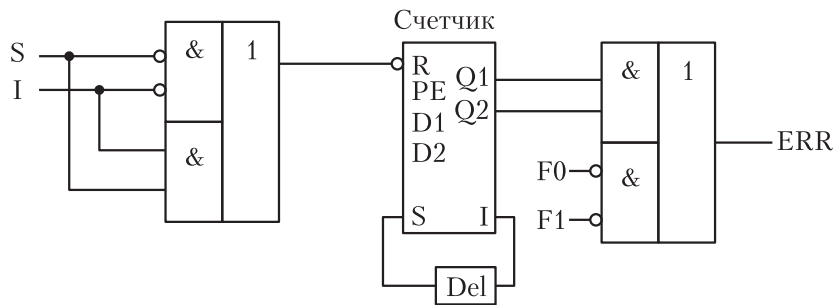


Рис. 5 Функциональная схема устройства обнаружения неисправности СС-схемы: S — запрос; I — индикаторный выход устройства (ответа); F0 и F1 — выходы устройства

ERR либо через предустановку счетчика. Функциональная схема предлагаемого счетчика приведена на рис. 5.

За сложность типового счетчика времени примем сложность 4-разрядного СС-счетчика. В качестве базового разряда возьмем триггер С0R [18] сложностью 8 ячеек БМК, кроме того, необходимы логические элементы для объединения выходов счетчика. Итого сложность счетчика времени $n_c \approx 35$ ячеек БМК.

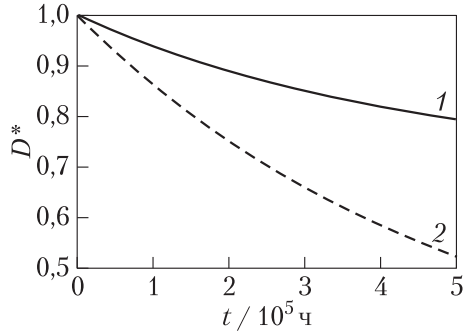


Рис. 6 Расчет ДФ при $n = 228$, $L = 85$, $\lambda = 10^{-8}$: 1 — без учета ВБР ДО; 2 — с учетом ВБР ДО

Сложность остального ДО зависит от множества факторов — числа входов/выходов, количества резервных элементов и т. д. Очевидно, что при сложности устройства n , значительно большей (более двух порядков), чем сложность счетчика времени n_c , влиянием ДО можно пренебречь. Однако при сложности n , сравнимой (от 1 до 10 раз больше) со сложностью ДО, снижение ДФ будет весьма значительным (рис. 6).

Коэффициент готовности по (1), с учетом φ , при $\lambda = 10^{-8}$ и $t = 10^5$ составляет

$$K_{\Gamma}^* = \frac{\mu}{w_2 + \mu} w_1 \cong \overline{(P_{\text{ДО}}^* \vee (\overline{\varphi}) P_2)} = 0,86,$$

где $P_{\text{ДО}}^*$ — вероятность отказа ДО.

4 Исследование модели обнаружения неисправности на основе логического тайм-аута

В этом разделе проведем анализ СС-схем с целью выработки модели, позволяющей обнаружить неисправность без использования фактора времени. В простейшем случае такие модели известны — это контроль четности. Для случая нерезервированных СС-схем состояние антиспейсера также однозначно свидетельствует о наличии неисправности. В настоящем разделе будут рассмотрены более сложные механизмы обнаружения неисправностей в СС-схемах.

Константная консервативная неисправность — неисправность, при которой задержка в элементе становится бесконечной ($t_{\text{п/п}} = \infty$). Модель логического тайм-аута должна быть функционально эквивалентна временной модели, т. е. реагировать только на неисправности типа ККН, иначе высока вероятность ложного срабатывания триггера неисправности. Например, если привязывать срабатывание триггера к переключениям в одном из каналов, не давая при этом времени

Таблица истинности СС-схемы для спейсеров 0 и 1

F1	F1B	F2	F2B	Спейсер 0		Спейсер 1	
				Ошибка	Комментарий	Ошибка	Комментарий
0	0	0	0	0	Спейсер 0	1	Антиспейсер
0	0	0	1	0	Задержка	1	Ошибка 1-го типа
0	0	1	0	0	Задержка	1	Ошибка 1-го типа
0	0	1	1	1	Антиспейсер	1	Антиспейсер
0	1	0	0	0	Задержка	1	Ошибка 1-го типа
0	1	0	1	0	Data0	0	Data0
0	1	1	0	—	Ошибка 2-го типа	—	Ошибка 2-го типа
0	1	1	1	1	Ошибка 1-го типа	0	Задержка
1	0	0	0	0	Задержка	1	Ошибка 1-го типа
1	0	0	1	—	Ошибка 2-го типа	—	Ошибка 2-го типа
1	0	1	0	0	Data1	0	Data1
1	0	1	1	1	Ошибка 1-го типа	0	Задержка
1	1	0	0	1	Антиспейсер	1	Антиспейсер
1	1	0	1	1	Ошибка 1-го типа	0	Задержка
1	1	1	0	1	Ошибка 1-го типа	0	Задержка
1	1	1	1	1	Антиспейсер	0	Спейсер 1

завершить все переходные процессы во втором, высока вероятность отключить работоспособный канал только по причине проектных (физических) различий в реализации СС-схем, а не вследствие наличия критической неисправности в одном из каналов.

Предлагается классификация неисправностей, которая позволяет обобщить имеющиеся данные по типам неисправностей СС-схем:

- антиспейсер — отказ в одном из каналов, мутантная неисправность;
- ошибка 1-го типа — неисправность типа ККН;
- ошибка 2-го типа — невозможно определить отказавший канал, мутантная неисправность;
- задержка переходного процесса не является неисправностью в чистом виде, однако может возникать как следствие производственных дефектов, физических различий, параметрических отказов и т. д.

Проанализируем таблицу истинности с целью выявить признаки неисправностей, при этом будем учитывать фактор времени и возможность незавершения переходного процесса в одном из каналов.

Получим булевы уравнения ошибок:

$$g(f) = F1F1B \vee F2F2B = \text{Err1} .$$

С учетом ошибок 2-го типа

$$g^*(f) = \text{Err1} \vee F1F2B \vee F2F1B = \text{Err} . \tag{2}$$

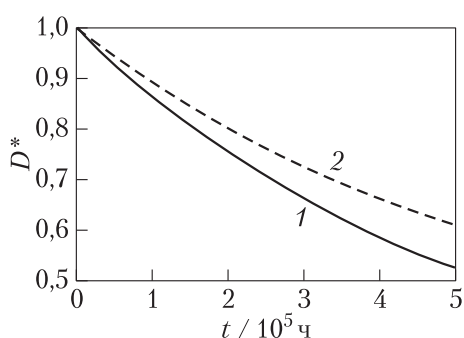


Рис. 7 Расчет ДФ при $n = 228$, $L_1 = 85$, $L_2 = 54$, $\lambda = 10^{-8}$: 1 — физический тайм-аут; 2 — логический тайм-аут

Существенным недостатком предлагаемой модели является использование нагруженного резервирования. Однако сложность устройства обнаружения неисправности при использовании предлагаемой модели значительно ниже; следовательно, надежность СС-устройства с активной отказоустойчивостью и предлагаемой моделью обнаружения неисправности будет выше. Сложность устройства контроля, реализующего функцию (2), составляет 4 ячейки поля БМК. Рассчитаем коэффициент готовности по формуле (1) и ДФ с учетом φ при $\lambda = 10^{-8}$, $t = 10^5$, $L = 54$ (рис. 7):

$$k_r^* = \frac{\mu}{w_2 + \mu} w_1 \cong \overline{(P_{\text{ДО}}^* \vee (\bar{\varphi}) P_2)} = 0,89.$$

5 Заключение

Проведен анализ СС-схем с активной отказоустойчивостью. Для анализа использовались модель Маркова и математическая модель для расчета достоверности СС-схем. Обобщен материал по имеющимся моделям обнаружения неисправностей в СС-схемах, результаты формализованы в виде модели и алгоритма. Предложена модель обнаружения неисправности на основе логического тайм-аута. Применение модели позволяет сократить аппаратные затраты на ДО, тем самым позволяя повысить надежность (коэффициент готовности и ДФ) СС-схем.

В дальнейшем планируется развивать идею логического тайм-аута с целью обнаруживать не только неисправности класса ККН, но и других классов. Потенциально метод логического тайм-аута способен обнаруживать не только однократные и многократные ККН, но также и мутантные неисправности.

Литература

1. Степченков Ю. А., Дьяченко Ю. Г., Петрухин В. С., Плеханов Л. П. Само-синхронные схемы — ключ к построению эффективной и надежной аппаратуры долговременного действия // Научные технологии, 2007. Т. 8. № 5-6. С. 73-89.
2. Bailey A., Al Zahrani A., Fu G., Di J., Smith S. Multi-threshold asynchronous circuit design for ultra-low power // J. Low Power Electronics, 2008. Vol 4. No. 3. P. 337-348.

3. *Yakovlev A.* Energy-modulated computing // Design, Automation & Test in Europe Conference & Exhibition Proceedings. — IEEE, 2011. P. 1–6. https://www.researchgate.net/publication/224235958_Energy-modulated_computing.
4. *Muller D. E., Bartky W. S.* A theory of asynchronous circuits // Symposium (International) on the Theory of Switching Proceedings. — Harvard Univ. Press, 1959. Part 1. P. 204–243.
5. *Астановский А. Г., Варшавский В. И., Мараховский В. Б. и др.* Аперiodические автоматы / Под ред. В. И. Варшавского. — М.: Наука, 1976. 424 с.
6. Страницы истории отечественных ИТ / Сост. Э. М. Пройдаков. — М.: Альпина Паблишер, 2016. Т. 2. 234 с.
7. *Гуляев В. А., Макаров С. М., Новиков В. С.* Диагностика вычислительных машин. — Киев: Техніка, 1981. 167 с.
8. *Варшавский В. И., Кишиневский М. А., Мараховский В. Б. и др.* Автоматное управление асинхронными процессами в ЭВМ и дискретных системах / Под ред. В. И. Варшавского. — М.: Наука, 1986. 398 с.
9. *Варшавский В. И., Володарский В. Я., Мараховский В. Б. и др.* Аппаратная и структурная организация средств контроля и восстановления в самосинхронном кольцевом канале // Автоматика и вычисл. техника, 1989. JS1. С. 61–68.
10. *Степченко Ю. А., Дьяченко Ю. Г., Рождественский Ю. В. и др.* Самосинхронный вычислитель для высоконадежных применений // Проблемы разработки перспективных микро- и наноэлектронных систем-2010: Сб. тр. / Под общ. ред. акад. А. Л. Степковского. — М.: ИППМ РАН, 2010. С. 418–423.
11. *Rennels D. A., Kim H.* Concurrent error detection in self-timed VLSI // 24th Symposium (International) on Fault-Tolerant Computing Proceedings, 1994. P. 96–105.
12. *Lehtonen T., Liljeberg P., Plosila J.* Online reconfigurable self-timed links for fault tolerant NoC // VLSI Des., 2007. Vol. 2007. Article ID 94676. 13 p.
13. *Manohar R., Kelly C. W.* Fault tolerant asynchronous circuits. U.S. Patent No. 7505304, 2009.
14. *Степченко Ю. А., Петрухин В. С., Дьяченко Ю. Г.* Опыт разработки самосинхронного ядра микроконтроллера на базовом матричном кристалле // Нано- и микросистемная техника, 2006. № 5. С. 29–36.
15. ГОСТ Р. 53480-2009. Надежность в технике. Термины и определения. — М.: Стандартинформ, 2011. 26 с.
16. *Каменских А. Н.* Анализ достоверности функционирования отказоустойчивых асинхронных нейронных сетей // Нейрокомпьютеры: разработка и применение, 2016. № 8. С. 32–35.
17. *Каменских А. Н., Тюрин С. Ф.* Модель устройства обнаружения неисправностей самосинхронных схем // Радіоелектроні і комп'ютерні системи, 2014. № 6. С. 169–172.
18. *Степченко Ю. А., Денисов А. Н., Дьяченко Ю. Г., Гринфельд Ф. И., Филимонок О. П., Морозов Н. В., Степченко Д. Ю.* Библиотека элементов для проектирования самосинхронных полузаказных БМК микросхем серий 5503/5507 и 5508/5509. — М.: ИПИ РАН, 2013. 391 с.

Поступила в редакцию 15.09.16

MODELS OF FAULT-TOLERANT SELF-TIMED CIRCUITS

Yu. A. Stepchenkov¹, A. N. Kamenskih², S. F. Tyurin², and Yu. V. Rogdestvenski¹

¹Institute of Informatics Problems, Federal Research Center “Computer Sciences and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119333, Russian Federation

²Faculty of Electrical Engineering of the Department of Automation and Telemechanics, Perm National Research Polytechnic University, 29 Komsomol Prosp., Perm 614990, Russian Federation

Abstract: The development of both the reliable and the energy-efficient computing systems is one of most important tasks in the XXI century. The usage of self-timed circuits makes it possible to improve energy-efficiency of a computing system. However, the complexity increase in not fault-tolerant self-timed circuits leads to decrease of reliability. The fault-tolerant self-timed implementation of digital devices makes it possible to increase not only reliability but also the complex index “energy-consumption/reliability.” The further development of synthesis methods of fault-tolerant self-timed circuits will allow to compensate the negative effects of self-timed circuit’s development by the positive effect of complex index increasing. The paper describes the models and algorithms of fault detection which are developed to improve validity and reliability of actively fault-tolerant self-timed circuits.

Keywords: reliability; energy-efficiency; energy-reliable; self-timed circuit; fault-tolerant; self-repair

DOI: 10.14357/08696527160402

References

1. Stepchenkov, Yu. A., Yu. G. Diachenko, V. S. Petrukhin, and L. P. Plekhanov. 2007. Samosinkhronnye skhemy — klyuch k postroeniyu effektivnoy i nadezhnoy apparatury dolgovremennogo deystviya [Self-timed circuits is a key to design high efficient and reliable devices for long times] *Naukoemkie Tekhnologii* 8(5-6):73–89.
2. Bailey, A., A. Al Zahrani, G. Fu, J. Di, and S. Smith. 2008. Multi-threshold asynchronous circuit design for ultra-low power. *J. Low Power Electronics* 4(3):337–348.
3. Yakovlev, A. 2011. Energy-modulated computing. *Design, Automation & Test in Europe Conference & Exhibition Proceedings*. IEEE. 1–6: Available at: https://www.researchgate.net/publication/224235958_Energy-modulated_computing (accessed September 15, 2016).
4. Muller, D. E., and W. S. Bartky. 1959. A theory of asynchronous circuits. *Symposium (International) on the Theory of Switching Proceedings*. Harvard Univ. Press. 1:204–243.
5. Astanovskiy, A. G., V. I. Varshavskiy, V. B. Marakhovskiy, et al. 1976. *Aperiodicheskie avtomaty* [Aperiodic automata]. Ed. V. I. Varshavskiy. Moscow: Nauka. 424 p.

6. Proydakov, E. M. (compiler). 2016. *Stranitsa istorii otechestvennykh IT* [The history pages of domestic IT]. Moscow: Al'pina Publisher. Vol. 2. 234 p.
7. Gulyaev, V. A., S. M. Makarov, and V. S. Novikov. 1981. *Diagnostika vychislitel'nykh mashin* [Diagnostics of computing systems]. Kiev: Tekhnika. 1981. 167 p.
8. Varshavskiy, V. I., V. A. Kishinevskiy, V. B. Marakhovskiy, et al. 1986. *Avtomatnoe upravlenie asinkhronnymi protsessami v EVM i diskretnykh sistemakh* [Automata control of asynchronous processes in computers and discrete systems]. Ed. V. I. Varshavskiy. Moscow: Nauka. 398 p.
9. Varshavskiy, V. I., V. Ya. Volodarskii, V. B. Marakhovskii, et al. 1989. Apparatsnaya i strukturnaya organizatsiya sredstv kontrolya i vosstanovleniya v samosinkhronnom kol'tsevom kanale [Hardware and structural organization of control and repair equipment in self-timed ring channel]. *Avtomatika i Vychisl. Tekhnika* [Automatic Control and Computer Sciences] JS1:61–68.
10. Stepchenkov, Yu. A., Yu. G. Djachenko, Yu. V. Rozhdestvenskiy, et al. 2010. Samosinkhronnyy vychislitel' dlya vysokonadezhnykh primeneniy [Self-timed calculator for high reliable applications]. *Vserossiyskaya nauchno-tekhnich. konf. "Problemy razrabotki perspektivnykh mikro- i nanoelektronnykh sistem (MES)." Sbornik trudov* [All-Russia Science & Technology Conference "Problems of Advanced Micro- and Nanoelectronic Systems Development" Proceedings]. Institute for Design Problems in Microelectronics of the Russian Academy of Sciences. 418–423.
11. Rennels, D. A., and H. Kim. 1994. Concurrent error detection in self-timed VLSI. *24th Symposium (International) on Fault-Tolerant Computing Proceedings*. 96–105.
12. Lehtonen, T., P. Liljeberg, and J. Plosila. 2007. Online reconfigurable self-timed links for fault tolerant NoC. *VLSI Des.* Article ID 94676. 13 p.
13. Manohar, R., and C. W. Kelly. 2009. Fault tolerant asynchronous circuits. Patent U.S. No. 7505304.
14. Stepchenkov, Yu. A., V. S. Petrukhin, and Yu. G. Diachenko. 2006. Opyt razrabotki samosinkhronnogo yadra mikrokontrollera na bazovom matrichnom kristalle [Development experience of self-timed RISC-processor using uncommitted Logic Array]. *Nano- i Mikrosistemnaya Tekhnika* 5:29–36.
15. GOST 53480-2009. 2010. Nadezhnost' v tekhnike. Terminy i opredeleniya [Dependability in technics. Terms and definitions]. Moscow: Standardinform Pubs. 32 p.
16. Kamenskikh, A. N. 2015. Analiz dostovernosti funktsionirovaniya otkazoustoychivyykh asinkhronnykh neyronnykh setey [The analysis of validity of fault-tolerant asynchronous neural networks]. *Neyrokomp'yutery: Razrabotka i Primenenie* [Neurocomputers: Development and Application] 8:32–35.
17. Kamenskikh, A. N., and S. F. Tyurin. 2014. Model' ustroystva obnaruzheniya neispravnostey samosinkhronnykh skhem [Fault detection unit model of self-timed circuits]. *Radioelektronniye Komp'yuterniye Sistemi* [Radioelectronic and Computer Systems] 6:169–172.
18. Stepchenkov, Yu. A., A. N. Denisov, Yu. G. Djachenko, F. I. Grinfield, O. P. Filimonenko, N. N. Morozov, and D. Yu. Stepchenkov. 2013. *Biblioteka elementov dlya proektirovaniya samosinkhronnykh poluzakaznykh BMK mikroskhem seriy 5503/5507 i 5508/5509* [Gates library for designing of self-timed ASIC circuits using series of uncommitted BMK Logic Array 5503/5507 and 5508/5509]. Moscow: IPI RAN. 391 p.

Received September 15, 2016

Contributors

Stepchenkov Yuri A. (b. 1951) — Candidate of Science (PhD) in technology, Head of Department, Institute of Informatics Problems, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119333, Russian Federation; YStepchenkov@ipiran.ru

Kamenskih Anton N. (b. 1991) — PhD student, assistant of the Faculty of Electrical Engineering of the Department of Automation and Remote Control, Perm National Research Polytechnic University, 29 Komsomol Prosp., Perm 614990, Russian Federation; kamenskikh.anton@gmail.com

Tyurin Sergey F. (b. 1953) — Doctor of Science in technology, professor, professor of the Faculty of Electrical Engineering of the Department of Automation and Telemechanics, Perm National Research Polytechnic University, 29 Komsomol Prosp., Perm 614990, Russian Federation; tyurinsergfeo@yandex.ru

Rogdestvenski Yuri V. (b. 1952) — Candidate of Science (PhD) in technology, Head of Laboratory, Institute of Informatics Problems, Federal Research Center “Computer Science and Control” of the Russian Academy of Sciences, 44-2 Vavilov Str., Moscow 119333, Russian Federation, Moscow 119333, Russian Federation; YRogdest@ipiran.ru