

Общероссийский математический портал

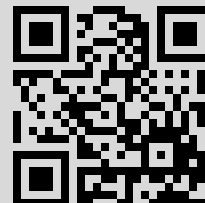
Ю. А. Степченко, Ю. Г. Дьяченко, Ю. В. Рождественский, Н. В. Морозов,
Д. Ю. Степченко, Разработка вычислителя, не зависящего от задержек элемен-
тов, *Системы и средства информ.*, 2010, том 20, выпуск 1, 5–23

Использование Общероссийского математического портала Math-Net.Ru подразумевает, что вы прочитали и со-
гласны с пользовательским соглашением
<http://www.mathnet.ru/rus/agreement>

Параметры загрузки:

IP: 176.15.50.216

7 сентября 2020 г., 13:12:53



УДК 004.31:004.032.34

РАЗРАБОТКА ВЫЧИСЛИТЕЛЯ, НЕ ЗАВИСЯЩЕГО ОТ ЗАДЕРЖЕК ЭЛЕМЕНТОВ¹

*Ю. А. Степченков, Ю. Г. Дьяченко, Ю. В. Рождественский,
Н. В. Морозов, Д. Ю. Степченков*

Аннотация: Представлены результаты практической разработки не зависящего от задержек элементов вычислительного блока (в дальнейшем — вычислителя), выполняющего функции деления и извлечения квадратного корня в соответствии со стандартом IEEE 754. Оптимизированная индикаторная подсхема гарантирует стопроцентный контроль окончания переключений всех элементов схемы вычислителя на каждой фазе работы. Достоверность независимости от задержек элементов обеспечивается иерархическим анализом.

Ключевые слова: самосинхронные схемы; самопроверяемость; индикация; вычислитель; иерархический анализ

1. Введение

В последние годы на первый план выдвигаются такие характеристики аппаратуры, как энергопотребление и работа при все более низких напряжениях питания. В связи с этим возрастает интерес разработчиков больших интегральных схем (БИС) к классу самосинхронных схем. Не зависящие от задержек элементов схемы (НЗЭ-схемы) являются наиболее интересным и перспективным подклассом самосинхронных схем. Они способны обеспечить устойчивую работу устройства на их основе в широком диапазоне напряжения питания и условий окружающей среды, если неизбежное при этом изменение быстродействия не критично с точки зрения функционирования устройства и всей системы в целом.

Все практические самосинхронные реализации сложных цифровых устройств [1, 2] не обладают свойством независимости от задержек элементов. Они обеспечивают самосинхронный режим работы схемы при соблюдении некоторых «практически

¹Работа выполнена при частичной финансовой поддержке по Программе фундаментальных исследований ОНИТ РАН на 2010 г.

выполняющихся» условий. Например, равенства задержек переключения одинаковых функциональных элементов, находящихся в одинаковом окружении источников их входных сигналов и элементов нагрузки, но в разных местах на кристалле БИС. Однако в реальных условиях эксплуатации микросхемы существует отличная от нуля вероятность появления каких-либо дефектов или локального разогрева, влияющих на быстродействие элемента. Различие же задержек в определенной ситуации может привести к критическому отказу такой квазисамосинхронной схемы.

Поэтому только НЗЭ-схемы, нечувствительные к любым различиям в параметрах однотипных элементов, могут обеспечить действительно устойчивую работу цифровых устройств в широком диапазоне условий эксплуатации. При изменении условий функционирования (температуры, напряжения питания, пороговых напряжений транзисторов) ее быстродействие будет изменяться. Но она по-прежнему будет правильно выполнять заложенный алгоритм вплоть до достижения порога физической работоспособности активных полупроводниковых элементов.

Реализация такого свойства требует дополнительных аппаратных затрат. При современном уровне развития технологии изготовления БИС увеличение числа транзисторов уже не столь критично, что делает использование идеологии построения НЗЭ-устройств практически рентабельным и целесообразным.

Однако разработка сложных НЗЭ-устройств наталкивается на значительные трудности. Они связаны, во-первых, с отсутствием средств автоматизированного проектирования НЗЭ-устройств, а во-вторых, с подтверждением соответствия разрабатываемой схемы данной категории устройств.

Данная работа посвящена описанию НЗЭ-вычислителя, выполняющего деление и извлечение квадратного корня в соответствии со стандартом IEEE 754 [3, 4], и программных средств, обеспечивших его успешную разработку.

2. Анализ на полумодулярность

Важнейшей частью процесса проектирования НЗЭ-схем является достоверный анализ их на полумодулярность [5] — принадлежность к классу НЗЭ-устройств. Цель такого анализа состоит в следующем: подтвердить, что при работе схемы любой элемент, который при заданном алгоритме и текущем наборе входных данных был возбужден, успел переключиться в проти-

Таблица 1 Время анализа на полумодулярность

Тип устройства	Число переменных	Степень параллельности	Время анализа, с		
			БТРАН	АСИАИ	АСПЕКТ
4-разрядный двоичный счетчик	47	1	2,6	9	3,5
4-разрядный регистр сдвига	105	8	32,6	41	6,5
Модель микроядра	136	6	—	42	7,0
4-разрядный последовательно-параллельный порт	78	10	3050	429	6,5
1-разрядное АЛУ	69	10	—	276	4,5
8-разрядное АЛУ	260	41	—	—	16
64-разрядное АЛУ	2009	293	—	—	9840

воположное состояние до того, как условие его возбуждения снялось. Элемент считается возбужденным, если его входные сигналы переключились в состояние, инициирующее переход элемента в противоположное состояние.

Однако строгое решение этой задачи требует проверки сформулированного условия для всех возможных наборов входных и промежуточных данных. Это нетрудно обеспечить для простых логических схем и программные средства для автоматизации такого анализа в настоящее время существуют — БТРАН, АСИАН [6]. Они гарантируют стопроцентную полноту и достоверность анализа путем полного перебора всех возможных комбинаций входных данных и состояний внутренних переменных. Но область их использования ограничена относительно простыми схемами.

В ИПИ РАН в настоящее время разработана более мощная программа анализа на полумодулярность — АСПЕКТ [7]. Она основана на принципах составления и обработки диаграмм изменений и способна эффективно анализировать сложные функциональные устройства. В табл. 1 показано время анализа ряда устройств на компьютере с процессором Intel Pentium D 3,4 ГГц и ОЗУ 4 Гбайт.

Но выполнить анализ на полумодулярность сложной схемы, состоящей из нескольких функциональных многоразрядных блоков, за приемлемое время не может даже АСПЕКТ из-за боль-

шого количества переменных. Решение данной проблемы заключается в иерархическом анализе схемы по частям:

- Этап 1.** Анализ на полумодулярность отдельных функционально законченных блоков, для которых может быть обеспечена стопроцентная полнота анализа за приемлемое время с использованием имеющихся программных средств.
- Этап 2.** Замена проанализированных блоков макроэлементами, имеющими только управляющие входы, в том числе и входы предустановки, статические входы выбора режима работы, и индикаторные выходы.
- Этап 3.** Анализ на полумодулярность схемы, состоящей из макроэлементов и логики управления их взаимодействием.

На втором этапе анализа информационные сигналы (инфосигналы) выводятся из рассмотрения, что существенно сокращает размерность решаемой задачи. При этом макроэлементы гарантируют сохранение полумодулярности схемы, в которой они используются, для любых наборов входных и внутренних инфосигналов схемы, имеющих отношение к соответствующим блокам. Это обеспечивается результатами первого этапа анализа при соблюдении правильной последовательности и требуемых значений сигналов управления, первоначальных и замещающих удаляемые инфосигналы.

Повторение этапов 1–3 анализа на все более высоких уровнях иерархии схемы приводит к ее постепенному целенаправленному упрощению и обеспечивает ее успешный анализ на полумодулярность.

Такой подход к анализу схемы «по частям» оказывается возможным благодаря индицируемости НЗЭ-схемы: наличием двух фаз работы (спейсерной и рабочей), парафазной (ПФ) дисциплине инфосигналов и дополнительной индикаторной подсхемы. Окончание переключения каждого элемента схемы отслеживается индикаторной подсхемой. Если элемент должен переключиться в противоположное состояние по логике работы схемы, то индикаторная подсхема не изменит состояния своего выхода, пока это переключение элемента не завершится. И это соблюдается в отношении каждого элемента схемы.

Индикация элементов облегчается за счет использования ПФ-дисциплины инфосигналов. В комбинационной схеме каждая логическая функция исходного описания его работы имеет дуальную реализацию, включающую прямое и инверсное пред-

ставление функции. В результате инфосигнал, отображающий значение выполняемой функции, является парафазным. Он имеет две составляющие, отражающие прямое и инверсное значение соответствующей функции. Пара составляющих инфосигнала $\{X, XB\}$ имеет два рабочих состояния, $\{0, 1\}$ и $\{1, 0\}$, и одно спейсерное состояние, $\{0, 0\}$ — нулевой или $\{1, 1\}$ — единичный спейсеры. Все эти состояния являются статическими и могут длиться неограниченно долго.

Наличие спейсерного состояния максимально упрощает определение момента окончания переключения элементов, формирующих ПФ-сигнал, в рабочее или спейсерное состояние. Каждому ПФ-инфосигналу можно поставить в соответствие индикаторный сигнал, одно значение которого подтверждает нахождение инфосигнала в рабочем состоянии, а противоположное — в спейсере. Объединение таких индикаторных сигналов с помощью специальных элементов — гистерезисных триггеров (Г-триггеров) или С-элементов, — позволяет создать один индикаторный сигнал для группы ПФ-сигналов. Он фиксирует окончание переключения нескольких ПФ-сигналов, например, многоразрядной шины данных, в очередную фазу работы. Таким образом, один индикаторный сигнал способен заменить собой любую группу однотипных ПФ-инфосигналов в процедуре управления взаимодействием НЗЭ-устройств в составе схемы.

Выходной инфосигнал триггерного элемента, как правило, не имеет статического спейсерного состояния. Он является бифазным. Его прямая и инверсная составляющие только одновременно попадают в состояние с одинаковым значением обеих составляющих. Поэтому индикация окончания его переключения в очередное рабочее состояние, которое может и совпадать с предыдущим, осуществляется путем сравнения состояний входов и выходов триггерного элемента. Индикатор реализуется более сложной схемой, но суть его остается такой же: один индикаторный сигнал отражает окончание переключения триггерного элемента в рабочее или спейсерное состояние. В данном случае рабочее состояние означает обновление значения инфовыхода триггерного элемента, а спейсерное — подготовку к следующему переключению.

В результате при анализе запрос-ответного взаимодействия функциональных блоков в составе общей схемы каждый информационный парафазный или бифазный сигнал, в том числе и многоразрядный, может быть замещен соответствующим инди-

каторным сигналом, отражающим смену состояний инфосигнала. Реальное значение рабочего состояния инфосигнала важно только при определении результата преобразования входных данных. На характер взаимодействия НЗЭ-блоков в составе схемы оно влияния не оказывает. Достаточно учета только моментов окончания переключения инфосигналов. С этой функцией с успехом справляются соответствующие индикаторные сигналы.

Модель макроэлемента составляется разработчиком схемы на основе алгоритма работы соответствующего блока по следующим правилам:

- (1) каждый входной ПФ-сигнал независимо от его разрядности замещается одним сигналом управления, эквивалентным общему сигналу, индицирующему все разряды ПФ-сигнала [5];
- (2) каждый выходной ПФ-сигнал, в том числе и многоуровневый, замещается одним индикаторным сигналом, индицирующим все разряды ПФ-сигнала. Если такой выход уже есть, ПФ-выход просто не учитывается;
- (3) входные и выходные бифазные сигналы не учитываются, поскольку они всегда сопровождаются соответствующими им сигналами управления;
- (4) входы асинхронной предустановки не учитываются, за исключением тех, без которых не выполняется инициализация индикаторной подсхемы;
- (5) логические функции модели описывают взаимосвязи между управляющими входами (первоначальными и введенными вместо ПФ-инфовходов), входами предустановки, статическими входами выбора режима, с одной стороны, и индикаторными (первоначальными и введенными вместо ПФ-инфовходов) и управляющими выходами, с другой стороны.

Модель макроэлемента может формироваться не только для сложного функционального блока, но и для относительно простых элементов. Это определяется необходимостью и целесообразностью упрощения текущего анализируемого устройства или его фрагмента. Замена фрагмента НЗЭ-схемы макроэлементом происходит только после его успешного достоверного анализа на полумодулярность, подтверждающего его принадлежность к НЗЭ-схемам. Критерии выбора фрагмента НЗЭ-схемы для замены его эквивалентным макроэлементом учитывают следующие аспекты:

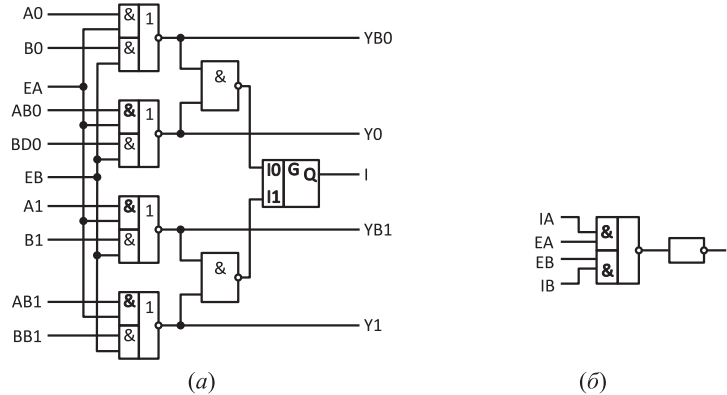


Рис. 1 Схема мультиплексора 2:1 (а) и его макроэлемента (б)

- общие для элементов данного фрагмента управляющие и инфосигналы;
- элементы, обрабатывающие многоразрядные бифазные и ПФ-инфосигналы, желательно интегрировать в один макроэлемент для максимального сокращения размерности анализируемой схемы;
- эффективность замены фрагмента схемы макроэлементом определяется степенью «сжатия» НЗЭ-схемы и трудоемкостью достоверного анализа на полумодулярность замещаемого фрагмента имеющимися программными средствами.

На рис. 1 представлены схемы комбинационного двухразрядного мультиплексора 2:1 (а) и замещающего его макроэлемента (б). Здесь $\{A, AB\}$, $\{B, BB\}$ — ПФ-инфосигналы с нулевым спейсером; $\{EA, EB\}$ — сигналы выборки мультиплексора; $\{Y, YB\}$ — ПФ-инфовыход мультиплексора с единичным спейсером; I — индикаторный выход мультиплексора. При преобразовании мультиплексора в макроэлемент ПФ-инфовыходы $\{A, AB\}$ и $\{B, BB\}$ заменяются соответствующими входами управления IA, IB , принимающими значение 0 при спейсерном состоянии инфовходов и 1 при рабочем состоянии. Роль сигналов управления IA и IB играют выходные индикаторные сигналы тех блоков, где формируются инфосигналы $\{A, AB\}$ и $\{B, BB\}$. Использование сигналов IA и IB в исходной схеме мультиплексора (рис. 1, а)

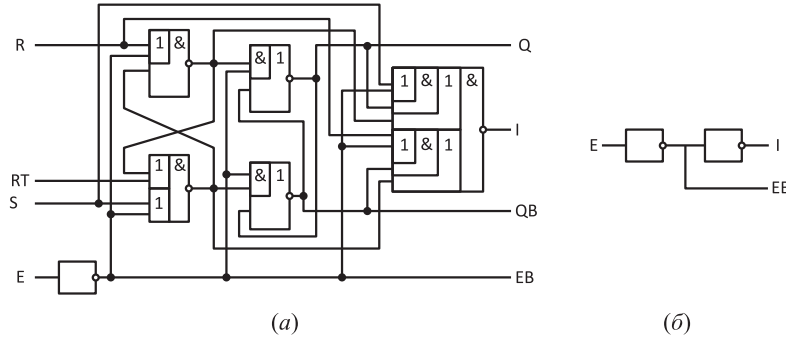


Рис. 2 Схема RS -триггера (а) и его макроэлемента (б)

не требуется, поскольку выход I успешно индицирует как входы выборки EA , EB , так и ПФ-инфвходы $\{A, AB\}$ и $\{B, BB\}$.

На рис. 2 показаны схемы типового самосинхронного двухтактного RS -триггера с индикаторным выходом (а) и замещающего его макроэлемента (б). Здесь $\{R, S\}$ — бифазный инфвход триггера; RT — вход асинхронного сброса; E — вход управления — разрешения записи в триггер новых данных; $\{Q, QB\}$ — бифазный инфвыход; EB — выход управления; I — индикаторный выход. Вход управления E сопровождается бифазный инфвход $\{R, S\}$. По правилам проектирования НЗЭ-схем значение входа управления может измениться на противоположное только после окончания переключения источника сигнала $\{R, S\}$ в очередное состояние: рабочее или спейсерное. Тем самым гарантируется, что к началу изменения входа E значение входа $\{R, S\}$ уже установилось.

Преобразование RS -триггера в макроэлемент заключается в отбрасывании бифазного инфвхода, поскольку вход управления E однозначно отображает его состояние, и входа асинхронного сброса как не влияющих на запрос-ответное взаимодействие данного триггера с другими устройствами. Становится ненужным, с точки зрения подсхем индикации и управления, и бифазный инфвыход $\{Q, QB\}$. Выход же EB является управляющим, а не информационным. Поэтому он остается в составе макроэлемента.

Как видно из рисунков, в обоих случаях схема макроэлемента получается существенно более простой по сравнению со схемой исходного функционального элемента по количеству внутренних и внешних переменных.

В результате последовательного упрощения схемы и исключения из рассмотрения инфовходов, на структурном уровне фактически анализируются индикаторная подсхема и схема управления блоками, каждый из которых представляется макроэлементом, характеризующим взаимодействие ПФ-инфовходов, управляющих входов и индикаторных выходов данного блока.

Достоверность полученных результатов гарантируется:

- правомочностью исключения из рассмотрения инфосигналов на этапе замены фрагмента схемы замещающим его макроэлементом;
- достоверностью моделей макроэлементов.

Действительно, работа НЗЭ-схемы регулируется управляющими и индикаторными сигналами. Индикаторные сигналы формируются внутри функциональных блоков на основе входных управляющих и инфосигналов. Правильность их формирования при любых комбинациях входных сигналов проверяется и гарантируется предварительным анализом блоков на полумодулярность.

Таким образом, успешный анализ на полумодулярность функционального блока гарантирует, что его поведение останется независимым от задержек элементов при любой комбинации его входных инфосигналов, если обеспечена правильная последовательность подачи управляющих сигналов. Это, прежде всего, относится к блокам с бифазными инфосигналами. Независимо от значений бифазных операндов их прием последующим устройством регулируется соответствующим управляющим сигналом в пределах эквихронной зоны [5].

При использовании в качестве инфосигналов парафазных со спейсером без «собственного» сигнала управления, отражающего окончание переключения инфосигнала в текущее состояние, их индикация осуществляется внутри устройства-приемника. Но если этап предварительного анализа гарантирует правильность формирования индикаторного выхода устройства независимо от значения и времени поступления ПФ-инфовхода при соблюдении двухфазной дисциплины, то нет необходимости в учете ПФ-сигналов на этапе структурного анализа на полумодулярность. Достаточно заменить их управляющим сигналом, отражающим смену фаз ПФ-сигнала.

Таким образом, при анализе на полумодулярность структурной схемы на основе макроэлементов в пределах эквихронной

зоны конкретные значения и время изменения информационных операндов (как бифазных, так и парафазных) уже не играют роли. Следовательно, можно ограничиться рассмотрением взаимодействия только управляющих и индикаторных сигналов (исходных и замещающих) с использованием соответствующей под-схемы управления.

Достоверность моделей макроэлементов зависит, в первую очередь, от способа их получения. Уменьшить риск внесения ошибки при ручной разработке модели можно путем ее независимого составления разными людьми с последующим сравнением и верификацией несовпадений.

Однако наличие программных средств анализа простых схем на полумодулярность делает нецелесообразным применение ручного способа формирования макромоделей функциональных блоков. Программы анализа способны самостоятельно сформировать такую макромодель, поскольку располагают полной информацией о составе и характере входных и выходных сигналов анализируемого блока. При автоматической генерации модели макроэлемента программа гарантирует достоверность результата преобразования полного функционального описания блока в модель макроэлемента на его основе, с точностью до степени полноты тестирования такой программы на этапе ее разработки.

Таким образом, иерархический подход к анализу схемы на полумодулярность обеспечивает практическую реализуемость анализа схемы любой сложности. Иерархический анализ был использован при проектировании НЗЭ-вычислителя. Он позволил ускорить разработку вычислителя и гарантировал полумодулярность его функциональных и схемотехнических решений.

Приведенный алгоритм иерархического анализа, безусловно, требует более строгого теоретического обоснования. Этому будет посвящена отдельная работа, детально формулирующая условия и рамки его применения.

3. Функциональная схема вычислителя

Общая структурная схема вычислителя представлена на рис. 3. Она содержит следующие основные блоки:

- входной регистр операндов и признаков операции (РО), обеспечивающий входной интерфейс вычислителя с внешней синхронной схемой;

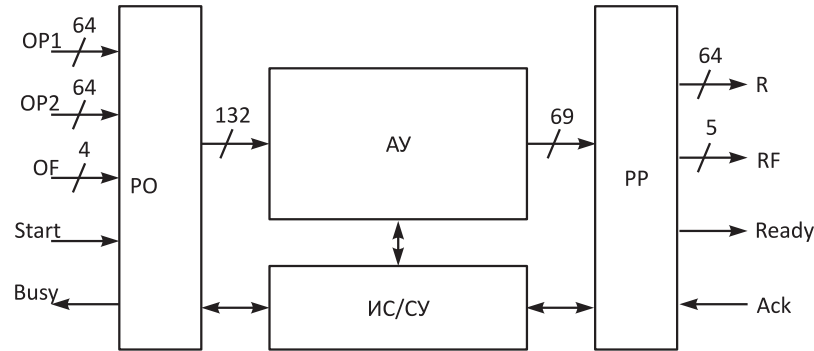


Рис. 3 Структурная схема НЗЭ-вычислителя

- арифметическое устройство (АУ), реализующее выполнение операции;
- индикаторную схему (ИС) со схемой управления (СУ), обеспечивающие НЗЭ-дисциплину обмена данными между блоками вычислителя;
- выходной отказоустойчивый регистр результата (РР), реализующий выходной интерфейс вычислителя с внешней синхронной схемой.

Представляемый НЗЭ-вычислитель структурно и алгоритмически идентичен квазисамосинхронному вычислителю, описанному в [4, 9], и схемотехнически во многом с ним совпадает. Отличие его заключается в реализации стопроцентной индикации окончания переходных процессов во всех элементах.

Наиболее эффективно преимущества НЗЭ-устройств проявляются при их конвейерной реализации, причем число ступеней конвейера должно быть не менее трех. Это обусловлено регламентом работы НЗЭ-устройств [5]:

- наличием двух фаз работы любого НЗЭ-устройства: рабочей (активной) и спейсерной (паузы);
- использованием запрос-ответных отношений между соседними в тракте обработки данных устройствами.

НЗЭ-устройство не может начать переключение в очередную фазу до того, как предшествующее ему в конвейере НЗЭ-устройство перейдет в аналогичную фазу, а последующее — в противоположную фазу работы.

Таблица 2 Оценка быстродействия конвейера

Число ступеней	Время выполнения операции			
	k, m	$k = 0,5, m = 0,4$	$k = 0,5, m = 0,6$	$k = 0,3, m = 0,6$
1	$56(k+1)(m+1)T$	$117,6T$	$134,4T$	$116,5T$
2	$28(k+2)(m+1)T$	$98T$	$112T$	$103T$
3	$19(k+3)T$	$66,5T$	$66,5T$	$62,7T$
4	$14(k+4)T$	$63T$	$63T$	$60,2T$
5	$12(k+5)T$	$66T$	$66T$	$63,6T$

Основной конвейер арифметического устройства образуют однотипные вычислительные ступени и входной мультиплексор операндов. Количество вычислительных ступеней (четыре) выбрано исходя из критерия максимального быстродействия вычислителя. Оценки, приведенные в табл. 2, показывают время вычисления 56-битной мантиссы (с учетом битов округления) в зависимости от числа вычислительных ступеней в конвейере. Здесь T — задержка переключения вычислительной ступени в рабочую фазу, m — отношение задержек ее переключения в спейсер и в рабочую фазу, k — отношение задержки переключения входного мультиплексора операндов к задержке одной ступени. Три последних столбца показывают величину оценки для статистически значимого набора обрабатываемых операндов для разных значений коэффициентов k и m .

Из табл. 2 видно, что предпочтительным оказывается вариант с использованием четырех ступеней вычислительного конвейера, который и был реализован. Дальнейшее увеличение количества однотипных вычислительных ступеней приводит к неоправданному росту аппаратных затрат на реализацию НЗЭ-вычислителя при сохранении времени выполнения операции на одном уровне.

НЗЭ-вычислитель алгоритмически идентичен квазисамосинхронному вычислителю, описанному в [9]. Отличие его заключается в реализации стопроцентной индикации окончания переходных процессов во всех элементах.

Для реализованного в вычислителе алгоритма SRT-2 деления и извлечения квадратного корня [1] характерно наличие в вычислительном конвейере двух потоков данных: формирование промежуточного результата и формирование частичного остатка в избыточном виде. В сочетании с самосинхронизацией это поз-

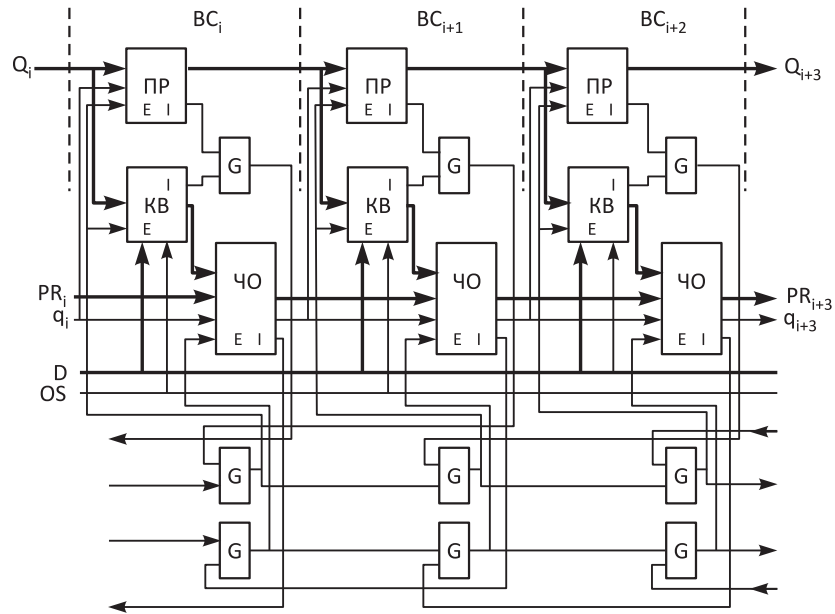


Рис. 4 Схема индикации в конвейере

волило оптимизировать запрос-ответное взаимодействие между ступенями.

На рис. 4 показана схема индикации ступени конвейера на основе Г-триггеров (G) и организации запрос-ответного взаимодействия между вычислительными ступенями (BC). Каждая ступень состоит из блоков формирования промежуточного результата (ПР), вычитаемого в канонической формуле деления и извлечения квадратного корня (КВ) и частичного остатка (ЧО). Общая идеология организации запрос-ответного взаимодействия осталась такой же, как и в вычислителе [9], но одиночные Г-триггеры, формирующие сигналы управления стадий конвейера, заменяются индикаторной под схемой, учитывающей соподчиненность этапов обработки данных и блоков в составе соседних ступеней вычислительного конвейера, как показано на рис. 4 на примере трех соседних стадий конвейера. Такой подход учитывает взаимосвязи между составными частями BC вместо взаимосвязи ступеней как таковых. В результате конвейер становится параллельно-последовательным, что повышает его быстродействие.

Индикаторная подсхема обеспечивает четкую последовательность операций, выполняемых НЗЭ-вычислителем. После завершения текущей операции следующая операция может начаться не раньше, чем вычислитель подготовит свое внутреннее состояние к приему и обработке новых операндов. Пока стадии конвейера и прочие блоки не перейдут в начальное состояние, входной регистр операндов не станет записывать новые операнды, подаваемые на вход НЗЭ-вычислителя. Тем самым гарантируется НЗЭ-режим работы всего вычислителя.

Условием перехода вычислителя в начальное состояние и ожидания исходных данных для следующей операции, является установка сигнала готовности Ready, свидетельствующего о записи результата текущей операции в регистр РР.

Ввод в НЗЭ-вычислитель индикаторной подсхемы увеличивает не только его аппаратные затраты в 1,3 раза по сравнению с квазисамосинхронным вычислителем [9], но и время выполнения операций в 1,3–1,4 раза. Это неизбежная плата за получение устройства со свойствами действительно НЗЭ-схемы.

4. Реализация отказоустойчивости НЗЭ-вычислителя

Предлагаемый НЗЭ-вычислитель обладает отказоустойчивым выходным регистром результата, обеспечивающим обнаружение и автоматическое исправление однократного отказа. Реализация отказоустойчивого выходного регистра использует индикацию окончания всех переходных процессов в блоке выходного интерфейса на каждой фазе его работы. Устройство управления может самостоятельно определить момент появления неисправности и локализовать ее источник вплоть до конкретного разряда выходного регистра. Это позволяет проводить «ремонт» блока адресно, заменяя отказавший разряд резервным, подключая его в нужном месте и в той конфигурации, которая обеспечивает полное функциональное замещение отказавшего разряда.

Момент появления неисправности определяется на основании отсутствия переключения индикаторного выхода регистра в течение некоторого времени ожидания. Интервал времени ожидания задается внутренним таймером НЗЭ-вычислителя, работающим от внешнего синхросигнала. Запуск таймера осуществляется сигналом окончания обработки результата операции блоком АУ.

Замена отказавшего разряда резервным реализуется методом сдвига. Резервный разряд реализован как экстремальный разряд регистра. При обнаружении неисправности в регистре он становится младшим разрядом, а все работоспособные разряды, расположенные между резервным и отказавшим разрядами, «сдвигаются» в сторону старших разрядов регистра. Схема одного разряда регистра приведена на рис. 5.

По сравнению со стандартным разрядом регистра хранения, помимо собственно триггера хранения ТХ, она содержит дополнительные элементы: триггер неисправности ТН и входной мультиплексор ВМ. Мультиплексор ВМ обеспечивает правильную коммутацию инфовходов регистра на входы триггера хранения как до обнаружения неисправности, так и после саморемонта.

Триггер неисправности ТН позволяет определить, какой разряд является неисправным, во время процедуры саморемонта, и зафиксировать правильные значения сигналов выборки мультиплексора ВМ. Кроме того, выход СИ триггера неисправности формирует сигналы выборки мультиплексора результата операции, обеспечивающего считывание исправных разрядов выходного регистра при передаче результата операции во внешнее окружение.

Процедура «саморемонта» запускается внутренним таймером по истечении заданного времени ожидания формирования индикаторного выхода регистра. Время ожидания определяется исходя из максимально возможного времени задержки переключения индикаторного выхода выходного регистра РР при наилучших условиях эксплуатации НЗЭ-вычислителя.

Таким образом, выходной регистр НЗЭ-вычислителя способен самостоятельно локализовать возникшую константную неисправность и исправить ее, заменив отказавший разряд резервным. Это гарантирует передачу в последующие приемные устройства только правильного результата операции и формирование предупреждения о неисправности выходного регистра

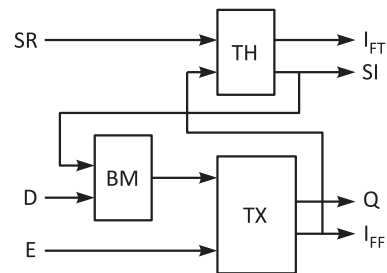


Рис. 5 Схема разряда выходного регистра

для внешней схемы управления, если устранение неисправности оказывается невозможным.

5. Тестовая обвязка

Рассматриваемый НЗЭ-вычислитель имеет также схему тестирования, позволяющую определить его потребительские характеристики: собственное быстродействие и энергопотребление в различных условиях эксплуатации. Структурная схема тестовой обвязки показана на рис. 6.

Тестовая обвязка включает в себя мультиплексор сигналов управления МУ, эталонный регистр ЭР, буферный регистр БР и схему сравнения СС. Вход разрешения циклической работы МО задает режим работы НЗЭ-вычислителя: нормальный, при котором вычислитель управляется сигналом IC от внешней схемы и формирует выходной результат OD в зависимости от поданных входных данных ID, или тестовый, при котором внешние входные данные не изменяются, а НЗЭ-вычислитель циклически выполняет одну и ту же операцию.

В тестовом режиме результат выполнения первой операции запоминается в эталонном регистре ЭР, а результат каждой следующей операции записывается в буферный регистр БР. Состояния регистров сравниваются в блоке СС. При совпадении результатов, записанных в регистрах ЭР и БР, на выходе ОК формируется высокий уровень и НЗЭ-вычислитель продолжает циклические вычисления. Если состояния регистров ЭР и БР не совпадают, на выходе ОК остается низкий уровень и работа НЗЭ-вычислителя останавливается. Сигнал ОК служит признаком работоспособности НЗЭ-вычислителя. Если он регулярно

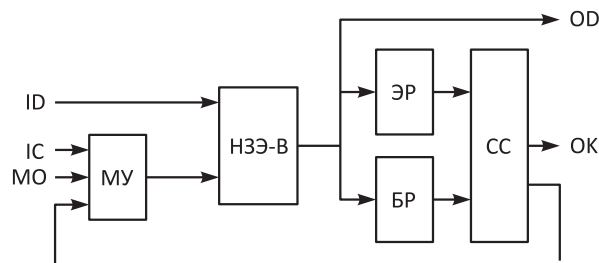


Рис. 6 Схема тестовой обвязки НЗЭ-вычислителя

переключается в состояние $OK = 1$, это означает, что НЗЭ-вычислитель работает и правильно выполняет заданную операцию. Если сигнал $OK = 1$ перестал формироваться, это означает, что эталонный и текущий результаты выполнения операции не совпали — НЗЭ-вычислитель потерял работоспособность.

Периодичность появления сигнала $OK = 1$ определяет время выполнения НЗЭ-вычислителем заданной операции. Изменяя тип операции и входные операнды, можно вычислить усредненные характеристики НЗЭ-вычислителя на статистически значимом наборе входных данных. Измерение тока потребления схемы при циклической работе НЗЭ-вычислителя позволяет определить его энергопотребление в зависимости от характера выполняемой операции, входных данных и условий окружающей среды.

Таким образом, использование представленной тестовой схемы позволяет изолировать НЗЭ-вычислитель от внешнего окружения и тем самым вычленить его характеристики — быстродействие и энергопотребление при различных значениях напряжения питания и температуры окружающей среды. Это обеспечивает возможность определения полного диапазона работоспособности НЗЭ-вычислителя в изменяющихся условиях его эксплуатации.

Площадь топологии НЗЭ-вычислителя, спроектированной в соответствии с нормами стандартной 0,18-микронной КМОП-технологии с шестью слоями металлизации, увеличилась в 1,4 раза по сравнению с топологической реализацией вычислителя [9]. Индикаторная подсхема не может быть столь же плотно упакованной, как и регулярный в значительной степени вычислительный тракт. Причина — пирамидальная структура индикаторной подсхемы и большое число разрядов схемы вычислителя. Оптимальная топологическая реализация многоразрядного устройства — вытянутый по вертикали прямоугольник с расположением разрядов один над другим. Общий индикаторный выход такого устройства объединяет поразрядные индикаторные сигналы со всех «этажей», стягивая их в одну точку. Это приводит к необходимости реализации множества параллельно идущих трасс межсоединений фактически в одном слое металла. В результате при относительно небольшой площади, занимаемой элементами индикаторной подсхемы, общая площадь реализации всей индикации оказывается значительной.

В настоящее время схема НЗЭ-вычислителя находится на этапе изготовления в составе тестовой БИС. Тестовые модули, введенные в ее состав, позволят оценить ее быстродействие, энергопотребление и работоспособность при разных условиях эксплуатации.

6. Заключение

Безошибочное проектирование НЗЭ-схем невозможно без анализа их на полумодулярность. Достоверный анализ на полумодулярность сложных устройств с многоуровневой архитектурой обеспечивается разработанными в ИПИ РАН программными средствами и предложенным иерархическим подходом.

НЗЭ-вычислитель обладает свойством обнаружения всех константных неисправностей. Он блокирует вычисления при появлении любой константной неисправности за счет индикации всех элементов схемы. Выходной регистр НЗЭ-вычислителя реализован как отказоустойчивое устройство. Вышедший из строя разряд регистра замещается методом сдвига резервным разрядом в результате процедуры саморемонта, запускаемой внутренним таймером.

Реализация вычислителя в виде НЗЭ-устройства обеспечивает его устойчивую работу при любых условиях эксплуатации, при которых еще сохраняются переключательные свойства активных компонентов. Результаты электрического моделирования подтверждают сохранение работоспособности НЗЭ-вычислителя при снижении напряжения питания до 0,32 В (при номинале 1,8 В).

Литература

1. *Matsubara G., Ide N., Tago H., Suzuki S., Goto N.* 30-m 55-b Shared Radix 2 Division and Square Root using a self-timed circuit // 12th Symposium on Computer Arithmetic (ARITH '95) Proceedings, 1995. P. 98–105.
2. *Furber S.B., Garside J.D., Gilbert D.A.* AMULET3: A high-performance self-timed ARM microprocessor // ICCD'98 Proceedings, 1998.
3. IEEE Standard for binary floating-point arithmetic // IEEE Std. 754. New York ANSI, 1985, Aug.
4. *Степченко Ю. А., Дьяченко Ю. Г., Рождественский Ю. В., Морозов Н. В., Степченко Д. Ю.* Квазисамосинхронная реализация

- устройства деления и извлечения квадратного корня // Ежегодник трудов ИПИ РАН «Системы и средства информатики». Вып. 18. — М.: Наука, 2008. — С. 234–260.
5. Автоматное управление асинхронными процессами в ЭВМ и дискретных системах / Под ред. В. И. Варшавского. — М.: Наука, 1986. 400 с.
 6. *Рождественский Ю. В., Морозов Н. В., Степченков Ю. А., Рождественскене А. В.* Универсальная подсистема анализа самосинхронных схем // Ежегодник трудов ИПИ РАН «Системы и средства информатики». Вып. 16. — М.: Наука, 2006. — С. 463–475.
 7. *Рождественский Ю. В., Морозов Н. В., Рождественскене А. В.* Подсистема событийного анализа самосинхронных схем АСПЕКТ // Проблемы разработки перспективных микро- и наноэлектронных систем — 2010: Сб. науч. тр. / Под общ. ред. А. Л. Стемшковского. — М.: ИПИМ РАН, 2010. 10 с.
 8. *Степченков Ю. А., Дьяченко Ю. Г., Петрухин В. С.* Опыт разработки самосинхронного ядра микроконтроллера на базовом матричном кристалле // Нано- и микросистемная техника, 2006. № 5. С. 29–36.
 9. *Stepchenkov Y., Diachenko Y., Zakharov V., Rogdestvenski Y., Morozov N., Stepchenkov D.* Quasi-delay-insensitive computing device: Methodological aspects and practical implementation // Workshop (International) on Power and Timing Modeling, Optimization and Simulation, PATMOS'2009. Delft, The Netherlands, 2009. 10 p.
 10. Chartered Semiconductor 0.18 μm IB Process 1.8-Volt SAGE-XTM. Standard Cell Library Databook // Artisan Components, Febr. 2003. Release 1.0.