

ЭЛЕКТРОСВЯЗЬ

ЕЖЕМЕСЯЧНЫЙ
НАУЧНО-ТЕХНИЧЕСКИЙ ЖУРНАЛ
ПО ПРОВОДНОЙ И РАДИОСВЯЗИ,
ТЕЛЕВИДЕНИЮ, РАДИОВЕЩАНИЮ

№10/2002

ПОЛНОМОЧНАЯ
КОНФЕРЕНЦИЯ МСЭ
В МАРРАКЕШЕ

ЦИФРОВИЗАЦИЯ
ТЕЛЕРАДИОВЕЩАНИЯ
В РОССИИ

ИНВЕСТИЦИОННАЯ
ПРИВЛЕКАТЕЛЬНОСТЬ
РЫНКА ПОДВИЖНОЙ СВЯЗИ

КОНВЕРГЕНЦИЯ УСЛУГ
ТФОП И СЕТИ ИНТЕРНЕТ



ЭЛЕМЕНТЫ И СХЕМЫ. ИЗМЕРЕНИЯ

УДК 621.396.43

МИКРОСХЕМА ПОМЕХОУСТОЙЧИВОГО КОДИРОВАНИЯ КАНАЛОВ

Ю.М. Брауде-Золотарев, гл. конструктор КДК, к.т.н.

М.Ю. Брауде-Золотарев, зам. гл. конструктора КДК, к.т.н.

А.А. Каблучкова, вед. инженер "Вигстар"

В.Т. Писаренко, зам. директора "Вигстар"

Ю.П. Фомин, ст. научн. сотр. НТК ТЦ МИЭТ

Помехоустойчивое кодирование (ПК) широко используется для улучшения характеристик радиолиний, особенно в спутниковой связи. На радиорелейных линиях связи (РЛС) с переносными станциями из-за жестких ограничений по массе, габаритам и энергопотреблению ПК не нашло широкого применения. Описанную в статье большую интегральную схему (БИС) с малой массой, габаритами и энергопотреблением можно использовать в переносных станциях РЛС, в частности, в РЛС миллиметровых волн, передающих потоки ИКМ формата E1. Зарубежные аналоги с подобными параметрами не известны.

Технические характеристики. БИС кодера-декодера (КДК) КН5503ХМ7-158 (конструкторское обозначение – СПИК.431260.158Д) предназначена для повышения помехоустойчивости радиорелейных, спутниковых и проводных линий связи (например, трактов с ИКМ) в диапазоне скоростей передачи информации от единиц кбит/с до 15 Мбит/с. БИС содержит КДК с оптимизированным пороговым декодированием (ОПД), преимущества которого рассмотрены в [1]. Если вероятность ошибок (ВО) канала составляет 0,002, то после декодирования ВО становится меньше 10^{-7} . Декодер исправляет также плотные пакеты ошибок (до 15 ошибок).

Основное назначение КДК – исправление ошибок в радиорелейных вставках проводных линий ИКМ-30 (формат E1, скорость 2048 кбит/с). Для этого режима предусмотрена автономная синхронизация декодера с тактовой частотой 4096 кГц.

Кроме КДК, БИС содержит: компаратор, цепи подключения внешних светодиодов визуальной оценки количества ошибок и модели ошибок канала для автономных испытаний КДК. Энергопотребление КДК при номинальном напряжении питания 5 В и скорости передачи 2048 кбит/с составляет около 100 мВт. При пониженном до 3 В напряжении питания КДК работает на скоростях до 8 Мбит/с. Количество выводов БИС – 64. Из них 12 – функциональные, 5 – питание и заземление, 44 – вспомогательные цепи, один ввод не задействован. Корпус БИС – типа Н18.64-1вН или Н18.64-1вНБ.

Алгоритм КДК. Оценка помехоустойчивости обычного порогового декодера (ПД) с одноступенчатым синдромным пороговым решением (рис. 1, кривая 1) приведена в [2]. Эта оценка не точна, так как не учитывает интерференцию ошибок, возникающую при умножении в декодере вектора ошибок на генераторный полином (ГП) и пренебрегает эффектом "размножения ошибок", возникающем в ПД после ошибочных коррекций синдрома. На рис. 1 также представлены характеристики помехоустойчивости обычного ПД (кривая 2), КДК (3) и оптимального декодера (ОД), принимающего решения по максимуму правдоподобия (кривая 4). Помехоустойчивость обычного ПД (кривая 2) хуже оценки из [2] (кривая 1).

Исследования [3–6] показали, что ослабить влияния ошибочных коррекций и приблизиться к характеристикам ОД можно с помощью многоступенчатой коррекции синдрома при повышенных порогах в первых ступенях. Порогом, полностью использующим исправляющую способность кода, обладает последняя ступень. Сложность декодера при этом возрастает пропорционально количеству ступеней. Такой оп-

тимизированный ПД (ОПД), имея выше порога характеристики близкие к ОД, намного проще самого ОД. Область, в которой характеристики ОПД и ОД близки (рис. 1), называют областью оптимизации.

Возможны разные варианты расширения этой области. В каждую ступень можно ввести дополнительный "регистр исправлений", снижающий порог решения там, где на предыдущих ступенях было печетное количество исправлений. Это облегчает отказ от предыдущих ошибочных коррекций. В последнюю ступень можно включить регистры исправления "собственных пакетов" ошибок, в которых ошибки декодера отстоят на удвоенные разности ГП. Однако такие методы сложны в реализации [3–5].

В БИС КДК использован нестационарный ГП с двумя состояниями, снижающий вероятности ложных коррекций синдрома и "собственных пакетов". Очевидно, что цепи синхронизации и коммутации ветвей нестационарного ГП значительно проще дополнительных регистров.

Элементная и проектная база БИС. Для БИС выбран базовый матричный кристалл (БМК) типа 5503ХМ7 с проектной нормой 1,8 мкм, емкостью 5,5 тыс. условных вентилях, достаточной для реализации КДК с заданными параметрами. БМК имеет широкую библиотеку элементов, включающую не только цифровые узлы, но и аналоговые (операционные усилители, генераторы, компараторы и др.), позволяющие компоновать на нем даже аналого-цифровые и цифро-аналоговые преобразователи. Разработчик может провести всесторонние испытания узлов БИС и комплексное моделирование спроектированной БИС с учетом топологии с помощью функциональных и топологических вычислительных моделей элементов БМК. Имеется программное обеспечение для функционально-логического и автоматизированного топологического проектирования БИС.

Генераторные полиномы и структура КДК выбирались с учетом ограничений сложности и энергопотребления. Емкость 5,5 тыс. условных вентилях достаточна для реализации КДК с

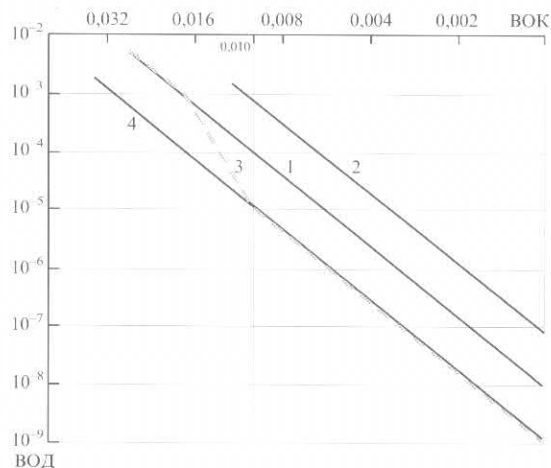


Рис. 1

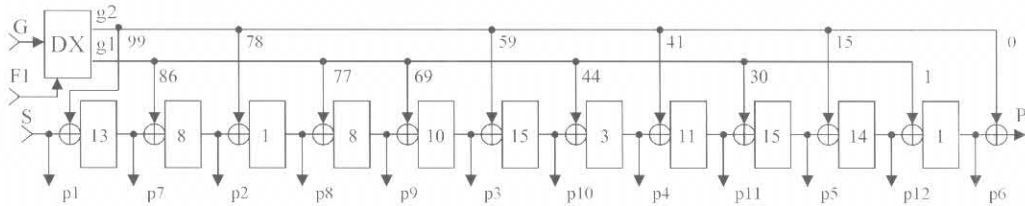


Рис. 2

тремя ступенями решения при совершенном разностном множестве (СРМ) [7] с модулем 133. В СРМ-133 все разности, вычисляемые по модулю 133, заполняют натуральный ряд чисел от 1 до 132 и ни одна разность не встречается дважды. Исходное СРМ-133 взято из [7]. Вычислялись изоморфные СРМ-133, из которых для двух ветвей кода были выбраны достаточно короткие множества с приемлемыми корреляционными свойствами:

- 0 2 6 24 29 40 43 55 68 75 76 85;
- 0 12 15 16 41 48 54 59 68 76 78 99.

Кроме того, для расширения области оптимизации и повышения исправляющей способности при пакетах ошибок, каждая ветвь кода "прорежена" до шести членов. Прореженные ветви ГП (рис.2) имеют вид:

- для нечетных символов $g1 = 1, 30, 44, 69, 77, 86$;
- для четных символов $g2 = 0, 15, 41, 59, 78, 99$.

Для того чтобы исключить совпадение проверок в точке 0, все члены в первой ветви ГП ($g1$) сдвинуты на один разряд: для $g1$ разности – 8, 9, 14, 17, 25, 29, 33, 39, 42, 43, 47, 56, 68, 76, 85;

для $g2$ разности – 15, 18, 19, 21, 26, 37, 40, 41, 44, 58, 59, 63, 78, 84, 99.

Совпадающих разностей у нечетной и четной ветвей нет, что снижает взаимную корреляцию ветвей и интерференцию ошибок. За счет прореживания существенно уменьшается плотность единиц в синдромной последовательности (далее – синдром) и "критическая интерференция" единиц в синдроме достигается при большей ВО канала, расширяя область оптимизации. Помехоустойчивость КДК существенно улучшается прореживание и в случае пакетированных ошибок. До прореживания минимальные разности трех проверок составляли 1, 2, 3. После прореживания три минимальные разности стали 8, 9, 14 для $g1$ и 15, 18, 19 для $g2$. Благодаря этому 14 информационных ошибок, идущих подряд, исправляются как 14 одиночных ошибок. В реальных условиях ошибки распределены равномерно по двум ветвям (информационной и проверочной) и поэтому КДК может исправлять и более длинные пакеты.

Работа КДК на передаче. Рассмотрим основной режим работы КДК (рис. 3,а), в котором на вход D кодера поступают данные D со скоростью 2048 кбит/с. На вход C0 (на рис. 3 не показан) поступает синхросигнал 2048 кГц (активный фронт 01) обычно с равными интервалами нулей и единиц. Последовательность данных D после суммирования по модулю 2 (XOR) в полусумматоре H0 с нелинейной псевдослучайной последовательностью (ПСП) S1 от скремблера SCR с периодом 31 образует информационную последовательность $I = D \oplus S1$. Кодированная последовательность $P = I * G$ на выходе CD1 суммируется в полусумматоре H1 с линейной последовательностью S2 скремблера SCR, формируя проверочную последовательность $Q = P \oplus S2$.

Скремблер SCR с ГП (0, 2, 5) имеет цепь автономного запуска (сброса вырожденного слова 00000). Сигналы скремблирования формируются из трех линейных ПСП трехразрядной секции регистра. Первая (по задержке) ПСП – S2. Вторая и третья формируют в двухходовом элементе ИЛИ нелинейную ПСП с преобладанием лог. 1 (непригодна для скремблирования), которая суммируется по модулю 2 с первой ПСП (S2), образуя нелинейную ПСП – S1. Использование нелинейной S1 и линейной S2 последовательностей скремблирования позволяет отличать информационную и кодированную последовательности, обеспечивая тем самым правильную синхронизацию ветвей кода в декодере.

На вход G кодера передачи CD1 (см. рис. 2 и 3,а) поступает информационная последовательность $I = D \oplus S1$, а на вход регистра S – лог. 0. Кодер умножает I на две ветви ($g1$ и $g2$) нестационарного ГП, которые выбирает демультиплексор DX, управляемый сигналом $F1 = 1024$ кГц, полученным делением частоты 2048 кГц (C0) на 2. При этом демультиплексор ветвей DX для обеспечения независимой работы каждой ветви нестационарного кода на одном регистре вводит на "свободные" позиции нули: в $i1$ – на четные и в $i2$ – на нечетные. Поэтому $I = i1 \oplus i2$, а $P = I * G = i1 * g1 \oplus i2 * g2$.

Регистр умножителя CD1 общей длиной 99 разрядов (см. рис. 2) имеет 11 секций (от входа S к выходу P – 13, 8, 1, 8, 10, 15, 3, 11, 15, 14, 1), соединенных узлами "⊕" (XOR). Сигнал, вводимый на вход G, поступает на выход регистра P в виде полусуммы сигналов с задержками, соответствующими ГП двух ветвей кода $g1$ и $g2$. Схема CD1 работает также в декодере (блоки CD2, AS1–AS3). Две группы выходов "проверок" p1–p6 (первая) и p7–p12 (вторая) ветвей кода, параллельные первым входам полусумматоров, используются только в AS.

Мультиплексор MX (рис. 3,а), управляемый частотой 2048 кГц (C0), объединяет последовательности информационную I и проверочную Q в кодированный сигнал M. В сигнале M первым (на интервале нулей C0) следует сигнал I, а вторым (на интервале единиц C0) – сигнал Q. Скорость передачи сигнала M на выходе кодера – 4096 кбит/с. Предусмотрена возможность увеличения в сигнале C0 длины информационных символов за счет укорочения проверочных символов ("неравномерная энергетика") для повышения энергетического выигрыша кодирования КДК.

Работа КДК на приеме. Декодер (рис. 3,б) имеет два режима работы. В основном режиме (на вводе управления БИС – VL лог. 0) декодер получает на вход DM аналоговый сигнал со скоростью 4096 кбит/с и уровнем не ниже 30 мВ. Сигнал поступает в компаратор COMP, порог которого устанавливается внешним опорным сигналом (ввод UP). С выхода COMP

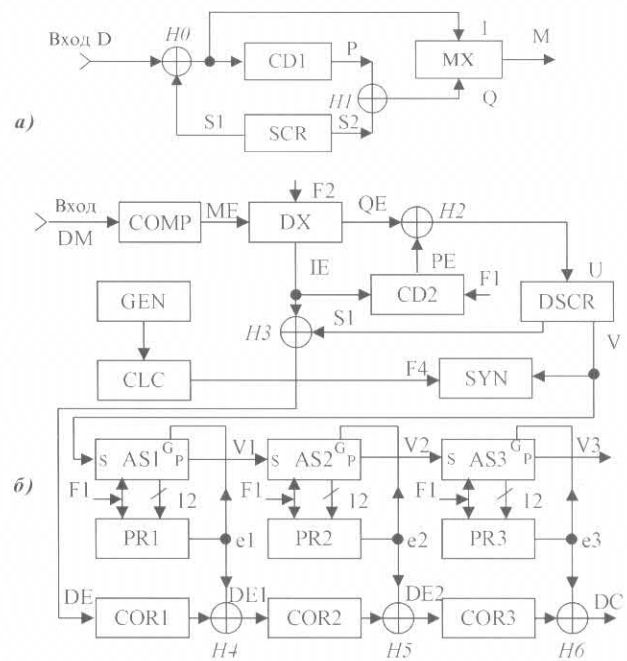


Рис. 3

цифровой сигнал ME поступает в демультиплексор DX , а также в блоки автономной синхронизации (на рис. 3,б эти цепи не показаны) базовой тактовой частоты CLC и ветвей SYN декодера. Во втором режиме (на вводе BL лог.1) узлы $COMP$ и CLC отключены. Ввод DM подключается непосредственно к блоку DX . Внешняя синхронизация подается на вход $CIN4$ (на рисунке не показан).

Сигнал $ME = M \oplus E$ соответствует сумме переданного сигнала M и ошибок $e(i)$ и $e(q)$ в информационной и проверочной последовательностях соответственно.

В основном режиме работы декодера при автономной синхронизации шумы канала не только вызывают ошибки $e(i)$ и $e(q)$, но и смещают фронты и уровни принятых символов. Эти искажения отфильтровывает синхронизатор базовой тактовой частоты декодера $F_4 = 4096$ кГц CLC (рис. 4), работающий с помощью генератора GEN опорной частоты 32 768 кГц с внешним кварцем. Работа блока CLC рассмотрена ниже. Деление базовой частоты и установку нужных фаз частот $F_2 = 2048$ кГц и $F_1 = 1024$ кГц, разделяющих ветви кода и ветви $g1$ и $g2$ ГП, осуществляет синхронизатор SYN (рис. 5). После установления синхронизма декодер работает следующим образом.

Из сигнала данных ME демультиплексор ветвей кода DX с помощью сигнала разделения ветвей F_2 блока SYN выделяет информационную $IE = I \oplus e(i)$ и проверочную $QE = Q \oplus e(q)$ последовательности, каждая со скоростью 2048 кбит/с. Кодер $CD2$ умножает с помощью сигнала разделения ветвей F_1 (см. рис. 2 и 3,б) последовательность IE на нестационарный ГП и формирует кодированную последовательность $PE = I * G \oplus e(i) * G$, которая в отсутствие ошибок (при $e(i) = 0$) идентична последовательности $P = I * G = i1 * g1 \oplus i2 * g2$ на передаче. После посимвольного суммирования по модулю 2 в полусумматоре $H2$ последовательностей PE и QE две компоненты $I * G$ будут "стерты". Полученный входной сигнал дескремблера ($DSCR$) $U = S2 \oplus e(i) * G \oplus e(q)$ – сумма по модулю 2 двух сигналов: линейного скремблирующего $S2$ и синдрома $V = e(i) * G \oplus e(q)$.

В $DSCR$ сигнал $U = S2 \oplus V$ умножается на ГП скремблера $g3 = (0, 2, 5)$. Так как $S2 * g3 = 0$, то в результате умножения получаем $U * g3 = V * g3$. В сигнале $V * g3$ после одиночной ошибки следуют еще две ("размноженные") ошибки с задержкой на два и пять тактов. Этот сигнал поступает в делитель, который при правильной установке формирует две ошибки с задержками на два и пять тактов, компенсирующие "размножение". Необходимая установка делителя в ноль осуществляется после обнаружения в сигнале $g3 * V$ безошибочного интервала из восьми нулей. Делитель выделяет очищенный сигнал синдрома $U / g3 = V$. После суммирования по модулю 2 входного сигнала $U = S2 \oplus V$ и синдрома V получаем линейную последовательность $S2$ скремблера. Из нее, как и в скремблере SCR , формируем нелинейную последовательность $S1$, которая в полусумматоре $H3$ дескремблирует последовательность IE и формирует последовательность данных $DE = D \oplus e(i)$.

Использованное в $DSCR$ нетрадиционное разделение синдрома V и скремблирующей последовательности $S2$ имеет большой запас помехоустойчивости. Синхронизация устойчива даже при воздействии плотных (около 50%) и длинных (более 25 символов канала) пакетов ошибок и поэтому не ограничивает исправляющую способность декодера.

Синдром $V = e(i) * G \oplus e(q)$ поступает (см. рис. 3,б) в синхронизатор ветвей декодера SYN (рис. 5) и на вход S $AS1$ (см. рис. 2), к выходу P которого подключен вход S $AS2$ и т.д. Эта последовательная цепь образует трехступенчатый анализатор синдрома $AS1-AS3$. К выходам проверок ($p1-p12$) $AS1-AS3$ подключены узлы порогового решения (локаторы ошибок) $PR1-PR3$ с порогами 5, 4 и 4 соответственно. Такие пороги в ступенях коррекции выбраны экспериментально с учетом необходимости корректировать случайные и группирующиеся ошибки.

Сигнал $DE = D \oplus e(i)$ поступает на трехступенчатый корректор ошибок, содержащий регистры $COR1-COR3$ и полусум-

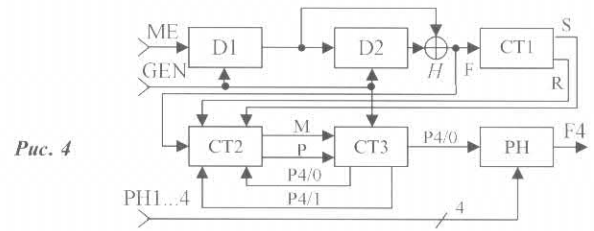


Рис. 4

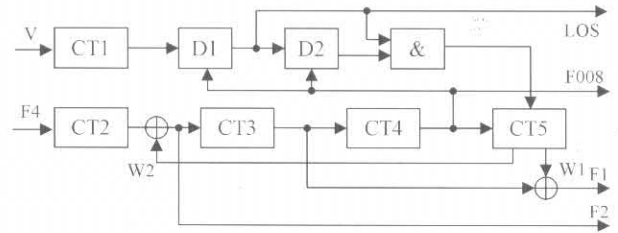


Рис. 5

маторы $H4-H6$. Каждый регистр содержит 99 разрядов, задерживающих входной сигнал ($DE, D1, D2$) на время задержки анализатора синдрома (см. рис. 2). На вторые входы полусумматоров от локаторов ошибок $PR1-PR3$ поступают последовательности ($e1-e3$) с обнаруженными ошибками, осуществляющими трехступенчатую коррекцию ошибок $e(i)$ в последовательности DE .

Одиночная ошибка в нечетном $i1$ или четном $i2$ информационном символе корректируется следующим образом. В результате умножения последовательности IE в кодере $CD2$ на ветвь $g1$ или $g2$ ГП одиночная ошибка создаст в синдроме V шесть единиц, которые проявятся с некоторой задержкой одновременно на выходах проверок ($p1-p6$) или ($p7-p12$) регистра $AS1$ (рис. 2 и 3,б). Внутренний мультиплексор DX узла $PR1$, управляемый сигналом F_1 , подключит нужную группу выводов ко входам узла порога ("локатора ошибок"). Порог 5, установленный в $PR1$, будет превышен. На выходе $PR1$ в сигнале $e1$ обнаруженная ошибка создаст лог. 1, которая через вход G регистра $AS1$, внутренний демультиплексор $AS1$ и вход соответствующей ветви $g1$ или $g2$ поступит на вторые входы своей группы полусумматоров (XOR), которые очистят регистр $AS1$ от обнаруженной ошибки. С выхода P блока $AS1$ на вход S $AS2$ поступит очищенный синдром $V1$. Кроме того, сигнал обнаруженной ошибки $e1$ скорректирует в полусумматоре $H4$ последовательность DE и сформирует данные $D1$ с исправленной одиночной ошибкой.

При воздействии многих ошибок в синдроме возникает их интерференция, из-за которой не все ошибки будут исправлены. Возможны также ложные коррекции, искажающие синдром $V1$. Повышение порога в первой ступени решения до шести снизило бы вероятность ложных коррекций, но при этом снизилось бы и количество исправляемых ошибок. Порог, равный 5, является компромиссом, учитывающим статистику ожидаемых ошибок канала и количество ступеней решения.

Данные $DE1$ с исправленными ошибками и частично очищенным синдромом $V1$ поступают во вторую ступень коррекции с узлами $AS2, PR2$ (с порогом 4), $COR2$ и $H5$, где обрабатываются подобно сигналам DE и V в первой ступени с тем же сигналом F_1 , переключаящим ветви кода в PR и AS . Сигнал обнаруженных второй ступенью ошибок $e2$ корректирует данные $DE1$ и очищает синдром $V1$. Узлы $AS3, PR3, COR3$ и $H6$ третьей ступени формируют сигнал $e3$ с тем же порогом, что и узлы второй ступени и выдают декодированные данные DC на выход декодера. Для контроля работы ступеней декодера из БИС выведены сигналы синдромов $V, V1-V3$.

Синхронизатор базовой тактовой частоты содержит (см. рис. 4) формирователь фронтов F , три счетчика ($CT-1-CT-3$) и узел сдвига фаз PH . Входными сигналами CLC являются сигнал ME с выхода компаратора и опорная частота 32 768 кГц генератора GEN с внешним кварцем, подключенным к входам

G1, G2 БИС. Блок CLC выделяет базовую тактовую частоту декодера $F_1 = 4096$ кГц.

Двухразрядный регистр (D1, D2), тактируемый опорной частотой GEN, и полусумматор Н, включенный к выходам его разрядов, выделяют импульсы фронтов данных F на переходах ME 01 и 10 (длительностью около 32 нс). Фронты могут иметь значительные флуктуации из-за влияния шумов канала, поэтому при формировании базовой тактовой частоты приема $F_1 = 4096$ кГц усредняется 31 позиция фронтов F . Счетчик СТ-1 с периодом 31 формирует сигнал S отсчета состояния пятиразрядного реверсивного счетчика СТ-2 и сигнал R установки СТ-2 в начальное состояние 01111. Движение и его направление счетчику СТ-2 задают фронты F и фазы сигналов $P4/0$ и $P4/1$ частоты 4096 кГц, сформированных счетчиком СТ-3. Сигнал $P4/1$ получен путем задержки сигнала $P4/0$ на один такт частоты 32 768 кГц. Фазы отсчитывают фронт F . Отсчеты фаз $P4/0=0$ и $P4/1=1$ считаются синхронными и СТ-2 сохраняет свое состояние. Отсчеты (0, 0) сдвигают счетчик вниз (к состоянию 00000), отсчет $P4/0=1$ сдвигает счетчик вверх (к состоянию 11111). Достигнув любого предельного состояния (00000 или 11111), счетчик СТ-2 останавливается.

Состояние счетчика СТ-2 в момент отсчета S управляет длиной цикла в счетчике СТ-3. Если предельное состояние не достигнуто, то сигналы $P=0$ и $M=0$ установят цикл 8. Предельное состояние 11111 (сигнал $M=1$) установит цикл 7, предельное состояние 00000 (сигнал $P=1$) – цикл 9. Таким образом, фаза сигнала F_1 может изменяться ступенями $\pm 1/8$ периода. Самое быстрое изменение на полный период (если нет флуктуаций фронтов) возможно за время, равное 248 фронтам F . При воздействии сильных шумов, превышающих порог, это время может возрасти в два и три раза. Но и при сильном шуме диапазон ФАПЧ – не ниже $\pm 2 \cdot 10^{-4}$, что значительно превышает возможную нестабильность ($\pm 5 \cdot 10^{-5}$) тактовых частот линий связи ИКМ-30. Узел РН, управляемый внешними сигналами $PH1-PH4$, позволяет установить 16 состояний фазы базовой тактовой частоты $F_1 = 4096$ кГц с шагом около 16 нс.

Синхронизатор ветвей декодера SYN (рис. 5) содержит четыре счетчика и цепи анализа сигнала синдрома $V = e(i) * G \oplus e(q)$. Первый счетчик СТ-1 с циклом 128 отсчитывает количество единиц синдрома V . От базовой тактовой частоты $F_1 = 4096$ кГц, поступающей от блока CLC или от внешнего ввода CIN, работают два делителя частоты на два (СТ-2 и СТ-3), формирующие тактовые частоты $F_2 = 2048$ кГц и $F_1 = 1024$ кГц. Четвертый счетчик (СТ-4) с циклом 128 работает от частоты 1024 кГц и выдает импульсы с частотой $F_{008} = 8$ кГц, которые отсчитывают накопленное в СТ-1 число ошибок синдрома V , сбрасывают СТ-1 в нуль, продвигают два D-триггера и пятый счетчик (СТ-5), сигналы которого ($w1, w2$) с циклом (00, 01, 11, 10) выбирают фазы частот $F_2 = 2048$ кГц и $F_1 = 1024$ кГц.

Число ошибок синдрома V в синхронном режиме на пороге помехоустойчивости декодера не превышает 10%, а при срыве синхронизма – около 50%. Если отсчет количества ошибок первого счетчика достигает 25%, то первый D-триггер выдает на выход LOS сигнал лог. 1 и внешний светодиодный индикатор показывает потерю синхронизма. Если оба D-триггера содержат лог. 1, то вентиль И разрешает импульс F_{008} , который переведет счетчик СТ-5 (узел поиска) в новое состояние сигналов ($w1, w2$). Если ошибок меньше 25%, то поиск останавливается. Порог решения 25% позволяет надежно обнаруживать синхронный режим и избегать ложного перехода в поиск. Сфазированные сигналы $F_2 = 2048$ кГц и $F_1 = 1024$ кГц обеспечивают нормальную работу блоков DX, CD2, AS1-AS3, PR1-PR3. Цепи F_1 и F_2 на рис. 3,а обозначены стрелками.

Вспомогательные цепи. Кроме кодера и декодера, БИС содержит вспомогательные цепи, облегчающие контроль и эксплуатацию КДК.

Анализатор Е, формирующий с частотой 1 кГц оперативные оценки качества канала, содержит два счетчика СТ8 и СТ32 с циклами 8 и 32. Счетчик СТ8 подключен к выходу сигнала 8 кГц блока SYN и выдает импульсы отсчета и сброса с частотой 1 кГц (интервал 2048 тактов) счетчику СТ32, который считает ошибки синдрома $V3$ на выходе узла AS3. Предполагается, что $V3 \approx e(q)$. Два старших разряда счетчика выводятся на внешние выводы E1 и E2 – вектор $E(00, 01, 10, 11)$. Светодиодные индикаторы, подключенные к этим выходам, позволяют приблизительно оценивать ВО канала ($E00 < 0,004 < E01 < 0,008 < E10 < 0,012 < E11$).

Группа из шести инверторов позволяет создать вспомогательные асинхронные тактовые генераторы для регистров ПСП, формирующих модели ошибок канала, используемые при автономных испытаниях КДК, или инвертировать при необходимости внешние сигналы управления.

Два генератора ПСП (PSP15 и PSP20) дают возможность организовать разные модели ошибок канала. К регистру узла PSP20 подключены дешифраторы и внешние цепи управления (CH1, CH2), позволяющие установить четыре режима (00), (01), (10) и (11) с ВО лог. 1 на выводе ERR: 0,002, 0,004, 0,008 и 0,016 соответственно. Для ввода этих ошибок в декодер следует соединить вывод ERR с цифровым входом декодера E0. При высокой вероятности ошибок 0,016...0,008 достаточно модель с одним генератором ПСП PSP20. При меньших ВО необходимо подключить выход PSP15 к неавтономному входу I20 блока PSP20. Для точных измерений в области оптимизации необходимы более сложные модели генераторов случайных чисел.

Выбор режима КДК осуществляют вводы БИС (V1, V2). Основной режим задает вектор V(00). Вектор V(01) устанавливает внутренний шлейф кодера и декодера, при котором выход кодера CD включен на вход демультимплектора DX декодера. Вектор V(10) устанавливает цифровой режим работы декодера от входа E0 при подключении внешней синхронизации 4096 кГц на вход CIN4. Вектор V(11) задает испытательные режимы изготовителя при отборе годных БИС на пластинах и после сборки.

Заключение. Цифровые узлы кодера-декодера, генератор и компаратор испытаны на лабораторном стенде. Комплексные испытания БИС проведены в составе аппаратуры радиорелейной связи в режиме однопролетной вставки в тракт ИКМ-30 (формат E1). Результаты испытаний подтвердили приведенные выше технические характеристики БИС.

ЛИТЕРАТУРА

1. Брауде-Золотарев Ю.М., Хашкевич Я.Д., Золотарев В.В. Перспективные пути развития помехоустойчивого кодирования // Вопросы кибернетики. – ВК-65/ ВИНТИ. – 1980.
2. Мэсси Дж. Пороговое декодирование. – М.: Мир, 1966.
3. Брауде-Золотарев Ю.М. Анализ возможности повышения помехоустойчивости и эффективности связи в вычислительных сетях. // Вопросы кибернетики. – ВК-98/ ВИНТИ. – 1982.
4. Брауде-Золотарев Ю.М., Золотарев В.В. Оптимизация порогового декодирования // Труды НИИР. – 1979. – № 1.
5. Брауде-Золотарев Ю.М., Красносельский И.Н. Экспериментальное исследование сверточного кодера с оптимизированным пороговым декодированием // Труды НИИР. – 1982. – № 2.
6. Брауде-Золотарев Ю.М., Золотарев В.В. Характеристики аппаратуры помехоустойчивого кодирования на матричных БИС // Труды НИИР. – 1986. – № 2.
7. Свердлик М.Б. Оптимальные дискретные сигналы. – М.: Сов. радио, 1975.

Получено 30.11.01