



## ОПРЕДЕЛЕНИЕ ОСНОВНЫХ ПАРАМЕТРОВ НАДЕЖНОСТИ КМОП ПРОЦЕССА ПОЛУПРОВОДНИКОВОЙ ФАБРИКИ

### DETERMINING MAIN RELIABILITY PARAMETERS FOR SEMICONDUCTOR FOUNDRY CMOS PROCESS

УДК 621.3.049.77

СИВЧЕНКО АЛЕКСАНДР СЕРГЕЕВИЧ

SIVCHENKO ALEXANDER S.

КУЗНЕЦОВ ЕВГЕНИЙ ВАСИЛЬЕВИЧ

KUZNETSOV EVGENIY V.

НПК «Технологический центр»

“Technological Center” SMC

В данной работе предложен подход по оценке надежности технологии КМОП ИС. Для этого разработаны методики исследований, автоматизированные программы измерений на их основе и тестовые структуры. Данные методики позволяют проводить исследования по оценке качества подзатворного диэлектрика МОП транзисторов, их стойкости к воздействию горячих носителей и изменению параметров под воздействием высокой температуры при отрицательном напряжении, а также определять надежность шин металлизации и переходных окон к электромиграции. Разработанные методики прошли апробацию на тестовых структурах, изготовленных по технологии 65 нм. Предложенный подход может быть использован на фабриках по производству КМОП ИС для контроля качества технологических процессов, от которых зависят основные характеристики надежности КМОП ИС, а также дизайн-центрами для оценки надежности технологии полупроводниковой фабрики.

*Ключевые слова:* надежность; МОП транзистор; отказ; металлизация ИС; горячие носители; дефектность; тестовые структуры.

This paper presents a reliability assessment approach to the CMOS IC technology. In this regard, test chips with a set of test structures have been developed and manufactured using 65nm technology, research techniques and automated measurement programs on the basis thereof have been worked out. Techniques allow estimating the gate insulator quality for MOS transistors as well as their tolerance to hot carrier influence and to parameter changes caused by high temperature at negative voltage. The hardness of metallization buses and contact vias to electromigration has also been analyzed. The presented approach can be used at CMOS IC manufacturing plants to provide quality control of fabrication processes responsible for CMOS IC main reliability characteristics; it may also be used by design centers for the reliability assessment of semiconductor plant technology.

*Keywords:* reliability; MOS transistor; fault; IC metallization; hot carriers; defectiveness; test structures.

#### ВВЕДЕНИЕ

В настоящее время основной тенденцией увеличения производительности и расширения функционала ИС является непрерывное уменьшение топологических размеров. Однако вместе с этим, вопросы надежности выпускаемых схем становятся все более актуальными, так как уменьшение размеров приводит к проявлению новых физических механизмов отказа.

Разработка современных и конкурентоспособных ИС требует применения все меньших проектных норм, однако фабрик по выпуску глубоко субмикронных ИС в России пока нет. В связи с этим, многие дизайн-центры, для производства высокопроизводительных ИС, вынуждены разрабатывать схемы по правилам проектирования зарубежной полупроводниковой фабрики, обладающей такой технологией, и в дальнейшем размещать заказы на изготовление ИС у нее. Таким образом, на схемотехническом уровне вопросы надежности и качества ИС полностью определяются теми решениями, которые выбраны дизайн-центром, однако технологическая надежность конструкции ИС целиком зависит от качества процессов и технологии той фабрики, на которой она изготовлена.

Как правило, вопросы качества технологических процессов, уровни дефектностей по тем или иным процессам являются закрытой информацией фабрики и доступ к ней ограничен.

Получая ИС, изготовленную на зарубежной фабрике, нельзя быть полностью уверенным, что уровни надежности ИС, определяемые технологией и гарантированные фабрикой в правилах проектирования, будут выполнены на данной конкретной ИС, так как всегда существует технологическая флуктуация процессов и технологии. Поэтому введение дополнительного контроля технологической надежности техпроцессов и технологий, по которым изготовлена ИС, является весьма актуальной задачей, особенно для микросхем специального и космического назначения, где вопросы качества и надежности приобретают первостепенное значение.

Осуществлять такого рода контроль нами предлагается на основе методологии мониторинга контроля качества технологических процессов, с помощью тестирования надежности на уровне пластины — Wafer Level Reliability (WLR). Это один из инструментов контроля качества технологических процессов, включающий в себя специально разработанные тестовые структуры и методики их контроля. При этом оценка качества технологии изготовления ИС и ее показатели долгосрочной надежности определяются с использованием ускоренных испытаний специально разработанных тестовых структур по разработанным методикам контроля.

Основные отказы, определяющие надежность КМОП ИС, можно разделить на следующие:



- пробой подзатворного диэлектрика, вызванный высокой напряженностью электрического поля в нем (TDDB)
- изменение параметров транзисторов, вызванное инжекцией горячих носителей в подзатворный диэлектрик (HCI)
- изменение параметров транзисторов при отрицательном смещении и высокой температуре (NBTI)
- отказы проводящих шин и переходных окон, вызванные электромиграцией (массоперенос под действием электрических и термомеханических сил) (EM)

Для оценки указанных выше отказов, на основе стандарта Jedec [1] нами разработаны специальные методики исследований. Для реализации методик на языке VEE Pro 9.0 написаны автоматизированные программы измерений и обработки данных. Программы предназначены для проведения автоматизированных измерений тестовых структур в составе пластин с помощью параметрического измерителя Agilent B1500 и полуавтоматической зондовой станции SUSS PA300. Все программы имеют пользовательский интерактивный графический интерфейс и представляют собой автоматизированную высокоскоростную систему измерения и обработки полученных результатов в режиме реального времени.

Для апробации методик по технологии 65 [нм] нами разработаны и изготовлены тестовые структуры. Они позволяют выявить зависимость времени наработки до отказа от правил проектирования и в дальнейшем, проводя изменение топологии рабочих структур, увеличивать надежность к исследуемым механизмам отказа.

### МЕТОДИКА ОЦЕНКИ КАЧЕСТВА ПОДЗАТВОРНОГО ДИЭЛЕКТРИКА

Применение WLR-подхода по контролю дефектности подзатворного диэлектрика основывается на методах времязависимого пробоя диэлектрика TDDB (Time Depend Dielectric Breakdown). Во всех TDDB-методах в процессе тестирования диэлектрик подвергается высокому воздействию тока или напряжения, которое в конечном итоге приводит к его пробую и потере им диэлектрических свойств.

При приложении высокого значения тока или напряжения в подзатворном диэлектрике происходит протекание туннельного тока Фаулера – Нордгейма, под действием которого в диэлектрике происходит генерация дефектов. Такие дефекты называют внутренними. Достигнув критической плотности в диэлектрике, они приводят к формированию проводящего пути в нем и его пробую,

который определяется как резкое падение напряжения в структуре. Наряду с генерированной дефектностью, за счет приложенного поля в диэлектрике могут существовать дефекты привнесенные в него в процессе производства: загрязнения, механические напряжения, вакансии. Такие дефекты называются внешними. При приложении поля к диэлектрику с такими дефектами проводящий путь в нем формируется быстрее, и пробой диэлектрика происходит при более низких значениях напряжения. Плотность внешних дефектов напрямую связана с условиями производства и при производстве высококачественных ИС должна иметь как можно более низкие значения.

Основные TDDB-методы рассмотрены в работе [2]. В качестве основы для разработки собственной методики и автоматизированной программы измерений нами выбран метод по воздействию на структуру экспоненциально возрастающим током. Методика и алгоритм измерения более подробно представлены в работе [2]. На рис. 1 представлен эскиз топологии тестовой структуры, для контроля качества и надежности подзатворного диэлектрика. Набор тестовых структур с разными значениями периметров по границе изоляции Li и диффузии Ld позволяет разделить дефектность по границам и площади.

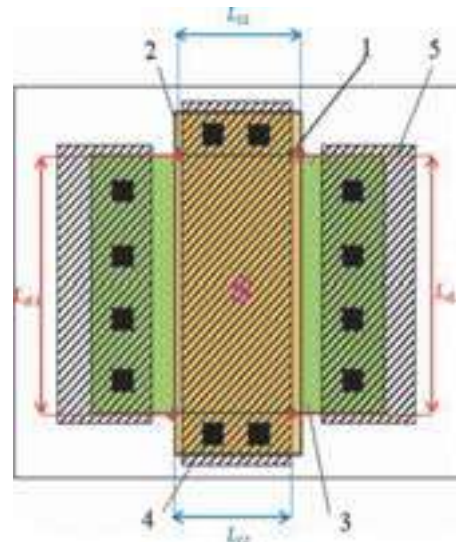


Рис. 1. Эскиз топологии тестовой структуры: 1 — области изоляции, 2 — поликремний, 3 — диффузионные области, 4 — контактные окна, 5 — металл

Таблица 1. Рассчитанные значения контролируемых параметров (среднее значение для выборки из 2 структур)

Тип структуры	Контролируемые параметры						
	Peak [A]	Iinit [A]	Vinit [B]	Vbd [B]	Ebd [MB/см]	Ibd [A]	Qbd [Кл/см <sup>2</sup> ]
S1n (Pi = 63,24, Pd = 63,24 [мкм])	1,48E-12	1,31E-12	4,89	8,13	16,3	0,121E-3	13,39
S2n, (Pi = 252,96, Pd = 252,96 [мкм])	1,76E-12	1,31E-12	4,89	8,27	16,5	0,153E-3	16,99
S3n (Pi = 4000, Pd = 400 [мкм])	1,68E-12	1,16E-12	6,09	8,22	16,4	0,131E-3	14,48
S4n (Pi = 400, Pd = 4000 [мкм])	4,83E-13	1,58E-12	4,91	8,24	16,5	0,134E-3	14,84
S1p (Pi = 63,24, Pd = 63,24 [мкм])	6,98E-13	6,98E-12	7,57	13,49	26,9	0,061E-3	6,67
S2p, (Pi = 252,96, Pd = 252,96 [мкм])	7,73E-13	4,78E-12	7,24	12,93	25,8	0,077E-3	8,52
S3p (Pi = 4000, Pd = 400 [мкм])	4,87E-13	1,05E-12	6,58	12,33	24,6	0,144E-3	15,99
S4p (Pi = 400, Pd = 4000 [мкм])	4,52E-13	4,23E-12	7,01	13,11	26,2	0,096E-3	10,64

Таблица 2. Рассчитанные значения времени наработки до отказа КМОП ИС с учетом разных типов структур, входящих в схему

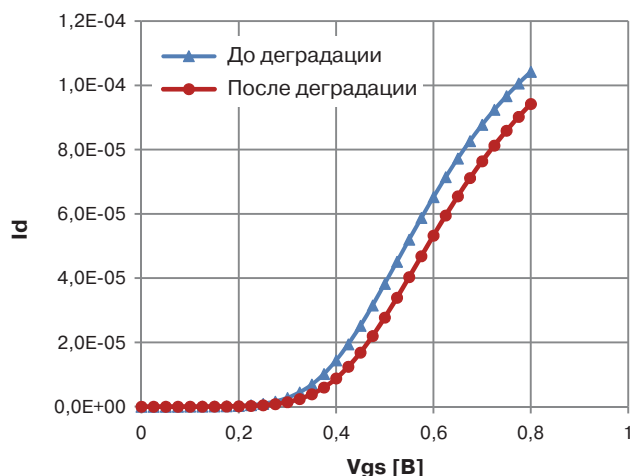
Тип структуры	Qbd [Кл/см <sup>2</sup> ]	t [Ч]
S1n и S1p	6,67	1,34 · 10 <sup>5</sup>
S2n и S2p	8,52	1,72 · 10 <sup>5</sup>
S3n и S3p	14,48	2,92 · 10 <sup>5</sup>
S4n и S4p	10,64	2,14 · 10 <sup>5</sup>

Таблица 3. Параметры исследуемых транзисторов

Тип транзистора	Tox [нм]	W [мкм]	L [мкм]	Vdd [В]
nМОП(core)	1,3	1	0,06	1
nМОП(in-out)	5	10	0,28	2,5
pМОП(core)	1,3	1	0,06	1
pМОП(in-out)	5	10	0,28	2,5

В табл. 1 представлен результат измерения выборки структур с толщиной диэлектрика 5 [нм] и площадью подзатворного диэлектрика  $S = 1000$  [мкм<sup>2</sup>]. Структуры отличаются между собой типом подложки и периметрами по границе изоляции —  $P_i = L_{i1} + L_{i2}$  и области диффузии —  $P_d = L_{d1} + L_{d2}$ . В качестве контролируемых параметров были выбраны:  $I_{peak}$  — ток утечки при  $V_{dd}/10$ ,  $I_{peak}$  — ток утечки при  $V_{dd}$ ,  $V_{bd}$  — напряжение пробоя,  $E_{bd}$  — напряженность поля пробоя,  $I_{bd}$  — ток пробоя,  $Q_{bd}$  — заряд, накопленный до момента пробоя.

На основе измеренных данных можно оценить время наработки до отказа КМОП ИС. Предположим, что суммарная площадь подзатворного диэлектрика выпускаемой КМОП ИС равна  $A = 0.0726$  [см<sup>2</sup>], а значение тока утечки схемы 1 [нА]. С учетом того, что одиночный КМОП вентиль представляет собой 2 транзистора nМОП и pМОП типа, результирующий заряд пробоя  $Q_{bd}$  берется как наименьшее значение  $Q_{bd}$  для каждого типа структур (попарное сравнение nМОП–S1n и pМОП–S2p). Оценка времени наработки до отказа КМОП ИС с учетом разного типа структур представлена в табл. 2.



Анализ результатов показывает, что время наработки до отказа КМОП ИС с транзисторами, выполненными на основе тестовых структур S3n, больше, чем на основе других тестовых структур. Таким образом, при разработке КМОП ИС с использованием транзисторов заданной площади, для увеличения времени наработки до отказа, рекомендуется проектирование транзисторов с учетом увеличения границ по изоляции. Расчет дефектности подзатворного диэлектрика проводится на основе функции распределения  $F(Q_{bd})$  и более подробно рассмотрен [2].

**МЕТОДИКА ОЦЕНКИ СТОЙКОСТИ ТРАНЗИСТОРОВ К ДЕГРАДАЦИИ ПАРАМЕТРОВ ПОД ВОЗДЕЙСТВИЕМ ГОРЯЧИХ НОСИТЕЛЕЙ**

Деградация параметров nМОП и pМОП транзисторов под действием горячей инжекции носителей (НСИ) является важной проблемой в надежности современных ИС. В результате увеличения функциональности ИС за счет масштабирования происходит непрерывное снижение длины канала в транзисторах, что приводит к возникновению больших электрических полей в нем и возникновению горячих носителей в канале вблизи области стока. Электрическое поле разгоняет носители в канале транзистора до высокой эффективной температуры, и такие носители называют горячими. Они передают свою энергию решетки, в результате чего разрушается связь Si-SiO<sub>2</sub>, а также они могут быть захвачены на ловушках в SiO<sub>2</sub>. Захват носителей или разрыв связей меняет заряд диэлектрика и создает поверхностные ловушки в SiO<sub>2</sub>, что влечет за собой изменение подвижности носителей в канале транзистора и изменение эффективного потенциала в канале. Данные изменения в транзисторе критически сказываются на его производительности и ухудшают его основные характеристики, такие как крутизна, пороговое напряжение, ток стока и другие. Скорость изменения каждого параметра зависит от топологических особенностей транзистора и технологических особенностей его изготовления.

Для выполнения эффективной оценки транзисторов на стойкость к деградации под действием горячих носителей ее необходимо выполнять как на nМОП, так и на pМОП транзисторах. Параметры исследуемых транзисторов представлены в табл. 3. На рис. 2–5 представлены измеренные зависимости  $I_d(V_{gs})$  и  $I_d(V_{ds})$  для транзисторов ядра и ввода-вывода, выполненные на двух типах подложек, до и после деградации под действием горячих носителей.

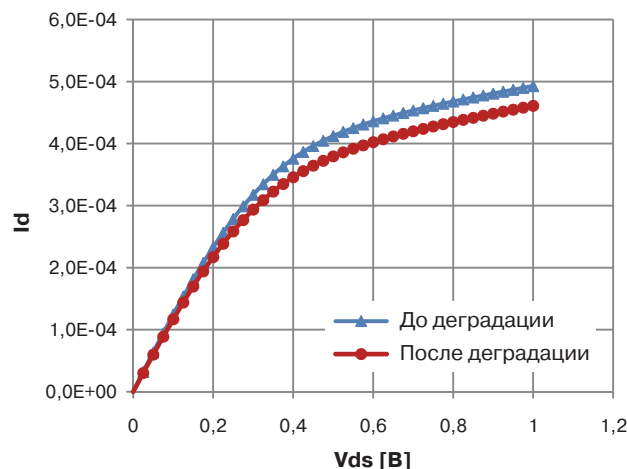


Рис. 2. Измеренная зависимость  $I_d(V_{gs})$  и  $I_d(V_{ds})$  для транзисторов ядра nМОП(core) до и после деградации параметров ( $V_{d_{ST}} = 2,5$  [В],  $V_{g_{ST}} = 0,8$  [В],  $t_{ST} = 1000$  [с])

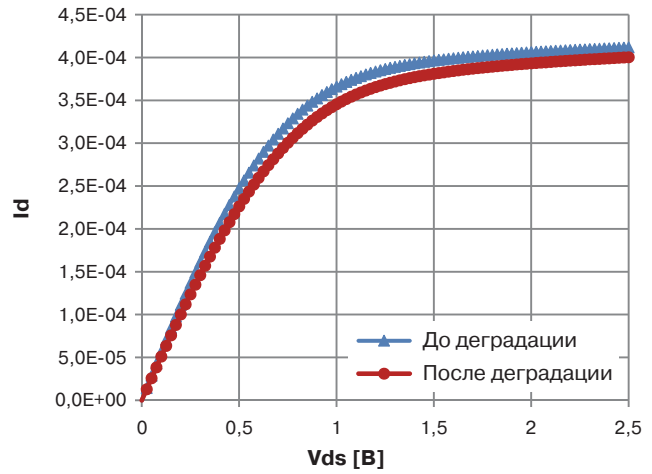
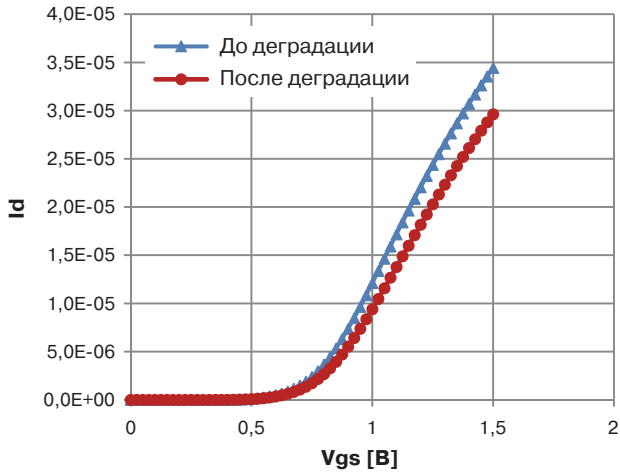


Рис. 3. Измеренная зависимость  $I_d(V_{gs})$  и  $I_d(V_{ds})$  для транзисторов ввода-вывода nМОП(in-out) до и после деградации параметров ( $V_{d_{ST}} = 4,5$  [B],  $V_{g_{ST}} = 1,9$  [B],  $t_{ST} = 1000$  [c])

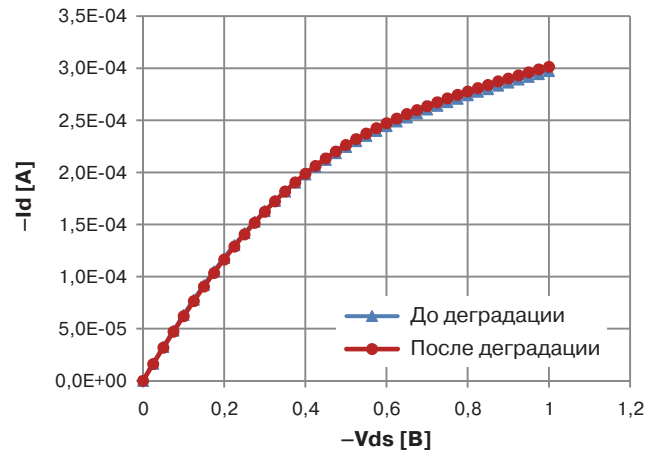
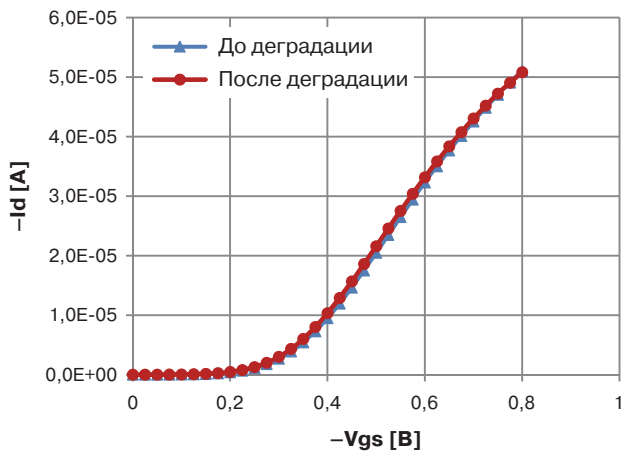


Рис. 4. Измеренная зависимость  $I_d(V_{gs})$  и  $I_d(V_{ds})$  для транзисторов ядра pМОП(core) до и после деградации параметров ( $V_{d_{ST}} = -2,25$  [B],  $V_{g_{ST}} = -0,65$  [B],  $t_{ST} = 1000$  [c])

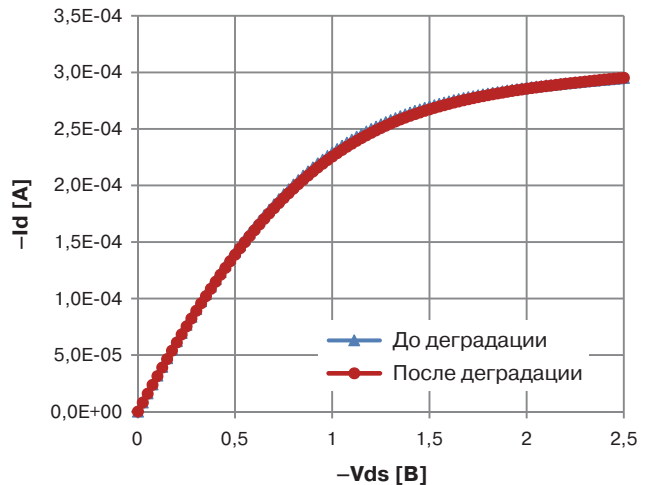
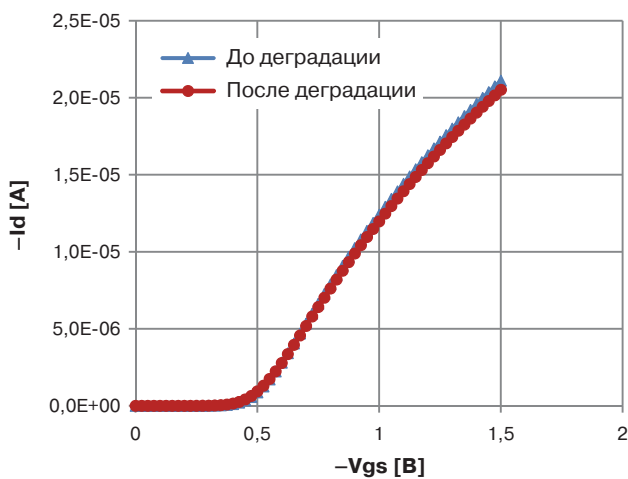


Рис. 5. Измеренная зависимость  $I_d(V_{gs})$  и  $I_d(V_{ds})$  для транзисторов ввода-вывода pМОП(in-out) до и после деградации параметров ( $V_{d_{ST}} = -4,5$  [B],  $V_{g_{ST}} = -1,3$  [B],  $t_{ST} = 1000$  [c])



На основе измеренных данных, используя модель ускорения напряжением сток-исток

$$TTF = t_0 \cdot \exp\left(\frac{B}{|V_{dsST}|}\right),$$

где  $t_0$  и  $B$  — параметры модели,  $V_{dsST}$  стрессовое напряжение сток исток [1, 3], можно провести расчет времени для 10% деградации параметров транзисторов при нормальных условиях эксплуатации под действием горячих носителей. В этой модели вероятность достижения носителями энергии, способной привести к деградации параметров, напрямую зависит от напряженности бокового электрического поля. Расчет времени для 10% деградации порогового напряжения —  $V_t$  транзистора ввода-вывода и транзистора ядра ИС с использованием модели ускорения напряжением сток-исток при нормальных условиях эксплуатации представлен в табл. 4.

Анализ результатов показывает, что стойкость транзисторов nМОП(core) к деградации параметров под действием горячих носителей почти в 2 раза ниже по сравнению с транзисторами nМОП(in-out). Транзисторы pМОП(core) и pМОП(in-out) обладают существенной стойкостью к деградации параметров относительно таких же, но выполненных на p подложке.

Таблица 4. Значения параметров модели ускорения напряжением сток-исток и времени для 10% деградации порогового напряжения транзисторов —  $V_t$

Тип структуры	Параметры модели		Время 10% ухудшения $V_t$ при норм. условиях [Ч]
	$B$ [В]	$t_0$ [В/С]	
nМОП(core)	24,69	$5,87 \cdot 10^{-3}$	$1,41 \cdot 10^2$
nМОП(in-out)	121,58	$5,98 \cdot 10^{-11}$	$2,19 \cdot 10^7$
pМОП(core)	102,5	$4,74 \cdot 10^{-4}$	$3,53 \cdot 10^{18}$
pМОП(in-out)	255,5	$8,46 \cdot 10^{-21}$	$5,69 \cdot 10^{20}$

**МЕТОДИКА ОЦЕНКИ СТОЙКОСТИ РМОП ТРАНЗИСТОРОВ К ДЕГРАДАЦИИ ПАРАМЕТРОВ ПРИ ОТРИЦАТЕЛЬНОМ СМЕЩЕНИИ И ВЫСОКОЙ ТЕМПЕРАТУРЕ**

Деградация параметров транзисторов при воздействии отрицательного напряжения и высокой температуры — NBTI (Negative Bias Temperature Instabilities) проявляется в р-канальных МОП-транзисторах с течением времени и является важной задачей

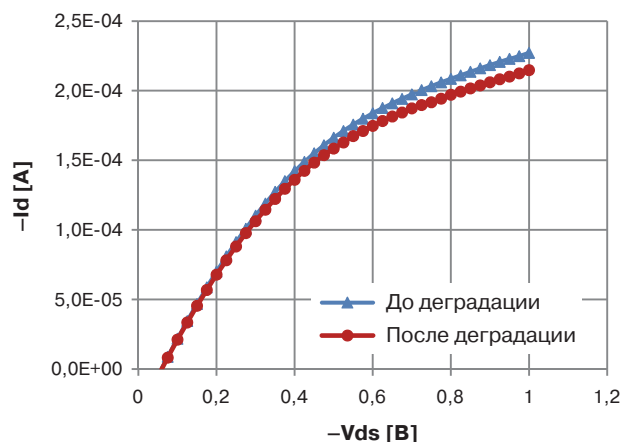
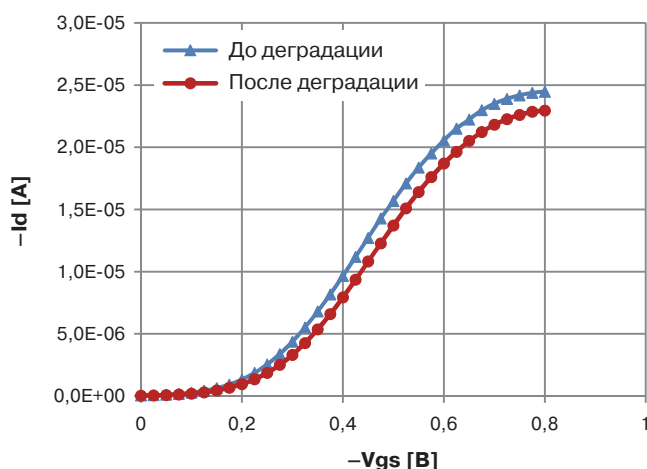


Рис. 6. Измеренная зависимость  $I_d(V_{gs})$  и  $I_d(V_{ds})$  для транзисторов ядра pМОП(core) до и после деградации параметров ( $V_{gST} = -1,5$  [В],  $T_{ST} = 100$  [°C],  $t_{ST} = 1000$  [с])

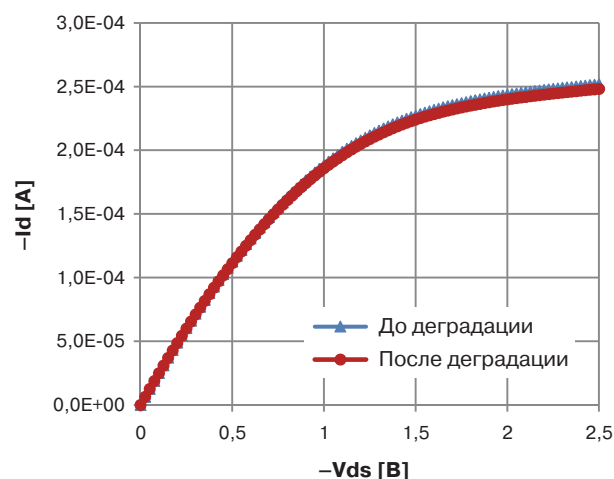
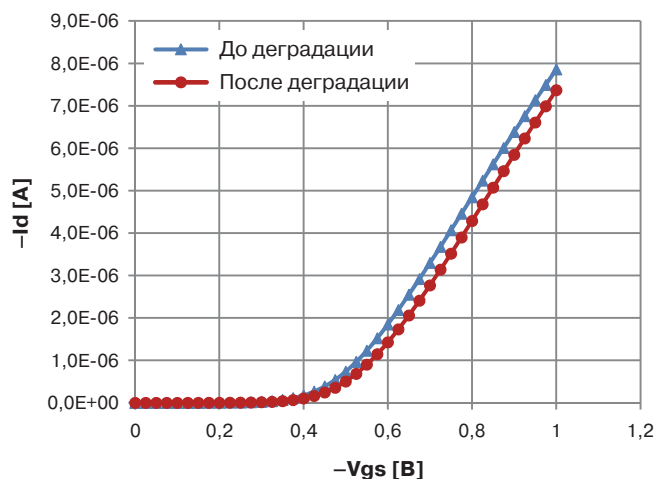


Рис. 7. Измеренная зависимость  $I_d(V_{gs})$  и  $I_d(V_{ds})$  для транзисторов ввода-вывода pМОП(in-out) до и после деградации параметров ( $V_{gST} = -6,5$  [В],  $T_{ST} = 100$  [°C],  $t_{ST} = 1000$  [с])

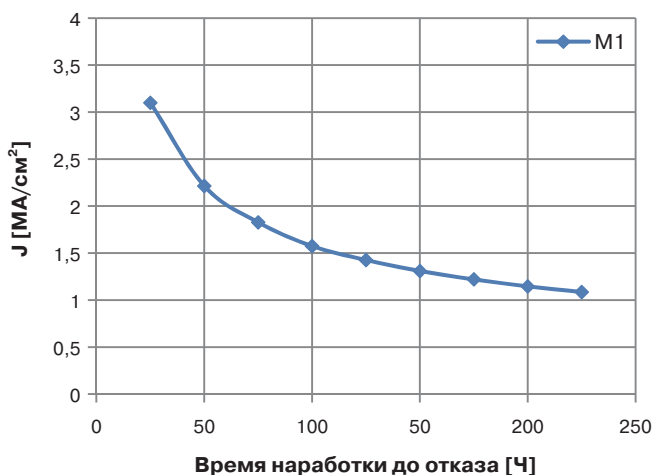


в обеспечении надежности современных субмикронных микросхем. Физическая природа повреждения транзистора при NBTI не полностью изучена, однако считается, что деградация возникает вследствие взаимодействия между дырками в канале проводимости pMOP и соединениями кремния на границе раздела Si–SiO<sub>2</sub> с последующим образованием на границе раздела отрицательного заряда и положительного фиксированного заряда в диэлектрике. Эта деградация происходит в результате воздействия «холодных» дырок, что отличает ее от механизма деградации, обусловленной горячими носителями, который проявляется при высоком V<sub>gs</sub> и V<sub>ds</sub>, вызывающих ударную ионизацию с образованием «горячих» дырок.

Генерация поверхностных состояний и формирование положительного фиксированного заряда зависят от технологического процесса создания подзатворного диэлектрика, а взаимодействия между дырками в канале проводимости зависят от напряженности вертикального электрического поля и температуры канала. По этой причине для проведения испытаний необходимы структуры с минимальной толщиной подзатворного диэлектрика, которую может обеспечить применяемая технология.

Генерация поверхностных состояний и образование положительного фиксированного заряда в диэлектрике приводят к существенному изменению параметров pMOP, в частности, увеличивается пороговое напряжение. Именно пороговое напряжение часто используется для оценки деградации параметров pMOP. Данный механизм деградации находится в строгой зависимости от температуры и может существенно повлиять на надежность MOP схем, особенно аналоговых блоков, где соответствующие отходы параметров могут иметь критические последствия.

Исследования проводятся на pMOP транзисторах. Параметры транзисторов представлены в табл. 3. На рис. 2 и 3 представлены измеренные зависимости Id(V<sub>gs</sub>) и Id(V<sub>ds</sub>) для транзисторов ядра и ввода-вывода, до и после деградации при отрицательном смещении и высокой температуре.



Установлено, что в результате деградации pMOP транзисторов при отрицательном смещении напряжения, происходит увеличение значения порогового напряжения, уменьшение крутизны транзистора, а также уменьшение значения тока насыщения и тока в линейной области. Наибольшей скоростью деградации обладает пороговое напряжение, а наименьшей — токи насыщения и токи в линейной области. Деградация параметров транзистора с более низкой толщиной подзатворного диэлектрика происходит быстрее.

### МЕТОДИКА ОЦЕНКИ СТОЙКОСТИ ПРОВОДЯЩИХ ШИН И ПЕРЕХОДНЫХ ОКОН К ЭЛЕКТРОМИГРАЦИИ (ЕМ)

Главным механизмом физического отказа в системе металлизации является электромиграция. Отказ под действием электромиграции зависит как от макроструктурных факторов (использованные материалы, структура металлических слоев, их геометрия и последовательность), так и от микроструктурных факторов (размер зерна металла и его распределение, кристаллографическая ориентация зерна, плотности дислокаций, а также количество и качество границ раздела слоев).

Основные методы испытаний на стойкость к электромиграции рассмотрены в работе [9]. В качестве основы для разработки методики и автоматизированной программы измерений нами был выбран метод испытаний на стойкость к электромиграции на основе изотермического теста [10]. Основным преимуществом данного метода является быстрое получение параметров модели электромиграции и хорошая корреляция полученных данных с более долгими классическими алгоритмами контроля. Методика и алгоритм измерения более подробно представлены в работах [9–10].

С помощью разработанной методики проведены измерения на стойкость к электромиграции проводящих шин тестовых структур, выполнены с минимальными проектными нормами

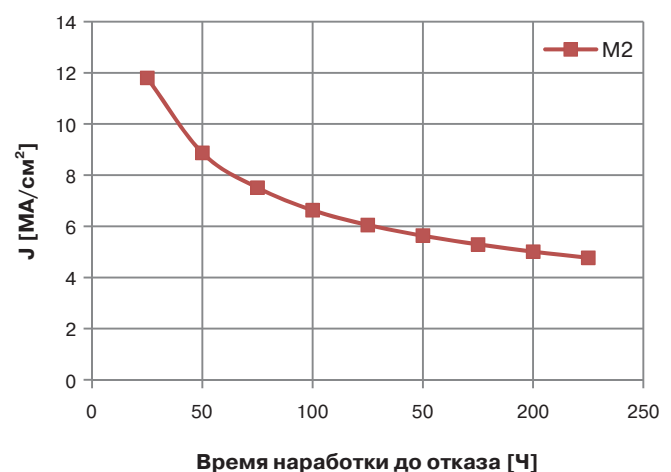


Рис. 8. Зависимость времени наработки до отказа шины первого и второго металла от плотности тока при температуре 125 [°C]

Таблица 5. Значения рассчитанных параметров в уравнении Блэка для исследуемых структур

Тип структуры	$T_{KC} [^{\circ}C^{-1}]$ $T_{ref} = 0 [^{\circ}C]$	$E_a$ [эВ]	n	A
M1	2,671	0,62	2,09	$47 \cdot 10^{12}$
M2	2,798	1,05	2,42	$594 \cdot 10^9$

в 1-м и 2-м металлах (M1 и M2). Тестовые структуры расположены в тестовом кристалле, представляют собой длинные шины металла и служат для проверки отказов в виде разрыва или коротки металлизации.

Анализ полученных результатов предполагает, что время наработки до отказа тестовой линии во время ускоренных испытаний может быть смоделировано уравнением Блэка [11]:

$$t_{50} = A \cdot J^{-n} \cdot \exp\left(\frac{E_a}{kT}\right) \square$$

где  $J$  [A/cm<sup>2</sup>] — плотность тока в металлической линии,  $n$  — параметр модели для плотности тока,  $E_a$  [эВ] — энергия активации процесса электромиграции,  $T$  [K] — температура тестовой линии,  $A$  — константа,  $k$  [эВ/K] — константа Больцмана. Значения рассчитанных параметров в уравнении Блэка для тестовых структур M1 и M2 приведены в табл. 5.

С учетом найденных параметров, на рис. 8 представлена рассчитанная зависимость времени наработки до отказа для шины первого и второго уровня металла от плотности тока при температуре 125 [°C].

### ЗАКЛЮЧЕНИЕ

Контроль качества технологического КМОП процесса нами предлагается проводить на основе методологии тестирования надежности на уровне пластины — Wafer Level Reliability (WLR). Для этого разработаны тестовые структуры, методики контроля и автоматизированные программы измерений на их основе. Размещая тестовые структуры совместно с рабочими ИС в составе пластины, можно проводить контроль и аттестацию технологических процессов тех фабрик, на которых изготовлены рабочие ИС. Данные, полученные в ходе контроля, позволяют оценить, какая из фабрик обеспечивает большую надежность ИС к физическим механизмам отказов, с точки зрения применяемой технологии. Кроме того, анализ характеристик, полученных в результате измерений, в зависимости от топологии элементов тестовых структур, позволяет подобрать оптимальную конструкцию элементов рабочей ИС, увеличить ее время наработки до отказа. Также подобного рода контроль позволяет обнаружить и так называемые «аппаратные закладки» — злонамеренное изменение технологического маршрута, состава или параметров технологических слоев и материалов, с целью снижения надежности ИС.

Данные изменения невозможно определить в ходе функционального тестирования, однако при этом долгосрочная надежность ИС может быть многократно уменьшена.

*Работа выполнена с использованием оборудования ЦКП «Функциональный контроль и диагностика микро- и наносистемной техники» на базе НИПК «Технологический центр», при финансовой поддержке Минобрнауки России (Соглашение №14.580.21.0005, уникальный идентификатор RFMEFI58015X0005).*

### ЛИТЕРАТУРА

1. Jeced Standard JP001.01 “Foundry Process Qualification Guidelines”, May 2004.
2. Сивченко А. С. Методика определения дефектности подзатворного диэлектрика с использованием ускоренных испытаний тестовых структур // Изв. вузов. Электроника. — 2015. — № 3 (Т. 20). — С. 304–312.
3. Jeced JESD28-A, Procedure for Measuring N-Channel MOSFET Hot-Carrier-Induced Degradation Under DC Stress.
4. Jeced JESD60-A, Procedure for Measuring P-Channel MOSFET Hot-carrier-Induced Degradation Under DC Stress.
5. Jeced JESD28-1N-Channel MOSFET Hot Carrier Data Analysis.
6. Takeda E., Yang C.Y., and Miura-Hamada A., Hot-Carrier Effects in MOS Devices, ch. 2, pp. 49–58. Academic Press, 1995.
7. Jeced JESD90, Procedure for Measuring P-Channel MOSFET Negative Bias Temperature Instabilities.
8. Haggag A. et al. “Realistic Projection of Product Fails From NBTI and TDDDB”, IEEE International Reliability Physics Symposium, pp. 541–544, 2006.
9. Сивченко А. С. Методики анализа электромиграции проводящих шин с помощью ускоренных измерений тестовых структур в составе пластин // Проблемы разработки перспективных микро- и нанoeлектронных систем — 2016. Сборник трудов / Под общ. ред. академика РАН А.Л. Стемпковского. — М.: ИППМ РАН, 2016. Часть 4. — С. 43–50.
10. Jeced Standard JESD 61A.01 “Isothermal Electromigration Test Procedure” October 2007.
11. Jeced Standard JESD 63 “Standard Method for Calculating the Electromigration Model Parameters for Current Density and Temperature” August 2003.

## КНИГИ ИЗДАТЕЛЬСТВА “ТЕХНОСФЕРА”



Цена 975 руб.

### КОНТРОЛЬ НОВЫХ ТЕХНОЛОГИЙ В ТВЕРДОТЕЛЬНОЙ СВЧ ЭЛЕКТРОНИКЕ

Груздов В.В., Колковский Ю.В., Концевой Ю.А.

В книге представлено обобщение накопленного опыта по созданию методов входного и технологического контроля при разработке и производстве СВЧ транзисторов на основе широкозонных материалов, в частности транзисторов на гетероструктурах типа AlGaIn/GaN.

Книга будет полезна специалистам в области электроники, исследователям, инженерам-практикам и разработчикам радиоэлектронной аппаратуры.

М: ТЕХНОСФЕРА, 2016. — 328 с.  
ISBN 978-5-94836-426-1

КАК ЗАКАЗАТЬ НАШИ КНИГИ?

✉ 125319, Москва, а/я 91; ☎ +7 (495) 234-0110; ☎ +7 (495) 956-3346; knigi@technosphera.ru, sales@technosphera.ru