



# ЯЧЕЙКА ОЗУ, УСТОЙЧИВАЯ К ВОЗДЕЙСТВИЮ ВНЕШНИХ ФАКТОРОВ

## RAM CELL THAT IS RESISTANT TO EXTERNAL FACTORS

УДК 621.382, ВАК 05.27.01

Н.Малашевич\* / N.Malashевич@tcen.ru  
N.Malashевич\*

Показана возможность реализации блоков однопортовых и двухпортовых оперативных запоминающих устройств (ОЗУ) повышенной стойкости к внешним факторам для базовых кристаллов (БК) серий 5521 и 5529. Рассмотрена ячейка памяти ОЗУ. Приведены результаты моделирования и испытаний микросхем ОЗУ на основе БК серии 5521 и 5529.

The article shows the feasibility of single-port and dual-port blocks of random access memory (RAM) on gate arrays (GA) of 5521 and 5529 families, which has an increased resistance to external factors. RAM memory cell is considered. Results of modeling and testing the RAM chips on the GA of the 5521 and 5529 families are given.

**А**ктивное развитие космической отрасли требует создания качественно новой электронной компонентной базы (ЭКБ), удовлетворяющей требованиям повышенной стойкости к основным дестабилизирующим факторам космического пространства. К таким факторам относятся: ионизирующее излучение, широкий температурный диапазон от  $-60$  до  $125^{\circ}\text{C}$ , воздействие тяжелых заряженных частиц.

При создании бортовой аппаратуры космических систем используется широкая номенклатура ЭКБ общего и специального назначения (более 700 типов). Одними из наиболее востребованных и наиболее уязвимых по отношению к факторам космического пространства компонентов являются ОЗУ. Радиационно-стойкие ОЗУ выполняются в виде заказных интегральных схем (ИС), сложно-функциональных (СФ) блоков в составе систем на кристалле (СнК) или на базе программируемых логических интегральных схем (ПЛИС). В современных СнК объем памяти может превышать 50% площади кристалла ИС [1-3]. В то же время специализированные микросхемы при малых тиражах выпуска оптимально реализовывать на основе базовых матричных или базовых кристаллов (БМК или БК). Наличие ОЗУ в составе БК позволяет существенно расширить область их применения, улучшить функциональные и эксплуатационные характеристики аппаратуры. Однако разрешенные для применения в космических аппаратах БК с

интегрированными (встроенными) в них блоками ОЗУ пока не созданы. В настоящее время в России доступна лишь одна серия отечественных БК с возможностью создания модулей памяти – это БМК серии 1592 емкостью 10, 30, 60 и 100 тыс. вентиляей. Максимальная емкость ОЗУ составляет  $256 \times 16$  или  $128 \times 32$  бит. Данная серия БМК устойчива к механическим и климатическим воздействиям, стойкость же к специальным факторам не указана.

Интеграция схем памяти в БМК рассматривалась с 1980-х годов в работах авторов [1-3]. Тогда технологический уровень не позволял создать БМК с достаточным объемом памяти. Среди современных отечественных работ по данной тематике следует отметить предложение С.Ф.Тюрина использовать в БМК ячейку памяти с учетверением транзисторов QSRAM [2]. Предполагается, что расчетверение отдельных транзисторов логических элементов обеспечит выигрыш в вероятности безотказной работы по сравнению с резервированием. В России БМК выпускают "Ангстрем", ДЦ "Союз", ФНПЦ "НИИИС им. Ю.Е.Седакова", "НЗПП с ОКБ" и НПК "Технологический центр". Однако на данный момент отсутствуют БМК космического назначения со встроенными в них блоками памяти.

Создание отечественного БК со встроенными блоками ОЗУ космического назначения позволит отказаться от ряда зарубежных ИС, расширить номенклатуру специализированных микросхем, улуч-

\* НПК "Технологический Центр" / SMC "Technological Centre".



шить их динамические и функциональные характеристики.

Реализация модуля ОЗУ в составе БК обеспечит следующие преимущества:

- получение стойкости встроенного ОЗУ, сопоставимой со стойкостью БК;
- сокращение потребляемой мощности конечного устройства и увеличение системного быстродействия за счет уменьшения длины и количества межсоединений;
- уменьшение габаритов аппаратуры за счет снижения количества используемых микросхем и уменьшения размеров печатных плат [5].

В НПК "Технологический центр" разработаны серии БК 5521 и 5529 со следующими характеристиками: напряжение питания  $3\text{ В} \pm 10\%$  или  $3,3\text{ В} \pm 10\%$ , расчетное время задержки на вентиль 110 пс, тактовая частота D-триггера в счетном режиме 500 МГц [4, 5, 9]. Серия 5521 изготавливается по радиационно-стойкой КМОП-технологии с нормами 0,18 мкм на объемном кремнии. Серия 5529 изготавливается по радиационно-стойкой КМОП-технологии с нормами 0,25 мкм на структурах "кремний на изоляторе". Отличительной особенностью указанных серий является возможность реализации в них блоков однопортовых и двухпортовых ОЗУ.

Популярным решением в схемах ОЗУ является классическая 6-транзисторная ячейка с транзисторами связи n-типа (6Тп), увеличение площади которой в 1,2–1,5 раза позволяет существенно повысить стойкость ко всем радиационным факторам [6].

Повышение сбоеустойчивости 6-транзисторного элемента памяти может быть выполнено схемотехническими методами. Так Л.Рокетт, Д.Уайзман и Дж.Вембрукс предложили увеличивать постоянную времени в цепи обратной связи триггера. Между инверторами в составе ячейки памяти добавляли резисторы, конденсаторы, позже диоды и транзисторы [7]. Основными недостатками таких ячеек являются температурная чувствительность, уязвимость при низких температурах и необходимость дополнительной маски для формирования резистора.

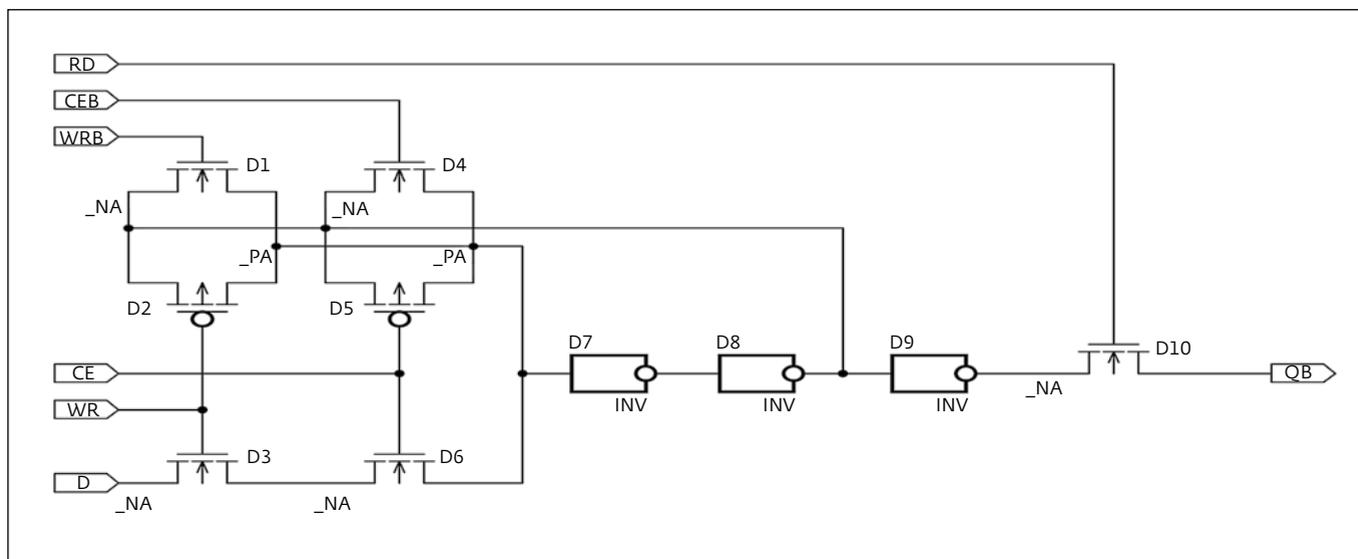
Д.Бессо, Р.Велазко и другие исследователи использовали схемы обратной связи для восстановления исходных данных. Основные проблемы при этом – размещение дополнительных транзисторов обратной связи и появление новых чувствительных узлов [8]. Преимуществами этого метода являются температурный запас, запас по напряжению и хорошая устойчивость к одиночным сбоям, вызванным тяжелыми заряженными частицами.

**A**ctive development of space industry requires the creation of qualitatively new electronic component base (ECB), which would satisfy the requirements of increased resistance to the main destabilizing factors of outer space. These factors include ionizing radiation, wide temperature range from  $-60$  to  $125^\circ\text{C}$ , the influence of heavy charged particles.

For creation onboard equipment of space systems the wide range of electronic components for general and special purposes (over 700 types) is used. One of the most demanded and the most vulnerable to the space factors components is RAM. Radiation resistant RAM is made in the form of custom integrated circuits (IC), hard IP cores in systems on chip (SOC) or on the basis of programmable logic devices (PLD). In up-to-date SOCs the memory size can exceed 50% of the area

of the chip [1–3]. At the same time, it is optimum to create specialized ICs in case of small production volumes on the base of gate arrays (GA). The inclusion of the RAM into the GA can significantly expand the scope of their application, to improve the functional and operational characteristics of the equipment. However, GA with integrated (built-in) RAM blocks, which are allowed for use in space vehicles, has not yet been created. Currently only one series of the domestic GA with the ability to create memory modules is available in Russia, it is GA of 1592 family with a capacity of 10, 30, 60 and 100 thousand gates. Maximum RAM capacity is  $256 \times 16$  or  $12827 \times 32$  bits. This GA family is resistant to mechanical and climatic influences, but the resistance to special factors is not specified.

Integration of memory circuits in GA was investigated from 1980-ies in the studies of the authors of [1–3]. At that time the technological level didn't allow to create GA with sufficient memory size. Among modern Russian studies on this subject, it should be noted the proposal of S.F. Tyurin to use in the GA a memory cell with quadrupling of QSRAM transistors [2]. It is assumed that quadrupling of individual transistors of the logic elements will ensure a win in the survival probability compared to redundancy. In Russia, GA are manufactured by Angstrom, Design Center "Soyuz", Sedakov Research Institute of measurement systems, Novosibirsk Factory and Design Bureau of Semiconductor Devices and SMC "Technological Centre". However at the moment there are no GA for space industry the built-in memory blocks.



Однопортовая ячейка ОЗУ  
Single-port RAM cell

Дж. Уитакер, М.Н. Лю и Дж. Канарис применили дублирование критических узлов (например, DICE-ячейки). Основные преимущества этого метода – запас по температуре и по напряжению, устойчивость к воздействию тяжелых заряженных частиц и высокая производительность. Надежную защиту от сбоя в случае однократной бомбардировки космическими частицами узла схемы обеспечивают временное разнесение тактовых сигналов и тройное модульное резервирование внутри ячейки памяти. В наиболее популярных DICE-

ячейках памяти и ячейках с тройным резервированием изменение состояния возможно только при множественных попаданиях тяжелых заряженных частиц. Также им свойственны наличие состязательности сигналов в процессе записи / чтения, необходимость предзаряда шин и вероятность потери данных при чтении.

Сбоестойчивость элемента памяти может быть повышена и конструктивно-топологическими методами, направленными на уменьшение вероятности появления тиристорного эффекта в КМОП-

The creation of the domestic GA with built-in RAM blocks for space applications will allow to refuse some foreign IC, to expand the range of specialized chips and to improve their dynamic and functional characteristics.

Integration of the RAM into the GA will provide the following benefits:

- resistance of built-in RAM will be comparable to the resistance of GA;
- reduction of power consumption of the target device and increase the system performance by reducing the length and number of interconnections;
- reduction of overall dimensions of equipment by lowering the

number of chips used and reduction of the size of printed circuit boards [5].

SMC "Technological Centre" developed 5521 and 5529 families of GA with the following characteristics: power supply voltage is  $3\text{ V} \pm 10\%$  or  $3.3\text{ V} \pm 10\%$ ; calculated delay time for the gate is 110 ps; clock frequency of D-type flip flop in the counting mode is 500 MHz [4, 5, 9]. 5521 family is manufactured using a radiation-resistant  $0.18\text{ }\mu\text{m}$  CMOS technology on bulk silicon. 5529 family is manufactured using radiation-resistant  $0.25\text{ }\mu\text{m}$  CMOS technology on silicon-on-insulator structures. A distinctive feature of these families is the

possibility to obtain single-port and dual-port RAM blocks.

Common solution in RAM design is the classic 6-transistor cell with transistors of n-type (6Tn), increase the area of which by 1.2-1.5 times allows to increase the resistance to all the radiation factors [6].

Increasing failure tolerance of the 6-transistor memory element can be performed by means of schematic design. For example, Rockett L., Wiseman D. and Vembrux J. proposed to increase the time constant in the feedback circuit of the trigger. The resistors, capacitors, and later diodes and transistors were added between inverters in the memory

структурах и снижение влияния дозовых эффектов. Г.Анелли и У.Снойес в своих работах представляют методы снижения влияния накопленной дозы за счет использования транзисторов с кольцевым затвором. В работах Т.Аоки показана возможность подавления тиристорного эффекта благодаря использованию контактов к подложке и п-карману, а также охранных колец.

В основе ячейки ОЗУ (патент РФ на изобретение №2507611), применяемой в БК серий 5521 и 5529, лежит триггер, построенный на двух инверторах, со схемой подтверждения записанных данных (см. рисунок). В процессе записи информации в выбранную ячейку отсутствует состязательность между новыми и старыми данными, поскольку схема подтверждения разрывает обратную связь в триггере.

При записи в ОЗУ с применением ячеек памяти на основе 6-транзисторного ядра и DICE-ячеек на каждую записываемую ячейку приходится большое количество побочно считываемых, поскольку выбирается вся строка, за счет чего снижается сбоеустойчивость. В описываемой ячейке такая ситуация исключается, так как для записи данных используется двухкоординатная выборка по строке (сигнал WR / WRB) и столбцу (сигнал CE / CEB). Двухкоординатная выборка увеличивает размеры ячейки памяти на три транзистора, но существенно повышает ее сбоеустойчивость.

Запоминающий элемент предложенной ячейки памяти изолирован от влияния битовых линий благодаря использованию дополнительного выходного инвертора. Необходимость дополнительного

порта при разделении разрядных шин на чтение и запись увеличивает площадь ячейки, однако позволяет полностью исключить влияние операции чтения на состояние запоминающего элемента ячейки. Ячейки ОЗУ интегрированы в САПР "Ковчег" и введены в состав унифицированной библиотеки.

На основе предложенной однопортовой ячейки были разработаны, изготовлены и исследованы микросхемы ОЗУ различной емкости. Например, блок ОЗУ емкостью 4 К × 8 бит, изготовленный по технологии КНИ 0,25 мкм, имеет следующие показатели стойкости:

- пороговые ЛПЭ ОРЭ отказов  $L_{\text{ТН. ТЭ(КО)}}$  не менее 64 МэВ·см<sup>2</sup>/мг;
- сечение ОРЭ отказов при ЛПЭ 64 МэВ·см<sup>2</sup>/мг не более  $4,8 \cdot 10^{-8}$  см<sup>2</sup>;
- сечение насыщения ОРЭ отказов  $\sigma_{\text{SI,ТЭ(КО)}}$  не более 0,7 см<sup>2</sup>;
- пороговые ЛПЭ ОРЭ сбоек:  $L_{\text{ТН.ОС}}$  не менее 64 МэВ·см<sup>2</sup>/мг;
- сечение ОРЭ сбоек при ЛПЭ 64 МэВ·см<sup>2</sup>/мг не более  $2,3 \cdot 10^{-12}$  см<sup>2</sup>/бит.

На основе двухпортовой ячейки ОЗУ на БК серий 5521 и 5529 разработаны микросхемы 5521TP054A-577 и 5529TP054A-677, представляющие собой отказоустойчивое синхронное/асинхронное двухпортовое ОЗУ емкостью 32 Кбит с организацией 4 К слов по 8 бит с функцией исправления ошибок данных по алгоритму Хэмминга. В случае отключения функции исправления ошибок данных емкость ОЗУ увеличивается до 64 Кбит с организацией 8 К слов по 8 бит. Микросхемы имеют флаги ошибок, счетчики ошибок

cell [7]. The main disadvantages of these cells are temperature sensitivity, vulnerability at low temperatures and the need for additional mask for forming the resistor.

Bessot D., Velazco R. and other researchers have used feedback circuits to restore the initial data. The main problems here are the placement of additional feedback transistors and the emergence of new sensitive nodes [8]. The advantages of this method are the temperature margin, the voltage margin and good resistance to single failures caused by heavy charged particles.

Whitaker J., Liu M.N. and Canaris J. have applied the duplication of critical

units (e.g., DICE cells). The main advantages of this method are the temperature and voltage margins, resistance to influence of heavy charged particles and high performance. Reliable protection of the node from a failure due to the single cosmic particles bombardment is provided by time separation of clock signals and triple modular redundancy in the memory cell. In the most popular DICE memory cells and triple redundant cells the change of a state is possible only at multiple hits of heavy charged particles. Also they are characterized by the signal competitiveness during read/write, need of a precharge of buses and probability of data loss during reading.

Failure tolerance of the memory element can be enhanced using topological design to reduce the probability of latch-up in CMOS structures and the influence of dose effects. Anelli G. and Snoyes W. in their papers present methods to reduce the influence of accumulated dose through the use of annular-gate transistors. Studies by T.Aoki show a possibility of latch-up suppression through the use of contacts to the substrate and the n-pockets, as well as guard rings.

A base for the RAM cell (Russian patent for invention No. 2507611) used in 5521 and 5529 GA families is the trigger that is built on two inverters



Показатели стойкости к воздействию специальных факторов по ГОСТ РВ 20.39.414.2

Indicators of resistance to special factors according to GOST RV 20.39.414.2

Производитель, техпроцесс Manufacturer, process technology	Тип специального фактора по ГОСТ РВ 20.39.414.2 Type of special factor according to GOST RV 20.39.414.2							
	7.И <sub>1</sub>	7.И <sub>6</sub>	7.И <sub>7</sub>	7.И <sub>8</sub>	7.И <sub>12</sub>	7.И <sub>13</sub>	7.К <sub>1</sub>	7.К <sub>4</sub>
СФ-блок ОЗУ 4 Кх8 для БК серии 5529 Hard IP core of RAM 4Kx8 for 5529 GA family	4 Ус	6 Ус	3,6×4 Ус	2×2 Ус	1,5×2 Р	2×2 Р	0,9×2 К	0,9×1 К
1645PУ1У ПМК "Миландр", КМОП 0,35 мкм 1645PУ1У Milandr, CMOS 0.35 μm	1 Ус	2 Ус	2 Ус	–	–	–	330×1 К	0,2×1 К
1645PУ2Т ПМК "Миландр", КНИ 1 мкм 1645PУ2Т Milandr, SOI 1 μm	5 Ус	5 Ус	4 Ус	–	–	–	5×1 К	0,2×1 К
1657PУ1У НПЦ "ЭЛВИС", КМОП 0,25 мкм 1657PУ1У ELVEES, CMOS 0.25 μm	2×4 Ус	2×4 Ус	2×4 Ус	0,0014×4 Ус	–	–	–	–

и супервизоры питания для каждого порта. Для повышения сбоеустойчивости микросхем 5521ТР054А-577 и 5529ТР054А-677 в блоке управления применяются троированные триггеры со схемой мажорирования, время выборки с включенной функцией исправления ошибок данных не превышает 25 нс.

В таблице представлены показатели стойкости к воздействию специальных факторов по ГОСТ РВ 20.39.414.2 микросхем ОЗУ отечественного производства.

Таким образом, ячейка ОЗУ, разработанная в НПЦ "Технологический центр", и СФ-блоки на ее основе не уступают по устойчивости к воздействию специальных факторов микросхемам ОЗУ других отечественных производителей. Для повышения сбоеустойчивости блоков ОЗУ на БК серий 5521 и 5529 были применены схемотехнические, топологические и алгоритмические методы. Испытания образцов микросхем серии 5529 подтвердили высокий уровень стойкости ОЗУ к воздействию оди-

with data confirmation (Fig.). During data recording to the selected cell there is no competitiveness between new and old data, because the confirmation circuit breaks feedback in the trigger.

If for record in the RAM memory cells on the basis of a 6-transistor core and DICE cells are used, then there is a large number of side reads for each recorded cell, because the whole row is selected, and thereby failure tolerance decreases. In the described cell such situation is excluded, because for data recording two-coordinate selection of row (WR/WRB signal) and column (CE/CEB signal) is used.

Two-coordinate selection increases the size of the memory cell by three transistors, but significantly increases its fault tolerance. The storage element of the proposed memory cell is isolated from the influence of bit lines by using an additional output inverter. The need for additional port to separate bit wires for read and write increases the area of the cell, but allows to completely eliminate the effect of read operations on the state of the storage element of the cell. RAM cells are integrated in Kovcheg CAD and included into the unified libraries.

Based on the proposed single-port cells the RAM chips of different

capacities have been designed, manufactured and tested. For example, the RAM module with capacity of 4 K×8 bit, which is manufactured by 0.25 μm SOI technology, has the following resistance characteristics:

- threshold LET SEE for failures  $L_{TH, TЭ(КО)}$  is not less than  $64 \text{ MeV} \cdot \text{cm}^2/\text{mg}$ ;
- cross-section of SEE failures at LET of  $64 \text{ MeV} \cdot \text{cm}^2/\text{mg}$  is not more than  $4.8 \cdot 10^{-8} \text{ cm}^2$ ;
- saturation cross-section of SEE failures  $\sigma_{SI, TЭ(КО)}$  is not more than  $0.7 \text{ cm}^2$ ;
- threshold LET SEE for errors  $L_{TH, OC}$  is not less than  $64 \text{ MeV} \cdot \text{cm}^2/\text{mg}$ ;

ночных тяжелых заряженных частиц: сбоя и отказов не обнаружено до уровня  $64 \text{ МэВ} \cdot \text{см}^2/\text{мг}$ . Использование отказосбоеустойчивых блоков ОЗУ в совокупности с применением троированных триггеров позволяет на БК серий 5521 и 5529 реализовать специализированные микросхемы сложностью более 1 млн. условных вентилях, устойчивых к факторам космического пространства [9].

*Статья подготовлена при финансовой поддержке Минобрнауки России. Уникальный идентификатор ПНИ RMEFI57814X0061.*

### ЛИТЕРАТУРА

1. Miyahara N., Ishikawa K., Hamaguchi S., Horiguchi S., Aoki M. A composite CMOS gate arrays with 4K RAM and 128K ROM // IEEE Journal of Solid - State Circuits. Vol. SC-21, No. 2. April 1986. P. 228 - 233.
2. Takahashi T., Kawashima M., Fujita M., Kobayashi I., Arai K., Okabe T. A 1.4M-Transistor CMOS Gate Array with 4ns RAM // IEEE International SolidState Circuits Conference Digest of Technical Papers. 1989. P. 178-179.
3. Kuroda T., Fujita T., Nagamatu T. et al. A High-speed Low-Power  $0.3 \mu\text{m}$  CMOS Gate Array with Variable Threshold Voltage (VT) Scheme // IEEE 1996 Custom Integrated Circuits Conference. 1996. P. 53-56.
4. Тюрин С.Ф. Отказоустойчивая статическая оперативная память на основе ячеек БМК // Вестник пермского университета. Математика. Механика. Информатика. 2016. Вып. 1(132). С. 34-39.
5. Гаврилов С.В., Денисов А.Н., Коняхин В.В., Малашевич Н.И., Федоров Р.А. Семейство серии базовых матричных кристаллов // Известия ВУЗов. ЭЛЕКТРОНИКА. 2015. № 5(101). С. 497-504.
6. Герасимов Ю.М., Григорьев Н.Г., Гусев В.В., Кобыляцкий А.В., Петричкович Я.Я. Радиационно-стойкие КМОП СБИС ОЗУ по технологии объемного кремния // Проблемы разработки перспективных микро- и нанoeлектронных систем (МЭС). 2014. № 3. С. 171-176.
7. Быстрицкий А., Подъяпольский С., Телец В., Цыбин С. ПЛИС для космических применений. Архитектурные и схемотехнические особенности // ЭЛЕКТРОНИКА: Наука, Технология, Бизнес. 2005. № 6. С. 44-48.
8. Коняхин В.В., Денисов А.Н., Федоров Р.А., Вильсон А.Л., Бражников С.С., Коновалов В.С., Малашевич Н.И., Росляков А.С. Микросхемы для аппаратуры космического назначения : Практическое пособие / Под общ. ред. А.Н. Саурова. - М.: ТЕХНОСФЕРА, 2016. 388 с.
9. Malashevich N., Makarceva M., Fedorov R. Radiation-Hardened Gate Array with Embedded SRAM // Radiation and Its Effects on Components and Systems (RADECS), 2015 15th European Conference on Year: 2015. P. 1-4, DOI: 10.1109/RADECS.2015.7365656. IEEE Conference Publications.

- cross-section of SEE errors at LET of  $64 \text{ MeV} \cdot \text{cm}^2/\text{mg}$  is not more than  $2.3 \cdot 10^{-12} \text{ cm}^2/\text{bit}$ .

On the basis of dual-port RAM cell on 5521 and 5529 GA families the 5521TP054A-577 and 5529TP054A-677 chips are developed, which are a fault-tolerant synchronous/asynchronous dual port RAM with a capacity of 32 kbit (4 K words of 8 bits each) and error correction according using Hamming algorithm. If the error correction is disabled, the RAM capacity increases to 64 kbit (8 K words of 8 bits each). The chips have the error flags, error counters and power supply supervisors for each port. To improve the failure tolerance of 5521TP054A-577

and 5529TP054A-677 chips, the triggers with triple modular redundancy are used in the control unit, and the access time with enabled error correction does not exceed 25 ns.

The table presents indicators of resistance to special factors according to GOST RV 20.39.414.2 for RAM of domestic production.

Thus, the RAM cell, which is designed in SMC "Technological Centre", and hard IP cores based on it are not inferior in terms of special resistance to the RAM modules of other domestic producers. To improve the failure tolerance of the RAM blocks on 5521 and 5529 GA families the schematic design, topological

and algorithmic methods have been applied. Tests of samples of 5529 chips confirmed the high level of resistance of RAM to the effects of single heavy charged particles, and failures were not discovered until level of  $64 \text{ MeV} \cdot \text{cm}^2/\text{mg}$ . Use of fault-tolerant RAM blocks in conjunction with the use of tripled triggers allows to create specialized chips on 5521 5529 GA families with complexity more than 1 million conventional gates, which are resistant to space conditions [9]. ■

*This paper was created with the financial support of the Ministry of Education and Science of the Russian Federation. Unique identifier RMEFI57814X0061.*