

РАЗРАБОТКА МЕТОДИКИ ИНТЕГРАЦИИ ОЗУ В БАЗОВЫХ МАТРИЧНЫХ КРИСТАЛЛАХ КОСМИЧЕСКОГО НАЗНАЧЕНИЯ

Показана необходимость создания отечественных базовых матричных кристаллов (БМК) космического назначения с интегрированными блоками оперативного запоминающего устройства (ОЗУ). Перечислены преимущества использования микросхем указанных типов по сравнению с применением зарубежных ОЗУ, образующих на плате переходы БМК — ПЛИС/ASIC. Предложена методика интеграции блоков ОЗУ в структуру БМК. Рассмотрены основные ограничения, накладываемые конструкцией поля БМК на процесс разработки и интеграции блока ОЗУ.

Ключевые слова: БМК, ОЗУ, интеграция в конструкцию БМК

В бортовой аппаратуре космических аппаратов применяются интегральные схемы (ИС) разной номенклатуры. При этом вследствие специфичности требований к ИС космического применения и небольшого тиража наиболее целесообразно использование базовых матричных кристаллов (БМК). Важным ограничением области применения БМК с повышенными требованиями по стойкости и надежности является отсутствие внутренних блоков статической памяти.

Важным ограничением области применения БМК с повышенными требованиями по стойкости и надежности является отсутствие внутренних блоков статической памяти, удовлетворяющих указанным выше требованиям. Зарубежные БМК с встроенными блоками оперативного запоминающего устройства (ОЗУ) известны с 1980-х гг. [8–10]. Однако в России возможность интеграции ОЗУ в состав БМК возникла с появлением микроэлектронных производств с технологическим уровнем 0,25 мкм и менее.

В этих условиях отечественный БМК с интегрированными блоками ОЗУ позволит отказаться от ряда зарубежных ИС, которые не всегда могут удовлетворять требованиям отечественных стандартов. Это позволит избежать перехода БМК — ПЛИС/ASIC. За счет отсутствия перехода между микросхемами разного типа следует ожидать повышение надежности конечного изделия, улучшения динамических характеристик, снижения стоимости изделия и сроков изготовления, экономии места на плате.

В НПК "Технологический центр" разрабатывается серия БМК 5529, включающая в свой состав область для реализации оперативного запоминающего устройства и блок ОЗУ для интеграции в конструкцию БМК. В состав новой серии входят кристаллы емкостью 100 000, 200 000, 500 000 и 1 000 000 условных вентилей, выполненных по технологии КМОП на структурах "кремний-на-изоляторе" (КНИ) с технологическими нормами 0,25 мкм [1].

Разрабатываемые БМК должны содержать блоки ОЗУ и постоянное запоминающее устройство (ПЗУ), конструкция которых должна быть совместима с конструкцией поля БМК. Интеграция блока ОЗУ в структуру БМК требует соблюдения следующих условий:

- использование специальных САПР, предназначенных для работы с БМК;
- проектирование модуля памяти на основе библиотеки цифровых элементов БМК;
- учет особенностей конструкции поля БМК, которые накладывают ограничения на используемые компо-

ненты (запрет на использование/ограниченные номиналы резисторов и конденсаторов);

- для оптимального использования площади кристалла топологический размер элементарной ячейки памяти должен быть кратен топологическому размеру ячейки поля БМК;
- фиксированный топологический размер базовой ячейки поля БМК накладывает ограничение на размеры транзисторов, входящих в состав элементарной ячейки памяти;
- топология ячейки ОЗУ должна быть выполнена с учетом фиксированного расположения на кристалле шин земли и питания;
- конструкция, расположение и топология структурных блоков модуля ОЗУ должны быть выполнены с учетом особенностей прокладки трасс межсоединений и шин питания БМК;
- размер поля БМК накладывает ограничение на габаритные размеры блока ОЗУ.

Встраиваемый в БМК космического назначения модуль ОЗУ должен соответствовать следующим основным требованиям по надежности:

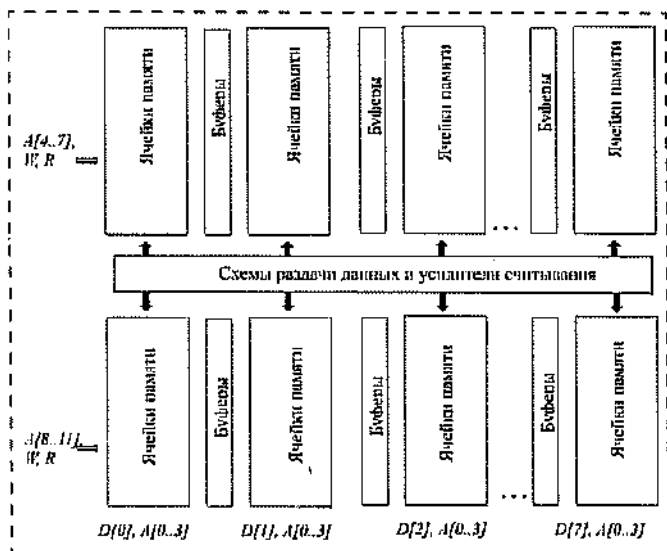
- диапазон рабочих температур от -60 до $+120$ °С;
- стойкость к влиянию накопленной дозы радиации не менее 100 крад;
- устойчивость к одиночным сбоям, вызванным воздействием отдельных ядерных частиц.

Интеграция блока ОЗУ в БМК включает последовательное выполнение следующих задач (см. рисунок):

- разработка пригодной для применения в БМК ячейки памяти;
- разработка усилителей записи и считывания;
- определение объема и организации базового блока ОЗУ с учетом возможности построения на его основе ОЗУ различной информационной емкости;
- разработка схемы блока ОЗУ на основе библиотеки цифровых элементов БМК и разработанных ячеек памяти;
- разработка топологии блока ОЗУ;
- определение оптимального расположения блока ОЗУ на поле БМК;

— мультиплицирование базового блока ОЗУ в целях получения модуля памяти желаемого объема.

При проектировании ячейки памяти необходимо решить задачу достижения максимального быстродействия в условиях ограниченной площади, поскольку топологи-



Пример организации матрицы ячеек для ОЗУ 4К×8: A[0..11] — адресная шина, W — команды записи, R — команда чтения, D[0..7] — шина данных

ческий размер ячейки ОЗУ должен быть кратен базовой ячейке БМК. Задача решается в несколько этапов:

- схемотехническое проектирование с учетом особенностей БМК;
- моделирование;
- топологическое проектирование с учетом особенностей базовой ячейки БМК (расположение шин питания, кратность геометрических размеров ячейки памяти и базовой ячейки поля БМК);
- экстракция паразитных элементов;
- моделирование с учетом результатов экстракции;
- изменение схемотехники с учетом ограничений топологии;
- изменение топологии.

При разработке сопутствующих ячейке памяти блоков усилителя записи и считывания последовательно выполняются те же процедуры. Должны учитываться требования по увеличению быстродействия, минимизации площади и тока потребления в режимах хранения, записи и считывания. Электрические схемы данных блоков, как и схема ячейки памяти, должны быть выполнены на основе библиотеки БМК и не должны содержать аналоговых компонентов. Топологические схемы должны быть совместимы с конструкцией БМК, их размер должен быть кратен размеру базовой ячейки поля.

Организация массива ячеек памяти должна быть направлена на повышение надежности ОЗУ в случае попадания отдельной ядерной частицы (ОЯЧ). Соотношение между емкостями нагрузки на разрядных шинах и шинах управляющих сигналов должно удовлетворять требованиям минимизации потребляемой мощности и увеличения быстродействия. Согласно приведенным в работе [2] данным требованию минимизации потребляемой мощности отвечает матрица ячеек памяти, удовлетворяющая соотношениям

$$N_{\text{ст}} \leq N_M, \quad N_{\text{слш}} = 2^{A-N_M},$$

где $A = M + N$ — разрядность адресной шины, M — разрядность адреса строк накопителя; N — разрядность ад-

реса столбцов; $N_{\text{слш}}$ — число строк; $N_{\text{ст}}$ — число столбцов; N_M — верхняя граница диапазона числа строк накопителя, в котором $C_{\text{слш}} \ll C_{\text{шд}}$.

Для соотношения $C_{\text{слш0}}/C_{\text{шд0}} = 2$, где $C_{\text{слш0}}$ — емкость словарной шины одной ячейки памяти, $C_{\text{шд0}}$ — емкость шин данных одной ячейки памяти (6-транзисторная ячейка памяти; индекс 0 означает емкость для одной ячейки) $N_M = A-5$. Для ячейки, разработанной в НПК "Технологический центр" [3, 4], справедливо $C_{\text{слш0}}/C_{\text{шд0}} = 1/2,5$ и $N_M = A-3$.

Разработка схемы ОЗУ выполняется на основе библиотеки цифровых элементов БМК с учетом особенностей применяемой ячейки памяти. Длительность фронта и уровни управляющих сигналов должны быть достаточными для обеспечения минимального времени обращения к массиву ячеек памяти. Должна быть решена задача быстрой перезарядки шин с большой нагрузочной емкостью при условии ограниченной нагрузочной способности элементов библиотеки БМК. Следствием этого являются разбиение массива ячеек памяти буферными элементами, предназначенными для усиления сигнала на сквозных шинах, и увеличение площади схемы ОЗУ на кристалле. Число буферных элементов и варианты разбиения могут быть определены исходя из особенностей библиотеки БМК, а также путем моделирования. На рисунке приведен пример организации матрицы ячеек памяти для ОЗУ 4К×8.

Для исключения ошибок в нескольких битах одного слова данных в случае попадания ОЯЧ в матрице отдельно сгруппированы все нулевые биты слов по всем адресам, отдельно первые биты, вторые и т. д. В худшем случае при таком расположении данных ОЯЧ может внести лишь одиночные ошибки в отдельные слова, и данные могут быть восстановлены с помощью средств кодирования. Перемешивание разных разрядов по разным адресам также может минимизировать число ошибок в пределах одного слова данных, однако усложнит топологию.

Матрица ячеек памяти разбита пополам схемами раздачи данных и усилителями чтения. Таким образом уменьшается длина разрядных шин, их нагрузочная емкость. Столбцы ячеек памяти чередуются с буферными элементами, что обусловлено ограниченной нагрузочной способностью элементов библиотеки БМК. Применение таких вставок ведет к ухудшению быстродействия схемы ОЗУ из-за увеличения времени обращения к данным по мере роста номера разряда в слове. В то же время пространственное разнесение соседних разрядов слова данных за счет разбиения матрицы столбцами буферов способствует минимизации ущерба от ОЯЧ. Такое решение может быть оправдано космическим назначением БМК, поскольку в нем при всей важности быстродействия приоритетом является надежность конечного устройства.

Топология блока ОЗУ должна быть выполнена с учетом ограничений, накладываемых конструкцией поля БМК и его габаритными размерами. Необходимо учитывать расположение шин земли и питания, а также трассировочных дорожек.

Расположение блока ОЗУ на поле БМК должно быть выполнено с учетом ограничений, накладываемых размером кристалла. Оно должно обеспечивать возможность мультиплицирования блоков памяти, применения встроенной схемы криптографической защиты данных,

а также предоставлять равномерный доступ к памяти прочих схем, расположенных на кристалле.

Максимальный размер блока ОЗУ должен удовлетворять следующему условию:

$$S_{\text{ОЗУ}} \leq S_{\text{БМК}}$$

где $S_{\text{ОЗУ}}$ — площадь, занимаемая блоком ОЗУ; $S_{\text{БМК}}$ — площадь доступного для размещения поля БМК.

Чаще всего в состав схем ОЗУ входят дешифраторы адреса, блок управления режимами работы ОЗУ, блок ввода/вывода данных и матрица ячеек памяти, которая может включать усилители считывания и записи, а также буферные элементы на шинах большой протяженности. Поскольку общее число базовых ячеек в составе дешифраторов, блока ввода/вывода и блока управления значительно меньше числа базовых ячеек в матрице памяти, максимальный размер блока ОЗУ определяется формулой

$$S_{\text{ОЗУ}} = N_{\text{ОЗУ}} S_{\text{БЯ}} \approx \\ \approx S_{\text{БЯ}} (KW R_{\text{чп}} + R_{\text{зп}} N_{\text{ст}} + R_{\text{чт}} N_{\text{ст}} + N_{\text{буф}}),$$

где $N_{\text{ОЗУ}}$ — общее число базовых ячеек в схеме ОЗУ; $S_{\text{БЯ}}$ — площадь базовой ячейки поля; K — разрядность слов; W — число слов; $N_{\text{буф}}$ — число базовых ячеек в составе буферных элементов; $R_{\text{чп}} = S_{\text{чп}}/S_{\text{БЯ}}$ — отношение площадей ячейки памяти и базовой ячейки; $R_{\text{зп}} = S_{\text{зп}}/S_{\text{БЯ}}$ — отношение площадей усилителя за-

писи и базовой ячейки; $R_{\text{чт}} = S_{\text{чт}}/S_{\text{БЯ}}$ — отношение площадей усилителя чтения и базовой ячейки.

Аттестованный БМК космического назначения с встроенным блоком ОЗУ позволит реализовать широкий спектр специализированных микросхем при минимизации затрат на проведение испытаний и освоение новых типов микросхем.

Список литературы

1. Малашев Н. И. Реализация ячейки ОЗУ в составе КМОП БМК // Известия высших учебных заведений. Электроника. 2013. № 2 (100). С. 89–90.
2. Гармаш А. А. Маломощные цифровые сложнофункциональные блоки КМОП СБИС: дисс. ... канд. техн. наук: 05.13.05. М., 2010. 148 с.
3. Федоров Р. А., Малашев Н. И. Ячейка ОЗУ, устойчивая к воздействию внешних факторов // Оборонный комплекс — научно-техническому прогрессу России. 2011. № 4. С. 29–33.
4. Ячейка памяти статического оперативного запоминающего устройства. Пат. 2507611 Рос. Федерация: МПК G11C 11/40 (2006.01) / Р. А. Федоров, Н. И. Малашев; патентообладатель — федеральное государственное бюджетное учреждение "Научно-производственный комплекс "Технологический центр" МИЭТ". № 2012140218/08; заявл. 20.09.2012; опубл. 20.02.2014, Бюл. № 5. 8 с.

N. I. Malashevich, Junior Researcher,
Scientific-Manufacturing Complex "Technological Center" MIET

DEVELOPMENT OF METHODS FOR INTEGRATION OF RAM IN THE GATE ARRAY FOR SPACE APPLICATION

The article shows necessity of creating a domestic space purposes the gate array with integrated blocks of random access memory (RAM). It's shown the advantage of using these types of chips compared to the use of foreign RAM. Author proposed a technique of integration RAM block in the gate array structure. The article shows basic constraints imposed by construction of the gate array field on the design and integration of RAM block.

Keywords: gate array, SRAM, memory cell, integration of RAM in the gate array

УДК 681.586.35

Д. В. Гусев, ст. науч. сотр., Н. Л. Данилова, ст. науч. сотр.,
Н. С. Земляничков, мл. науч. сотр., e-mail: N. Zemliannikov@tscn.ru, В. С. Суханов, нач. лаб.,
НПК "Технологический центр" МИЭТ

МНОГОКАНАЛЬНЫЕ ТЕНЗОРЕЗИСТИВНЫЕ ПРЕОБРАЗОВАТЕЛИ ДАВЛЕНИЯ

В основе многих современных средств измерений использованы устройства на основе МЭМС, изготовленные по различным технологиям. В данной работе рассмотрена конструкция многоканального сканера давления для измерения давления на поверхности моделей летательных аппаратов при проведении испытаний в аэродинамической трубе. Предложенное устройство основано на кремниевых тензорезистивных преобразователях давления.

Ключевые слова: тензорезистивный преобразователь давления, многоканальный сканер давления

Развитие робототехники, медицины и авиации диктует все новые требования к преобразователям давления и их применению. Многоканальные преобразователи давления активно используют при исследовании аэроди-

намических моделей летательных аппаратов и моделей крупных сооружений.

К измерительной аппаратуре при проведении аэродинамических исследований предъявляется ряд требова-