

Разработка методики анализа дефектности подзатворного диэлектрика на тестовых структурах в составе пластин

А.С. Сивченко

ФГУ НПК “Технологический центр”, asivchenko@yandex.ru

Аннотация — В статье представлена методика определения дефектности подзатворного диэлектрика в МОП–транзисторах. Основой предложенной методики являются специально разработанные тестовые структуры, алгоритм измерения тестовых структур для определения и контроля дефектности, а также автоматизированная программа измерений, позволяющая проводить контроль дефектности в автоматическом режиме.

Ключевые слова — дефектность подзатворного диэлектрика, МОП–транзистор, надёжность, контроль параметров технологического процесса.

I. ВВЕДЕНИЕ

В настоящее время основной тенденцией увеличения производительности ИС является непрерывное уменьшение топологических размеров. Однако вместе с этим, вопросы надёжности выпускаемых схем становятся всё более актуальными, так как уменьшение размеров приводит к проявлению новых физических механизмов отказа. Основными типами ИС, выпускающимися сегодня, являются КМОП – схемы, главным элементом которых являются МОП–транзисторы. Ключевым элементом, определяющим стабильность характеристик МОП–транзистора, является подзатворный диэлектрик. При масштабировании транзистора толщина подзатворного диэлектрика снижается и вместе с этим растёт совокупный объём факторов, определяющих его дефектность и диэлектрические свойства. Поэтому введение автоматизированного мониторинга для оценки дефектности подзатворного диэлектрика необходимо для улучшения его качества и уменьшения числа отказов ИС, связанных с дефектностью подзатворного диэлектрика.

На ведущих полупроводниковых фабриках мира при производстве глубоко субмикронных СБИС введён непрерывный мониторинг контроля качества технологических процессов с помощью тестирования надёжности на уровне пластины – WLR мониторинг (Wafer Level Reliability Monitoring). На его основе можно определять ключевые параметры, определяющие долгосрочную надёжность ИС [1]–[3].

Усложнение функциональности ИС за счёт масштабирования и, как следствие, обострение

вопросов надёжности, а также высокая стоимость и неспособность выявить проблемы надёжности в традиционных тестах ИС в составе корпуса (PLR, Packing Level Reliability), обусловило применение WLR – тестирования [3].

WLR–тестирование – это статистический инструмент управления технологическими процессами, который собирает данные из результатов измерений для определения параметрически аномальных отклонений процессов от нормальных значений, которые могли бы ухудшить долгосрочную надёжность ИС. Этот тип тестирования выполняется при высоких стрессовых воздействиях на тестовых структурах в составе пластин и измеряет деградацию параметров при стрессовых нагрузках. Применение специальных тестовых структур, ориентированных на один доминирующий механизм физического отказа, позволяет выявить первопричины отказа, а не только факт его обнаружения, чего нельзя добиться при традиционных тестах ИС в составе корпуса. Другим преимуществом WLR–метода является отсутствие затрат на корпусирование структур, так как все измерения проводятся на структурах в составе пластины, ещё не разрезанной на кристаллы.

Применение данного подхода к мониторингу дефектности подзатворного диэлектрика позволит повысить качество диэлектрика за счёт оптимизации технологического процесса его производства, что в конечном итоге уменьшит число отказов, связанных с дефектностью диэлектрика, и увеличит КВГ (коэффициент выхода годных) ИС.

Применение WLR–подхода по контролю дефектности подзатворного диэлектрика основывается на методах времязависимого пробоя диэлектрика TDDB (Time Depend Dielectric Breakdown). Во всех TDDB–методах в процессе тестирования диэлектрик подвергается высокому стрессовому воздействию тока или напряжения, которое в конечном итоге приводит к его пробоя и потере им диэлектрических свойств.

При приложении стрессового воздействия к структуре в подзатворном диэлектрике происходит протекание туннельного тока Фаулера–Нордгейма, под действием которого в диэлектрике происходит генерация дефектов. Такие дефекты называют внутренними. Достигнув критической плотности в

диэлектрике, они приводят к формированию проводящего пути в нём и его пробой, который определяется как резкое падение напряжения в структуре. Наряду с генерированной дефектностью за счёт приложенного поля в диэлектрике могут существовать дефекты, принесённые в него в процессе производства: загрязнения, механические напряжения, вакансии. Такие дефекты называются внешними. При приложении поля к диэлектрику с такими дефектами проводящий путь в нём формируется быстрее, и пробой диэлектрика происходит при более низких значениях напряжения. Плотность внешних дефектов напрямую связана с условиями производства и при производстве высококачественных диэлектриков должна иметь как можно более низкие значения. Плотность внешних и внутренних дефектов можно определить из накопительного распределения заряда, инжестрированного в диэлектрик до момента его пробоя Q_{bd} . Если в качестве стрессового параметра выступает высокое значение тока, то Q_{bd} рассчитывается по следующей формуле:

$$Q_{bd} = \int_{t=0}^{t=t_{end}} Idt, \quad (1)$$

где I – стрессовый ток, действующий на структуру, t_{end} – время, прошедшее с начала тестирования до пробоя.

В качестве основных TDDDB-методов выделяют:

- Воздействие на структуру постоянным напряжением – CVS (Constant Voltage Stress). Применяется для точной оценки времени до наступления пробоя t_{bd} .
- Воздействие на структуру постоянным током – CCS (Constant Current Stress). Применяется для точной оценки заряда пробоя Q_{bd} .
- Воздействие на структуру линейно возрастающим напряжением – RVS (Ramped Voltage Stress). Применяется для точной оценки напряжения пробоя V_{bd} .
- Воздействие на структуру экспоненциально возрастающим током – ERCS (Exponentially Ramped Current Stress). Применяется для точной оценки тока I_{bd} и заряда пробоя Q_{bd} .

Многие полупроводниковые фабрики разрабатывают свои запатентованные методы контроля подзатворного диэлектрика, основанные на собственных разработках и являющиеся, как правило, последовательным сочетанием приведённых выше методов или их модификаций.

II. РАЗРАБОТКА МЕТОДИКИ

С точки зрения контроля качества диэлектрика в серийном производстве ИС, где время измерения и объём выборки измеренных структур имеет решающее значение, целесообразно использовать метод воздействия на структуру экспоненциально возрастающим током или ступенчато нарастающим напряжением. Применение этих методов обусловлено малым временем измерения одной структуры (менее 30 секунд), что позволяет получить большую выборку измеренных структур в кратчайшие сроки. В литературе эти два метода могут упоминаться как ускоренное тестирование надёжности на уровне пластины – FWLR (Fast Wafer Level Reliability) или нулевое время пробоя диэлектрика – TZDB (Time Zero Dielectric Breakdown) [2]. Однако для оценки дефектности диэлектрика целесообразно применять ERCS-метод, так как основным параметром, получаемым в ходе данного теста, является заряд пробоя, который сильнее зависит от дефектности диэлектрика, чем напряжение пробоя, являющиеся основным параметром, получаемым из RVS-теста. Поэтому в качестве основы для разработки собственной методики и автоматизированной программы измерений нами выбран метод по воздействию на структуру экспоненциально возрастающим током – ERCS [4]. Основным преимуществом разрабатываемой методики является более точная оценка дефектности диэлектрика и её производительность, что обеспечивает возможность её внедрения в серийное производство ИС.

На рис. 1 представлена общая блок-схема разработанного алгоритма тестирования.

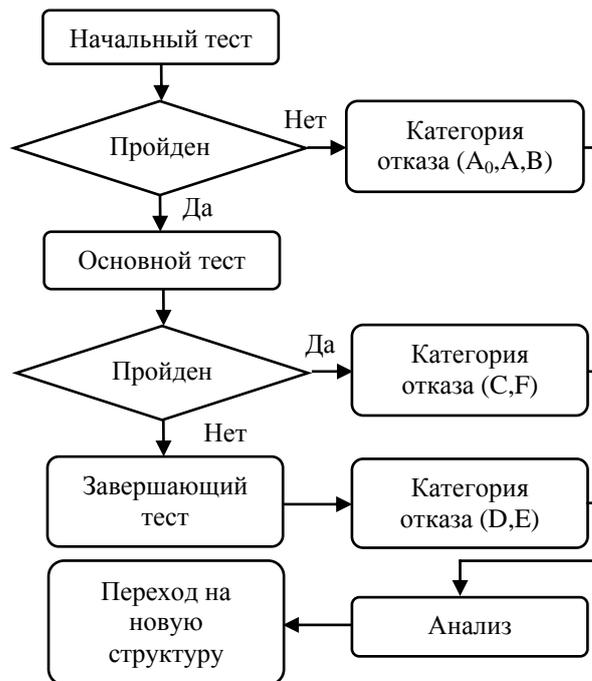


Рис. 1. Блок-схема алгоритма тестирования

Алгоритм состоит из 4 частей: начальный тест, основной тест, завершающий тест и анализ измеренных данных. Во время начального теста происходит предварительная оценка качества тестовой структуры и выявление ранних отказов. В случае успешного прохождения начального теста выполняется основной тест, направленный на экстракцию заряда пробоя Q_{bd} . Завершающий тест проводится, если экстракция заряда пробоя невозможна. Определение категории отказа проводится в конце каждого этапа тестирования и в дальнейшем в фазе анализа происходит расчёт дефектности. Далее подробно рассматривается каждая из частей алгоритма тестирования.

A. Начальный тест

Данный тест состоит из 3 частей и направлен на начальную оценку качества тестовых структур и выявления ранних отказов.

В **первой** части теста проводится измерение и анализ сопротивления структуры. Это позволяет выявить грубые дефекты тестовой структуры, которые не имеют отношения к подзатворному диэлектрику. Например, такими дефектами могут быть закоротки металлических шин тестовой структуры. Если сопротивление находится ниже контрольного значения, структуре присваивается категория отказа типа A₀.

Если сопротивление структуры находится в пределах нормы, то во **второй** части теста происходит подача напряжения V_{dd} и измеряется ток утечки I_{leak} . Данная часть теста применяется для оценки ранних отказов и выявления потенциально ненадёжных структур. Обнаружение высоких токов утечки свидетельствует о наличии проводящих микропутей в диэлектрике, что можно трактовать как потерю диэлектриком своих диэлектрических свойств уже в первые моменты эксплуатации при рабочем напряжении. В этом случае такой отказ классифицируется как отказ типа А.

Если ток утечки находится в пределах нормы, то в **третьей** части теста на структуру подаётся ток I_{test} и в течение определённого времени измеряется напряжение V_{meas} . Если $V_{meas} < V_{dd}$, то структуре присваивается категория отказа типа В.

Если структура выдержала испытание во время начального теста, то есть отказы типа A₀, А и В не были обнаружены, то происходит переход алгоритма тестирования на основной тест.

B. Основной тест

На данном этапе тестирования подаётся ступенчато возрастающий ток и определяется время пробоя, напряжение пробоя и заряд, накопленный диэлектриком до пробоя. Во время данного теста к структуре прикладывается ступенчато возрастающий

ток и на каждой ступеньке тока снимается значение напряжения на затворе V_{mes} . Начальное значение тока устанавливается как $I_{start} = I_{test}$. Значение тока на каждом шаге ступеньке умножается на одно и то же значение F'^n , где n – номер шага измерения, а множитель приращения тока F' определяется как:

$$F' = 10^{\frac{1}{N}},$$

где N – количество значений тока на декаду, обычно выбирается в диапазоне от 10 до 50.

После завершения ступенчатой развёртки по току по зависимости измеренного напряжения от времени, прошедшего с начала теста $V_{mes}(t)$, происходит определение напряжения пробоя диэлектрика V_{bd} . Падение напряжения на 10-15% от измеренного значения на предыдущем шаге означает пробой. Далее по известному значению V_{bd} находится время до момента пробоя диэлектрика t_{bd} и по формуле 1 определяется заряд его пробоя Q_{bd} . Для точной оценки Q_{bd} время шага на каждой ступеньке должно быть постоянным.

Если пробой обнаружен, то происходит определение типа отказа. Для этого на структуру подаётся ток I_{test} и измеряется напряжение V_{meas_post} .

Если $V_{meas_post} < V_{dd}$, то структуре присваивается категория отказа типа С. В противном случае, присваивается категория отказа типа F. Если во время основного теста пробой не обнаружен, происходит переход на завершающий тест.

C. Завершающий тест

Данный тест проводится, если в результате основного теста пробой не обнаружен. Этот тест необходим для определения состояния тестовой структуры после воздействия основного теста. Для этого на структуру подаётся ток I_{test} и измеряется напряжение V_{meas_end} . Если $V_{meas_end} < V_{dd}$, то структуре присваивается отказ типа D, в противном случае присваивается отказ типа E.

D. Анализ данных

После определения типа отказа начинается анализ полученных данных.

Численное значение плотности внешних дефектов можно найти на основе интегральной функции распределения заряда пробоя $F(Q_{bd})$. $F(Q_{bd})$ – это

вероятность того, что пробой произойдёт при достижении значения заряда Q_{bd} .

Для нахождения вида $F(Q_{bd})$ необходимо произвести выборку измерений тестовых структур и на основе измеренных значений заряда пробоя построить их накопительное распределение. При построении накопительного распределения отказы типа A₀, E и F не учитываются. Для анализа внешних и внутренних дефектов при построении накопительного распределения необходимо учитывать отказы типа A, B, C, D.

Вид функции распределения $F(Q_{bd})$ находится графическим методом в предположении, что $F(Q_{bd})$ имеет распределение Вейбулла [5]. По оси ординат накопительного распределения откладывается $\text{Ln}(-\text{Ln}(1-F(Q_{bd})))$, а по оси абсцисс – $\text{Ln}(Q_{bd})$ (рис. 2). Q_{bd} – карман (интервал) значений заряда пробоя Q_{bd} , $F(Q_{bd})$ – количество элементов, попавших в некоторый карман по заряду пробоя (накопленная кумулятивная частота).

Функция распределения заряда пробоя будет носить бимодальный характер, то есть являться суперпозицией двух функций распределения, одна из которых связана с наличием внутренних дефектов, а другая с наличием внешних дефектов:

$$F(Q_{bd})_{total} = F(Q_{bd})_{external} + F(Q_{bd})_{internal},$$

где $F(Q_{bd})_{total}$ – результирующая функция распределения, $F(Q_{bd})_{external}$ – функция распределения, обусловленная влиянием внешних дефектов, в литературе называется аномальным распределением, $F(Q_{bd})_{internal}$ – функция распределения, обусловленная влиянием внутренних дефектов, в литературе обозначается как основное распределение [6]–[7].

Из аппроксимации накопительного распределения двумя прямыми можно найти точку разделения двух распределений $F(Q_{bd})_{external}$ и $F(Q_{bd})_{internal}$ – коэффициент отказа $F_{FailurExternal}$. Аппроксимация проводится по методу наименьших квадратов. Точка $F_{FailurExternal}$, для краткости обозначим её как F , даёт процент дефектных структур по подзатворному диэлектрику, вызванный внешними дефектами. Данная точка позволяет разделить общую дефектность на внутреннюю и внешнюю.

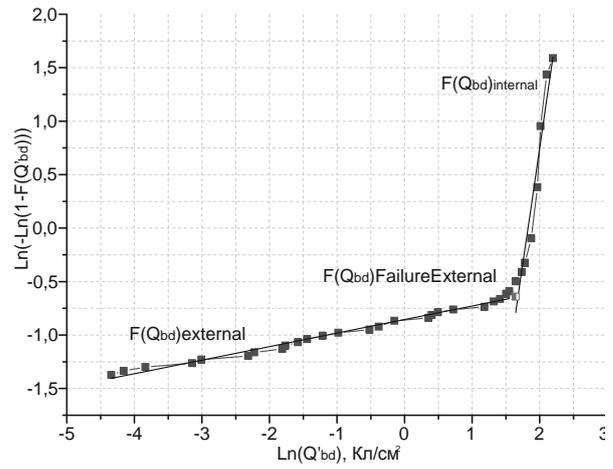


Рис. 2. Накопительное распределение $F(Q_{bd})$

Внутренняя дефектность – это та, которая вызвана внутренними дефектами, генерируемыми под действием электрического тока, а внешняя дефектность вызвана наличием внешних дефектов и обусловлена качеством производства.

Расчёт значения плотности для внешних дефектов выражается формулой:

$$1 - F = Y, \quad (2)$$

где Y – коэффициент выхода годных структур, зависящий от применяемой статистики, и определяющий дефектность по пластине.

В предположении, что внешние дефекты по пластине имеют распределение Пуассона, то есть событие нахождения дефекта по всей площади равновероятно, плотность распределения дефектов будет определяться как:

$$D_s = \frac{-\text{Ln}(1-F)}{S},$$

где S – площадь исследуемой структуры, F – процент дефектных структур по подзатворному диэлектрику, вызванный внешними дефектами.

В случае, если необходимо разделить дефекты с точки зрения их расположения, то есть оценить вклад в общую дефектность подзатворного диэлектрика границы LOCOS изоляции и границы области диффузии, то формула 2 примет вид [7]:

$$Y = 1 - F = \prod_{n=1}^N Y_n. \quad (3)$$

При распределении дефектов по закону Пуассона формула 3 будет иметь вид:

$$Y = 1 - F = e^{-D_s S_1} e^{-D_i P_{d1}} e^{-D_d P_{d1}}, \quad (4)$$

где F – процент дефектных структур по подзатворному диэлектрику, P_{d1} – периметр по границе диффузии, P_{i1} – периметр по границе изоляции, S_1 – площадь тестовой структуры, D_s, D_i, D_d – значение плотности внешних дефектов по площади, по границе изоляции и по границе диффузии, соответственно.

Уравнение 4 содержит три неизвестных параметра и не может быть решено. Решение данного уравнения возможно только в системе двух других уравнений, которые будут иметь такие же параметры неизвестных величин, но с другими аргументами:

$$\begin{cases} 1 - F_1 = e^{-D_s S_1} e^{-D_i P_{i1}} e^{-D_d P_{d1}} \\ 1 - F_2 = e^{-D_s S_1} e^{-D_i P_{i2}} e^{-D_d P_{d2}} \\ 1 - F_3 = e^{-D_s S_1} e^{-D_i P_{i3}} e^{-D_d P_{d3}} \end{cases}, \quad (5)$$

где F_1, F_2, F_3 – процент дефектных структур для каждого типа структур.

Таким образом, для нахождения плотности внешних дефектов, локализованных по площади и границам, надо составить систему из трёх уравнений с тремя неизвестными (5). Для её решения необходимо провести выборку измерений для трёх структур одной площади, но с разным соотношением периметров по границам изоляции и диффузии.

После построения накопительного распределения $F(Q_{bd})$ и определения текущей плотности дефектов D_s алгоритм переходит на измерение новой структуры.

III. РАЗРАБОТКА ТЕСТОВЫХ СТРУКТУР И ПРОГРАММЫ ИЗМЕРЕНИЙ

Для реализации методики были разработаны и изготовлены тестовые структуры, представляющие собой МОП конденсаторы различной площади, а также структуры с различным соотношением периметров по границе LOCOS изоляции и диффузии. Такой набор тестовых структур позволяет разделить внешние дефекты с точки зрения границы их расположения и выявить источник привносимых дефектов. Все структуры помещены в тестовый кристалл, который откопирован по всей тестовой пластине (рис. 3). Тестовые структуры изготавливались на пластинах КЭФ – 4.5 (100). Окисление проводилось в сухом O_2 при температуре 950 °С, толщина диэлектрика составляла 18.0 ± 1.5 нм.

Для апробации методики на языке VEE Pro 9.0 написана программа тестирования, позволяющая проводить контроль дефектности подзатворного диэлектрика в автоматическом режиме.

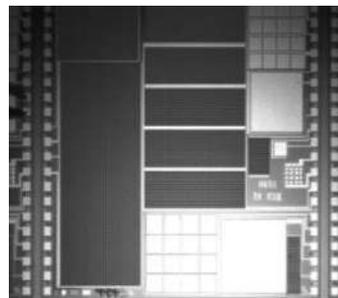


Рис. 3. Фрагмент топологии тестового кристалла

Программа имеет свидетельство о государственной регистрации программ для ЭВМ №2014610450. Ввиду отсутствия в VEE Pro 9.0 поддержки русского языка интерфейс программы выполнен с англоязычными обозначениями. На рис. 4 представлено окно программы.

Программа предназначена для проведения автоматизированных измерений тестовых структур в составе пластин с помощью параметрического измерителя Agilent B 1500 и полуавтоматической зондовой станции SUSS PA 300. Программа измеряет заряд пробоя подзатворного диэлектрика и позволяет на основе измеренных данных проводить расчёт его дефектности. Её отличительной особенностью является последовательное автоматизированное проведение измерений и обработка полученных данных, что позволяет в режиме реального времени получать статистическое распределение и на его основе, по мере набора необходимого числа измерений, рассчитывать дефектность диэлектрика. Также в программе реализованы отдельные модули подпрограмм, позволяющие проводить перерасчёт дефектности по разным разработанным алгоритмам, рассчитывать дефектность как по площади, так и по границам изоляции и диффузии, осуществлять связь с программным обеспечением зондовой станции и проводить картирование пластины по заряду пробоя и типу отказов. После завершения измерений программа формирует Excel файл отчёта с результатами измерений и файл для экспорта результатов в базу данных производства.

IV. РЕЗУЛЬТАТЫ ПРИМЕНЕНИЯ

В результате применения разработанной методики по контролю дефектности подзатворного диэлектрика выявлено наличие большого количества ранних отказов (А и В), которые вносят существенный вклад в общую плотность внешних дефектов. При разделении дефектов с точки зрения их расположения и определения границы, которая вносит наибольший вклад в дефектность, установлено, что граница диффузии привносит больше дефектов, чем граница LOCOS изоляции. Накопление этих данных из разных партий во времени и их анализ позволил выявить проблемы в параметрах технологических процессов и принять меры по их оптимизации.

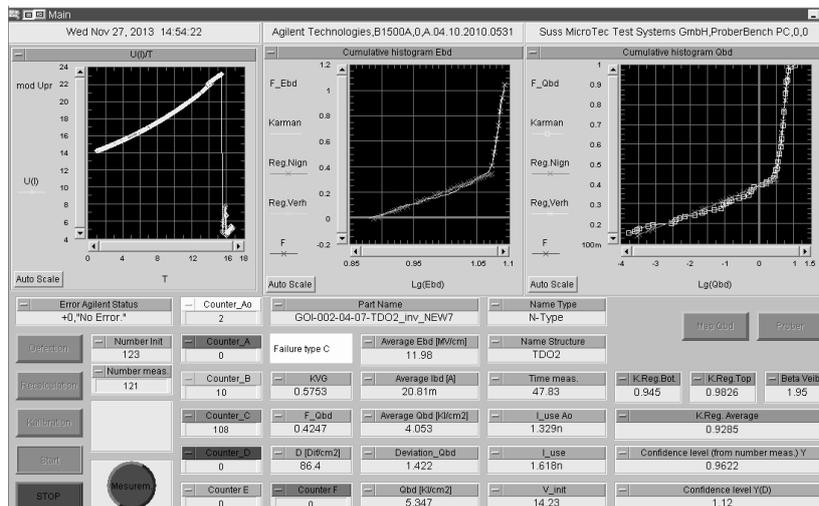


Рис. 4. Окно программы измерений

Расчёт дефектности диэлектрика на структурах в составе пластин с серийными ИС показывает, что пластинам со средним значением КВГ ИС по функциональному контролю соответствует определённый уровень дефектности диэлектрика, однако среди данных пластин есть такие, где этот уровень существенно превышает установленное значение. Данные измерения показывают, какие с точки зрения функционального контроля ИС из этих пластин являются годными. Однако долгосрочная надёжность таких ИС будет низкой, так как транзисторы в этих схемах выполнены с высокодефектным диэлектриком. Таким образом, на основе дефектности диэлектрика может контролироваться долгосрочная надёжность ИС.

V. ЗАКЛЮЧЕНИЕ

В работе рассмотрены подходы по контролю качества подзатворного диэлектрика с помощью WLR-методологии. Разработана методика по контролю дефектности подзатворного диэлектрика в МОП-транзисторах. Её основой являются алгоритм измерения и обработки результатов, тестовые структуры для проведения контроля и программа измерений для максимальной автоматизации тестирования.

Основным преимуществом разработанной методики является более точная оценка дефектности диэлектрика и высокая производительность, что обеспечивает возможность использования данной методики в серийном производстве ИС. Эти преимущества достигаются за счёт применения алгоритма, позволяющего исключить в расчёте дефектности структуры, отказы которых не связаны с диэлектриком и использованием в качестве стрессовой нагрузки для расчёта инжектированного в диэлектрик заряда Q_{bd} ступенчато нарастающего тока. Спроектированный набор тестовых структур позволяет измерять дефектность диэлектрика в широком диапазоне значений и разделять дефекты с точки

зрения границы их расположения. С помощью данных структур можно оценивать качество подзатворного диэлектрика в серийных ИС, размещая тестовые структуры в дорожках между ИС, а также осуществлять контроль текущих процессов и разработку новых, используя для измерения полный набор тестовых структур, размещённых в кристалле на тестовой пластине. Все измерения и расчёт дефектности осуществляются в автоматическом режиме с помощью разработанной программы.

Внедрение данной методики позволило осуществить оценку качества подзатворного диэлектрика и провести контроль параметров технологического процесса.

ПОДДЕРЖКА

Работа выполнена на оборудовании ЦКП “Функциональный контроль и диагностика микро- и наносистемной техники” на базе НПК “Технологический центр” при финансовой поддержке Минобрнауки России.

ЛИТЕРАТУРА

- [1] Garrad S.N. Production Implementation of a Practical WLR Program // IEEE IRW. 1994. P. 20-25.
- [2] Yap K.L., Yap H.K., Tan Y.C., Lo K.F., Karim M.F. Implementation of FWLR for process reliability monitoring // IEEE IRW. 2001. P. 94-96.
- [3] Papp A., Bieringer F., Koch D., Kammer H., Kohlhasse A., Lill A., et al. Implementation of a WLR-program into a production line // IEEE IRW. 1995. P. 49-54.
- [4] Jeduc Standard JESD 35-A “Procedure for the Wafer-Level Testing of Thin Dielectrics”.
- [5] Wu E.Y., Abadeer W.W., Hueckel G.R. Challenges for accurate reliability projections in the ultrathin oxide regime // In International Reliability Physics Symposium. 1999. P. 57-65.
- [6] Гьюки Д. Анализ результатов наблюдений. Разведочный анализ. М.: Мир, 1981. С. 124-126.
- [7] Зи С. Технология СБИС. М.: Мир, 1986. Ч. 2. С. 397-403.