

Определение времени наработки до отказа подзатворного диэлектрика суб-100-нм МОП-транзисторов с помощью ускоренных испытаний

А.С. Сивченко¹, Е.В. Кузнецов¹, А.Н. Сауров^{1,2}

¹НПК «Технологический центр», г. Москва, Россия

²Институт нанотехнологий микроэлектроники Российской академии наук, г. Москва, Россия

asivchenko@yandex.ru

Подзатворный диэлектрик является одним из ключевых элементов конструкции субмикронных МОП-транзисторов, от которого зависит надежность его работы. Пробой диэлектрика приводит к потере функционирования транзистора и выходу из строя всей ИС или сбою в ее работе. Поэтому оценке дефектности подзатворного диэлектрика и времени его наработки до отказа уделяется особое внимание. В работе определяется время наработки до отказа подзатворного диэлектрика МОП-транзисторов на основе метода времязависимого пробоя диэлектрика с использованием термомеханической модели (*E*-модели). В качестве статистики распределения отказов использовано распределение Вейбулла, полученное для интегрального распределения отказов выборки технологических тестовых структур, измеренных при высоких значениях напряжения и температуры. Исследования выполнены на тестовых структурах, представляющих собой МОП-конденсаторы с толщиной подзатворного диэлектрика 5 нм. Тестовые структуры созданы по серийной технологии 65 нм и размещены в тестовом кристалле совместно с ИС на одной пластине. Разработано программное обеспечение, позволяющее проводить ускоренные измерения в автоматическом режиме. В результате проведенных исследований определены параметры термомеханической модели отказа, получены зависимости времени наработки до отказа подзатворного диэлектрика от условий эксплуатации. Установлено, что для исследуемых тестовых структур возможно возникновение как полного, так и частичного пробоя диэлектрика. Данный метод контроля может применяться для прогнозирования долгосрочной надежности подзатворного диэлектрика суб-100-нм МОП-транзисторов, а также для аттестации технологических процессов его производства.

Ключевые слова: подзатворный диэлектрик; МОП-транзистор; надежность; время наработки до отказа; контроль параметров технологического процесса

Для цитирования: Сивченко А.С., Кузнецов Е.В., Сауров А.Н. Определение времени наработки до отказа подзатворного диэлектрика суб-100-нм МОП-транзисторов с помощью ускоренных испытаний // Изв. вузов. Электроника. – 2019. – Т. 24. – № 5. – С. 469–478. DOI: 10.24151/1561-5405-2019-24-5-469-478

Благодарности: работа выполнена на оборудовании ЦКП «Функциональный контроль и диагностика микро- и наносистемной техники» на базе НПК «Технологический центр».

Time to Failure Determination for sub-100 nm MOS Transistors Gate Dielectric by Means of Accelerated Tests

A.S. Sivchenko¹, E.V. Kuznetsov¹, A.N. Saurov^{1,2}

¹SMC «Technological Center», Moscow, Russia

²Institute of Nanotechnologies of Microelectronics of the Russian Academy of Sciences, Moscow, Russia

asivchenko@yandex.ru

Abstract: A gate dielectric is one of the crucial components of submicron MOS transistor structure which greatly affects its operation reliability. Transistor functionality loss, as well as a failure in the IC operation or a complete failure of the entire IC can be a result of dielectric breakdown. Therefore, the assessment of the gate dielectric defectiveness and its time to failure requires special attention. This paper considers a method for time to failure determination for MOS transistor gate dielectrics based on the time-dependent dielectric breakdown method. The time to failure is determined on the basis of the integral distribution of failures obtained by means of sampling of technological test structures measurements. Various parameter values are used that accelerate failure: high voltage and temperature. The Weibull distribution is used as a failure distribution statistic, and time to failure determination is carried out using a thermomechanical model (*E*-model). The research has been performed on test structures represented by MOS capacitors with gate dielectric thickness of 5 nm. The test structures have been developed using the 65 nm technology and placed in a test chip on the same wafer with the integrated circuits. Software has been developed for the research that allows accelerated measurements in automatic mode. As a result of the conducted research, the parameters of the thermomechanical failure model have been determined; the dependencies of the gate dielectric time to failure on the operating conditions have been obtained. It has been found out that both hard and soft dielectric breakdowns can occur for the test structures under study. This method of control can be used to predict the long-term reliability of sub-100 nm MOS transistors gate dielectric, as well as for its production methods assessment.

Keywords: gate dielectric; MOS transistor; reliability; time to failure; process control

For citation: Sivchenko A.S., Kuznetsov E.V., Saurov A.N. Time to failure determination for sub-100 nm MOS transistors gate dielectric by means of accelerated tests. *Proc. Univ. Electronics*, 2019, vol. 24, no. 5, pp. 469–478. DOI: 10.24151/1561-5405-2019-24-5-469-478

Acknowledgments: the work has been performed on the equipment of the Centre of collective usage «Functional control and diagnostics of micro- and nanosystem technology» based on the SMC «Technological Center».

Введение. Надежность работы МОП-транзисторов во многом зависит от качества подзатворного диэлектрика. Вопросы надежности подзатворного диэлектрика субмикронных МОП-транзисторов становятся особенно актуальными, так как при масштабировании топологических размеров ИС толщина подзатворного диэлектрика снижается и вместе с этим растет совокупный объем факторов, определяющих его дефектность и время наработки до отказа.

При длительном воздействии электрического поля на диэлектрик в нем происходит генерация дефектов, которые приводят к увеличению токов утечки. В дальнейшем это может привести к пробоям диэлектрика. Наряду с генерированной дефектностью под действием поля в диэлектрике могут существовать дефекты, привнесенные в процессе производства: металлические и органические загрязнения, механические напряжения, нарушения стехиометрии. Данные дефекты являются причинами ранних отказов МОП-транзисторов. Пробой диэлектрика приводит к потере функционирования транзистора и выходу из строя всей ИС или сбою в ее работе. Поэтому оценке дефектности подзатворного диэлектрика и времени его наработки до отказа уделяется особое внимание при разработке новых и аттестации текущих технологических процессов [1–7]. Так, в работе [4] исследуется надежность КНИ МОП-транзисторов для высокотемпературной электроники, показаны основные механизмы отказов, однако надежность диэлектрика оценивается на основе заряда пробоя без точного определения времени наработки до отказа. В работе [5] показан метод экспресс-контроля надежности подзатворного диэлектрика на основе ступенчато-нарастающего напряжения при разных скоростях развертки. Метод расчета дефектности подзатворного диэлектрика на основе ступенчато-возрастающего тока подробно рассматривается в работах [6, 7]. Данный метод подходит для быстрой оценки дефектности в серийном производстве ИС.

Для расчета времени наработки до отказа подзатворного диэлектрика обычно используются TDDB-методы измерений (Time Dependent Dielectric Breakdown). В качестве основных TDDB-методов выделяют:

- CVS-метод (Constant Voltage Stress) – воздействие на структуру постоянным напряжением – применяется для точной оценки времени до наступления пробоя t_{bd} ;
- CCS-метод (Constant Current Stress) – воздействие на структуру постоянным током – применяется для точной оценки заряда пробоя Q_{bd} ;
- RVS-метод (Ramped Voltage Stress) – воздействие на структуру линейно возрастающим напряжением – применяется для точной оценки напряжения пробоя V_{bd} ;
- ERCS-метод (Exponentially Ramped Current Stress) – воздействие на структуру экспоненциально возрастающим током – применяется для точной оценки тока I_{bd} и заряда пробоя Q_{bd} .

Цель настоящей работы – определение времени наработки до отказа подзатворного диэлектрика на основе статистического распределения времени возникновения пробоя диэлектрика при воздействии постоянного напряжения и высокой температуры. Данный метод позволяет получить зависимость времени наработки до отказа подзатворного диэлектрика в широком диапазоне температур и напряжении и может применяться для исследования диэлектриков, изготовленных по суб-100-нм проектным нормам.

Особенности пробоя тонких диэлектриков. Исследования пробоя диэлектриков, изготовленных по суб-100-нм технологии, – технически сложная задача, так как с уменьшением толщины подзатворного диэлектрика происходит увеличение туннельных токов, протекающих через диэлектрик. Это усложняет момент определения его пробоя, так как ток утечки через диэлектрик во время стресс-теста и ток пробоя становятся практически равными по порядку величины и пробой диэлектрика трудно определить при использовании RVS-, CVS-методов измерений. Если для диэлектриков толщиной более 5 нм характерен пробой с полной потерей диэлектрических свойств (hard breakdown), то в суб-100-нм технологии, когда толщина диэлектрика становится 5 нм и менее, возникает вероятность проявления как полного диэлектрического пробоя, так и частичного пробоя

(soft breakdown) [7, 8]. После частичного пробоя в структуре при низких полях наблюдаются высокие токи утечки, которые могут приводить к сбою в работе ИС, например к уменьшению окна памяти в ячейке ПЗУ (разнице пороговых напряжений в записанном и стертом состоянии). При полном пробое в диэлектрике формируется проводящий путь и происходит полная потеря диэлектрических свойств (рис.1).

Возникновение частичного пробоя диэлектрика носит статистически вероятностный характер, зависит от качества производства диэлектрика и его дефектности. Данный тип пробоя всегда предшествует появлению полного пробоя, однако он может и не возникнуть. Если методика измерения надежности подзатворного диэлектрика не позволяет определять частичные пробои, то существует большая вероятность в переоценке времени наработки на отказ, так как расчет надежности будет проводиться на основе завышенных значений Q_{bd} или V_{bd} , полученных для полного пробоя с помощью TDDВ-методов измерений (рис.2) [9]. Из рисунка видно, что если событие возникновения частичного пробоя не определено, то расчет надежности будет проводиться на основе завышенных значений Q_{bd} , тем самым время наработки до отказа будет переоценено.

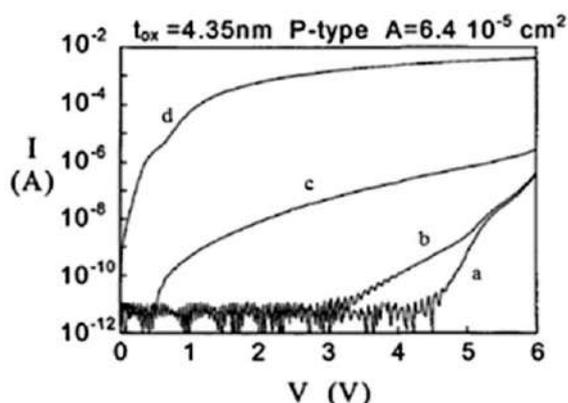


Рис.1. Зависимость тока утечки от приложенного напряжения для диэлектрика: а – до воздействия стрессового напряжения; б – после воздействия стрессового напряжения; с – после воздействия стрессового напряжения и проявления частичного пробоя; д – после воздействия стрессового напряжения и проявления полного пробоя [7]

Fig.1. Dependence of the leakage current on the applied voltage for an dielectric: a – before stress; b – after stress; c – after stress and soft breakdown; d – after stress and hard breakdown [7]

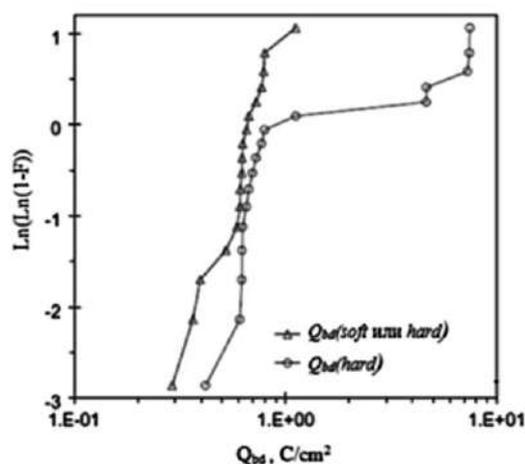


Рис.2. Накопительное распределение Q_{bd} : –Δ– для моментов первого частичного или полного пробоя (какой наступит раньше); –o– для момента полного пробоя [9]

Fig.2. Cumulative distribution Q_{bd} : –Δ– built up for the first breakdown moments (soft or hard whichever comes first) and –o– hard breakdown moment [9]

Модели отказов подзатворного диэлектрика. В настоящее время существует ряд общепринятых моделей для расчета времени наработки до отказа подзатворного диэлектрика. Наибольшее применение нашли следующие модели: модель инжекции дырок с анода ($1/E$ -модель); термомеханическая модель (E -модель); модель инжекции водорода с анода (V^n -модель) [10]. Время наработки до отказа TTF в данных моделях рассчитывается следующим образом:

- для E -модели

$$TTF = A \exp(-\gamma(T)E_{ox}) \exp\left(\frac{E_a}{kT}\right), \quad (1)$$

где A – коэффициент, зависящий от материалов и технологического процесса; $\gamma(T)$ – параметр, связанный с критическим полем, характеризующий электрически прочностные характеристики диэлектрика; E_{ox} – напряженность внешнего электрического поля; E_a – энергия термоактивации, связанная с характеристиками глубоких энергетических центров; k – константа Больцмана; T – температура, К;
- для $1/E$ -модели

$$TTF = \tau(T) \exp\left(\frac{G(T)}{E_{ox}}\right),$$

где $\tau(T)$ – коэффициент, зависящий от температуры; $G(T)$ – параметр ускорения полем;
- для V^n -модели

$$TTF = B(T)V^{-n},$$

где $B(T)$ – коэффициент, зависящий от температуры; n – показатель напряжения.

Выбор модели для расчета времени наработки до отказа зависит от толщины подзатворного диэлектрика и условий измерения. Экспериментально установлено, что при использовании E -модели время наработки до отказа наименьшее. Применение $1/E$ -модели показывает наибольшее время наработки до отказа. Остальные модели характеризуются промежуточным значением времени наработки до отказа, которое ограничено снизу временем, рассчитанным по E -модели, а сверху – по $1/E$ -модели.

Расчет параметров модели отказа. В работе в качестве модели для определения времени наработки до отказа использована E -модель. Данная модель применима для исследуемой толщины подзатворного диэлектрика и соответствует условиям проведения измерений, а также показывает самый наименьший прогноз относительно значения времени наработки до отказа диэлектрика. Согласно E -модели пробой возникает за счет индуцированного полем и температурой разрыва связей на границе раздела Si–SiO₂.

В предположении, что $E_{ox} = \text{const}$, уравнение (1) можно преобразовать к виду

$$\ln(TTF) = E_a \frac{1}{kT} + b. \quad (2)$$

Уравнение (2) носит линейный характер:

$$y = kx + b. \quad (3)$$

Для нахождения энергии активации E_a необходимо построить зависимость $\ln(TTF)$ от $1/T$ и с помощью линейной аппроксимации по методу наименьших квадратов рассчитать значение E_a .

В предположении, что $T = \text{const}$, уравнение (1) можно преобразовать к линейному виду (3)

$$\ln(TTF) = -\gamma(T) \cdot E_{ox} + B. \quad (4)$$

Для нахождения параметра ускорения полем γ необходимо построить зависимость $\ln(TTF)$ от E_{ox} . Затем с помощью линейной аппроксимации по методу наименьших квадратов рассчитать значение γ . Константа A определяется из уравнения (1) с учетом найденных значений E_a и γ .

Таким образом, для расчета времени наработки до отказа проводится выборка измерений при различных значениях температуры T и напряженности поля E_{ox} . Отказы анализируются в предположении, что значение времени наработки до отказа подзапорного диэлектрика распределено по закону Вейбулла. Интегральная функция распределения в этом случае имеет вид

$$F(t_{bd}) = 1 - \exp\left(-\frac{t_{bd}^\beta}{\alpha}\right), \quad (5)$$

где α , β – параметры масштаба и формы распределения соответственно.

Преобразуем уравнение (5):

$$\ln\{-\ln(1 - F(t_{bd}))\} = \beta \ln(t_{bd}) - \ln(\alpha). \quad (6)$$

Для нахождения значений параметров распределения необходимо построить зависимость $\ln\{-\ln(1 - F(t_{bd}))\}$ от $\ln(t_{bd})$ и с помощью линейной аппроксимации по методу наименьших квадратов рассчитать значение параметров распределения.

Метод измерения. Для оценки времени наработки до отказа диэлектрика выбран SVC-метод [11]. В данном режиме работы диэлектрик подвергается воздействию постоянного электрического поля, что является наиболее сильным воздействием с точки зрения скорости деградации диэлектрика. Также данный режим измерения приближен к реальному режиму работы транзистора. Ускоренная деградация диэлектрика происходит вследствие воздействия двух ускоряющих факторов: высокого напряжения V_{str} и температуры T_{str} . Для точного определения частичного и полного пробоев SVC-метод модифицирован: через заданные интервалы времени происходит замена напряжения V_{str} на напряжение V_{silc} ($V_{silc} < V_{str}$) и проводится измерение тока утечки I_{silc} .

Момент полного пробоя определяется по резкому увеличению тока утечки I_{str} . Частичные пробоя определяются из анализа несмещенной оценки дисперсии $\partial\Delta I_{str}$, взятой для разницы значений последовательных измерений шести токов утечки (рис.3,а), или из анализа токов утечки I_{silc} (рис.3,б).

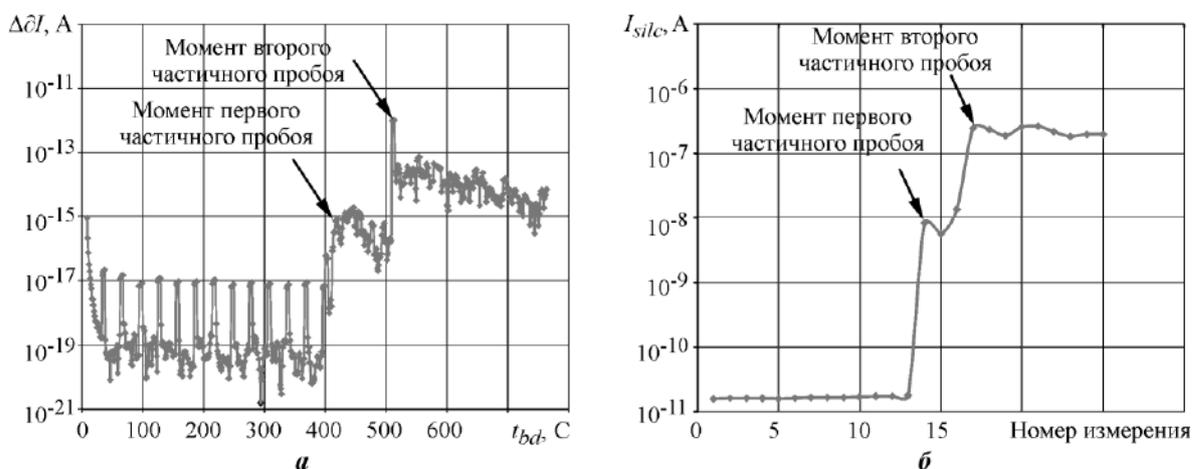


Рис.3. Определение частичного пробоя с помощью анализа несмещенной оценки дисперсии $\partial\Delta I_{str}$ (а) и анализа тока утечки I_{silc} (б)
 Fig.3. Soft breakdown determination by analyzing the unbiased estimated variance $\partial\Delta I_{str}$ (a) and by analyzing the leakage current I_{silc} (b)

Тестовые структуры и программа измерений. Для проведения исследований по серийной технологии 65 нм спроектированы и изготовлены специальные тестовые структуры, представляющие собой МОП-конденсаторы. Подзатворный диэлектрик тестовых структур применяется в МОП-транзисторах ввода-вывода с напряжением питания 2,5 В. Диэлектрик выполнен из оксинитрида кремния SiON с эквивалентной толщиной $EOT = 5$ нм, площадь подзатворного диэлектрика тестовых структур составляет 10^{-5} см², подложка и поликремневый затвор n -типа проводимости. С помощью данных структур исследуется один доминирующий механизм физического отказа – собственный пробой подзатворного диэлектрика. Уменьшение последовательного сопротивления и равномерное растекание тока в структуре обеспечивается за счет набора большого числа распределенных контактов. Тестовые структуры размещены в тестовом кристалле совместно с ИС на одной пластине, что позволяет автоматизировать процесс контроля ИС.

Разработанное программное обеспечение позволяет проводить оценку надежности подзатворного диэлектрика в автоматическом режиме с помощью параметрического измерителя Agilent В 1500 и полуавтоматической зондовой станции SUSS PA 300. Программа определяет значения параметров термомеханической модели отказа. Преимуществом программы является возможность одновременного исследования двух структур с возможностью обнаружения частичного и полного пробоев для каждой структуры. Данная реализация измерений позволяет увеличить скорость получения данных, что значительно сокращает время проведения исследований.

Результаты исследования. Для определения параметров термомеханической модели проведены ускоренные измерения времени наработки до отказа подзатворного диэлектрика для выборки тестовых структур при различных значениях параметров V_{str} и T_{str} , ускоряющих отказ. Для определения значения параметра ускорения полем измерено время наработки до отказа для трех выборок структур при фиксированном значении температуры $T_{str} = 100$ °С и разных значениях напряжения V_{str} (рис.4,а). Для определения значения энергии активации измерено время наработки до отказа для трех выборок структур при фиксированном значении напряжения $V_{str} = 6,4$ В и разных значениях температуры T_{str} (рис.4,б). Объем каждой выборки составляет 16 измеренных значений.

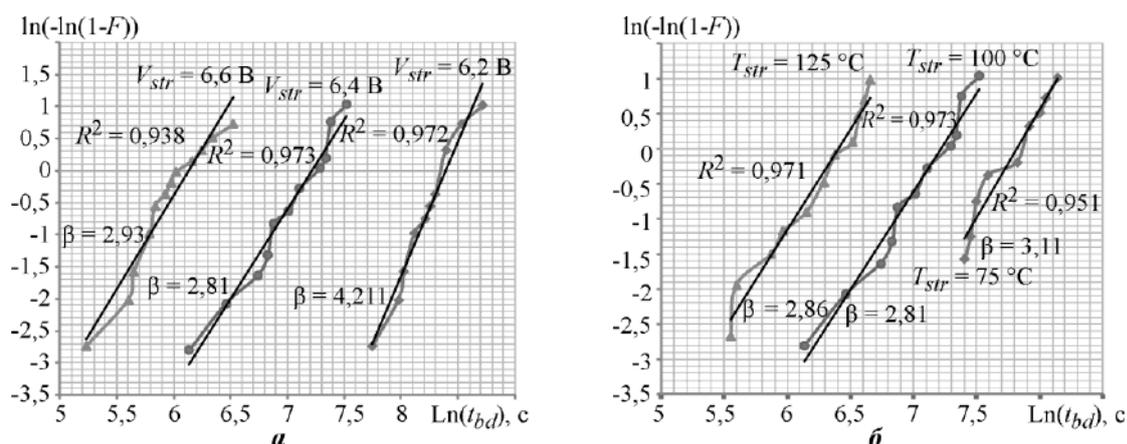


Рис.4. Накопительные распределения времени наработки до отказа t_{bd} для трех выборок структур при $T_{str} = 100$ °С и разных значениях напряжения V_{str} (а); при $V_{str} = 6,4$ В и разных значениях температуры T_{str} (б)

Fig.4. Accumulative time to failure t_{bd} distribution for three structure samples: a – measured at a fixed temperature $T_{str} = 100$ in the V_{str} voltage range: 6.2; 6.4; 6.6 V; b – measured at a fixed voltage $V_{str} = 6.4$ V in the T_{str} temperature range: 75; 100; 125 °C

Параметры термомеханической модели и распределения находятся из уравнений (2), (4) и (3), (6) соответственно (рис.5). Условия измерений и значения всех найденных параметров представлены в таблице.

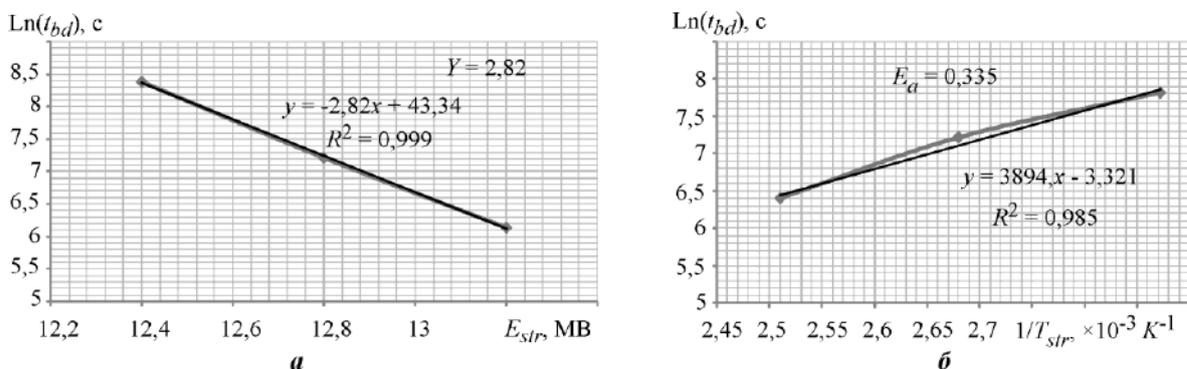


Рис.5. Зависимости времени наработки до отказа $t_{bd}(E_{str})$ при $T_{str} = 100\text{ }^{\circ}\text{C}$ (а) и времени наработки до отказа $t_{bd}(T_{str})^{-1}$ $V_{str} = 6,4\text{ В}$ (б)

Fig.5. Time to failure characteristic $t_{bd}(E_{str})$ at a fixed temperature $T_{str} = 100\text{ }^{\circ}\text{C}$ (a) and time to failure characteristic $t_{bd}(T_{str})^{-1}$ at a fixed voltage $V_{str} = 6.4\text{ V}$ (b)

Условия измерений и значения параметров распределения и модели
Measurement conditions and values of the parameters found

Условия измерений		Рассчитанные параметры				
		распределения		модели		
$V_{str}, \text{В}$	$T_{str}, \text{ }^{\circ}\text{C}$	β	$t_{bd\ 63}, \text{ с}$	$A, \text{ с}$	$\gamma, \text{ см/МВ}$	$E_a, \text{ эВ}$
6,4	75	3,11	2486	$1,8 \cdot 10^{14}$	2,82	0,335
	100	2,81	1362			
	125	2,86	603			
6,2	100	4,21	4414			
6,4		2,81	1362			
6,6		2,93	463			

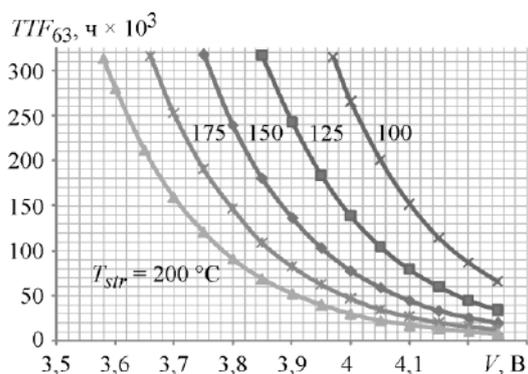


Рис.6. Зависимость времени наработки до отказа подзатворного диэлектрика от напряжения для 63 % образцов из выборки при разной температуре

Fig.6. Dependences of gate insulator time to failure for 63% of sample pieces in the temperature range from 100 to 200 $^{\circ}\text{C}$ and voltages from 3.6 to 4.25 V

На основе полученных параметров термомеханической модели, представленных в таблице, и уравнения модели (1) можно рассчитать время наработки до отказа подзатворного диэлектрика в широком диапазоне напряжений и температур. Так, на рис.6 представлены рассчитанные зависимости времени наработки до отказа подзатворного диэлектрика от напряжения для 63 % образцов из выборки при температуре от 100 до 200 $^{\circ}\text{C}$.

Заклучение. С помощью ускоренных испытаний при воздействии повышенных значений напряжения и температуры определено время наработки до отказа подзатворного диэлектрика серийно выпускаемых суб-100-нм МОП-транзисторов. Для иссле-

двумя тестовых структур рассчитаны значения параметров термомеханической модели отказа: $A = 1,8 \cdot 10^{14}$ с, $\gamma(T) = 2,82$ см/МВ, $E_a = 0,335$ эВ. С использованием данной модели получены зависимости времени наработки до отказа подзатворного диэлектрика от условий эксплуатации, а также подтверждены целевые показатели надежности диэлектрика. Установлено, что для исследуемых тестовых структур с толщиной подзатворного диэлектрика $EOT = 5$ нм возможно возникновение как полного, так и частичного пробоя. Для обнаружения пробоя разработано программное обеспечение, позволяющее одновременно исследовать две структуры с возможностью обнаружения частичного и полного пробоя диэлектрика для каждой структуры. Данная реализация измерений дает возможность увеличить скорость получения данных, что значительно сокращает время испытаний.

Представленный метод контроля может применяться для прогнозирования долгосрочной надежности подзатворного диэлектрика суб-100-нм МОП-транзисторов, а также аттестации технологических процессов его производства.

Литература

1. Jeduc Standart JEP001–2A. Foundry process qualification guidelines – front end transistor level. – 2018. – September. – 36 p.
2. *Stathis J.H., Linder B.P., Rodriguez R., Lombardo S.* Reliability of ultra-thin oxides in CMOS circuits // *Microelectronics Reliability.* – 2003. – Vol. 43. – No. 9–11. – P. 1353–1360.
3. *Бенедиктов А.С., Игнатов П.В., Михайлов А.А., Г. Потупчик А.Г.* Оценка надежности КНИ МОП-транзисторов с нормами 0,18 мкм при повышенных температурах // *Микроэлектроника.* – 2018. – Т. 47. – № 5. – С. 38–43.
4. Экспрессный контроль надежности подзатворного диэлектрика полупроводниковых приборов / *В.А. Солодуха, В.А. Пилипенко, Г.Г. Чигирь и др.* // *Приборы и методы измерений.* – 2018. – Т. 9. – № 4. – С. 306–313. DOI: 10.21122/2220-9506-2018-9-4-306-313.
5. *Сивченко А.С.* Методика определения дефектности подзатворного диэлектрика с использованием ускоренных испытаний тестовых структур // *Изв. вузов. Электроника.* – 2015. – Т. 20. – № 3. – С. 304–312.
6. *Сивченко А.С.* Разработка методики анализа дефектности подзатворного диэлектрика на тестовых структурах в составе пластин // *Проблемы разработки перспективных микро- и нанoeлектронных систем: сб. тр. / под общ. ред. академика РАН А.Л. Стемпковского.* – М.: ИПИМ РАН, 2014. – Ч. II. – С. 145–150.
7. *Dumin D.J.* Oxide reliability: A summer of silicon oxide wearout, breakdown and reliability. – *World Scientific*, 2002. – 270 p.
8. TDDB reliability prediction based on the statistical analysis of hard breakdown including multiple soft breakdown and wear-out / *S. Sahhaf, R. Degraeve, Ph.J. Roussel et al.* // *Proc. of the 2007 IEEE International Electron Devices Meeting.* – 2007. – P. 501–504.
9. *Andreas Martin, Jochen von Hagen, Glenn B. Alers.* Ramped current stress for fast and reliable wafer level reliability monitoring of thin gate oxide reliability // *Microelectronics Reliability.* – 2003. – Vol. 43. – P. 1215–120.
10. *McPherson J.W.* Time dependent dielectric breakdown physics – Models revisited // *Microelectronics Reliability.* – 2012. – Vol. 52. – Iss. 9–10. – P. 1753–1760.
11. Jeduc Standart JESD 92. Procedure for characterizing time depend dielectric breakdown of ultra-thin gate dielectrics. – August 2003. – 32 p.

Поступила в редакцию 26.04.2019 г.; после доработки 03.06.2019.; принята к публикации 18.06.2019. г.

Сивченко Александр Сергеевич – научный сотрудник НПК «Технологический центр» (Россия, 124498, г. Москва, г. Зеленоград, пл. Шокина, 1), asivchenko@yandex.ru

Кузнецов Евгений Васильевич – начальник лаборатории перспективной элементной базы и технологических маршрутов НПК «Технологический центр» (Россия, 124498, г. Москва, г. Зеленоград, пл. Шокина, 1), KEV@tcen.ru

Сауров Александр Николаевич – академик РАН, доктор технических наук, профессор, директор Института нанотехнологий микроэлектроники Российской академии наук (Россия, 119991, г. Москва, Ленинский пр., 32А), научный руководитель НПК «Технологический центр» (Россия, 124498, г. Москва, г. Зеленоград, пл. Шокина, 1), tc@tcen.ru

References

1. Jedec Standart JEP001–2A. *Foundry process qualification guidelines – front end transistor level*. 2018. September. 36 p.
2. Stathis J.H., Linder B.P., Rodríguez R., and Lombardo S. Reliability of ultra-thin oxides in CMOS circuits. *Microelectronics Reliability*, 2003, vol. 43, no. 9-11, pp. 1353–1360.
3. Benediktov A.S., Ignatov P.V., Mikhailov A.A., Potupchik A.G. Reliability investigation of 0.18- μm SOI MOS transistors at high temperatures. *Микроэлектроника = Microelectronics*, 2018, vol. 47, no. 5, pp. 38–43. (in Russian).
4. Solodukha V.A., Chigir G.G., Pilipenko V.A., Filipenya V.A., Gorushko V.A. Reliability express control of the gate dielectric of semiconductor devices. *Devices and Methods of Measurements*, 2018, vol. 9, no. 4, pp. 306–313. DOI: 10.21122/2220-9506-2018-9-4-306-313. (in Russian).
5. Sivchenko A.S. Methods of determination of defects of gate dielectric using accelerated testing of test structures. *Izvestiya vuzov. Elektronika = Proceedings of Universities. Electronics*, 2015, vol. 20, no. 3, pp. 304–312. (in Russian).
6. Sivchenko A.S. Development of defectiveness evaluation method for gate insulators on test structures as part of a wafer. *Problems of advanced micro- and nanoelectronic systems development*. Proceedings. Under the general editorship of a member of the Russian Academy of Sciences A.L. Stempkovskij. Moscow, RAS Publ., 2014, vol. II. Pp. 145–150. (in Russian).
7. Dumin D.J. *Oxide reliability: A summer of silicon oxide wearout, breakdown and reliability*. World Scientific, 2002. 270 p.
8. Sahhaf S. Degraeve R. Roussel Ph.J., Kauerauf T., Kaczer B., Groeseneken G. TDDDB reliability prediction based on the statistical analysis of hard breakdown including multiple soft breakdown and wear-out. *Proceedings of the 2007 IEEE International Electron Devices Meeting*, 2007, pp. 501–504.
9. Andreas M., Jochen H., Glenn B., Alers. Ramped current stress for fast and reliable wafer level reliability monitoring of thin gate oxide reliability. *Microelectronics Reliability*, 2003, vol. 43, pp. 1215–120.
10. McPherson J.W. Time dependent dielectric breakdown physics – Models revisited. *Microelectronics Reliability*, 2012, vol. 52, iss. 9–10, pp. 1753–1760.
11. Jedec Standart JESD 92. *Procedure for characterizing time depend dielectric breakdown of ultra-thin gate dielectrics*. 2003. August. 32 p.

Received 26.04.2019; Revised 03.06.2019; Accepted 18.06.2019.

Alexander S. Sivchenko – Researcher, SMC «Technology Center» (Russia, 124498, Moscow, Zelenograd, Shokin sq., 1), asivchenko@yandex.ru

Evgeny V. Kuznetsov – Head of the Laboratory of Advanced Element Base and Technological Routes, SMC «Technology Center» (Russia, 124498, Moscow, Zelenograd, Shokin sq., 1), KEV@tcen.ru

Alexander N. Saurov – Acad. RAS, Dr. Sci. (Eng.), Head of the Institute of Nanotechnologies of Microelectronics of the Russian Academy of Sciences (Russia, 119991, Moscow, Leninsky ave., 32A), Scientific Head of SMC «Technology Center» (Russia, 124498, Moscow, Zelenograd, Shokin sq., 1), tc@tcen.ru