

Особенности реализации аналогового умножителя на основе базового структурированного кристалла серии 5529

*С.О. Белостоцкая, А.А. Лукьянов, А.С. Росляков,
А.Н. Семенов, Р.А. Федоров*

НПК «Технологический центр», г. Москва, Россия

A.Semenov@tcen.ru

При обработке аналоговых сигналов снижение энергопотребления при высокой точности обработки – важная задача. Одним из способов ее решения является применение аналоговых сложнофункциональных блоков. В работе рассмотрен принцип работы ячейки квадратичной функции тока. С использованием арифметической формулы разности квадратов и ячейки квадратичной функции тока построен умножитель аналоговых сигналов, который входит в состав систем ФАПЧ, АРУ, модуляторов и смесителей. На основе элементов базового структурированного кристалла серии 5529 проведены моделирование умножителя аналоговых сигналов и оценка его точности. Полученный аналоговый сложнофункциональный блок умножения сигналов является частью стратегии развития библиотеки базового структурированного кристалла серии 5529.

Ключевые слова: аналоговый умножитель; ячейка квадратичной функции тока; базовый кристалл; БМК; БСК 5529

Для цитирования: Особенности реализации аналогового умножителя на основе базового структурированного кристалла серии 5529 / С.О. Белостоцкая, А.А. Лукьянов, А.С. Росляков и др. // Изв. вузов. Электроника. 2021. Т. 26. № 2. С. 154–161. DOI: 10.24151/1561-5405-2021-26-2-154-161

Implementation Features of an Analog Multiplier Based on 5529 Series Structured ASIC

S.O. Belostotskaya, A.A. Lukyanov, A.S. Roslyakov,
A.N. Semenov, R.A. Fedorov

SMC «Technological Centre», Moscow, Russia

A.Semenov@tcen.ru

Abstract: During the analog signals processing one of the key factors is the reduction of power consumption with high accuracy of signal processing. One way of solving this problem is the implementation of analog IP-blocks. PLLs, AGC, modulators often include the analog signal multipliers. In the paper, the principle of quadratic function cell operation has been described in detail. The analog signal multiplier has been constructed on the basis of the difference of squares arithmetic formula and the considered cell of the quadratic current function. On the basis of the elements of 5529 series structured ASIC, the analog signal multiplier has been simulated and its accuracy has been assessed. The resulting analog complex functional IP-block for signal multiplication is a part of the development strategy for 5529 series structured ASIC library.

Keywords: analog multiplier; quadratic current function cell; master chip; gate array; 5529 structured ASIC

For citation: Belostotskaya S.O., Lukyanov A.A., Roslyakov A.S., Semenov A.N., Fedorov R.A. Implementation features of an analog multiplier based on 5529 series structured ASIC. *Proc. Univ. Electronics*, 2021, vol. 26, no. 2, pp. 154–161. DOI: 10.24151/1561-5405-2021-26-2-154-161

Введение. Для обработки аналоговых сигналов применяются цифровые и аналоговые методы. Цифровой метод обработки основан на переводе аналоговых сигналов в ряд дискретных величин с дальнейшей обработкой с помощью различных логических устройств. Аналоговый метод предполагает непрерывную обработку сигналов аналоговыми средствами [1] с использованием умножителей. Они часто входят в состав схем ФАПЧ, АРУ, модуляторов и смесителей.

Аналоговый умножитель выполняет произведение двух непрерывных сигналов x и y , выдавая на выход сигнал $z = Nxy$, где N – постоянный коэффициент. Схемы умножителей можно классифицировать в зависимости от характеристик [2] на одноквадрантные (входные сигналы x и y являются строго положительными величинами), двухквадрантные (только один сигнал является строго положительным) [3] и четырехквадрантные (оба сигнала могут принимать как положительные, так и отрицательные значения).

Описание схемы возведения тока в квадрат. Построение ячейки квадратичной функции тока основано на характеристиках МОП-транзистора, работающего в области насыщения [4]. В общем виде ток сток-истока такого МОП-транзистора определяется выражением

$$I_{DS} = K(V_{GS} - V_t)^2,$$

где $K = 0,5 \mu_0 C_{ox} (W/L)$ – удельная крутизна передаточной характеристики транзистора; μ_0 – подвижность носителей; C_{ox} – емкость затвора на единицу площади; W/L – отношение ширины к длине транзистора; $V_{GS} = V_t + \sqrt{\frac{I_{DS}}{K}}$ – напряжение затвор – исток; V_t – пороговое напряжение транзистора.

На рис.1 приведена электрическая схема ячейки квадратичной функции тока (токовые петли выделены серым цветом).

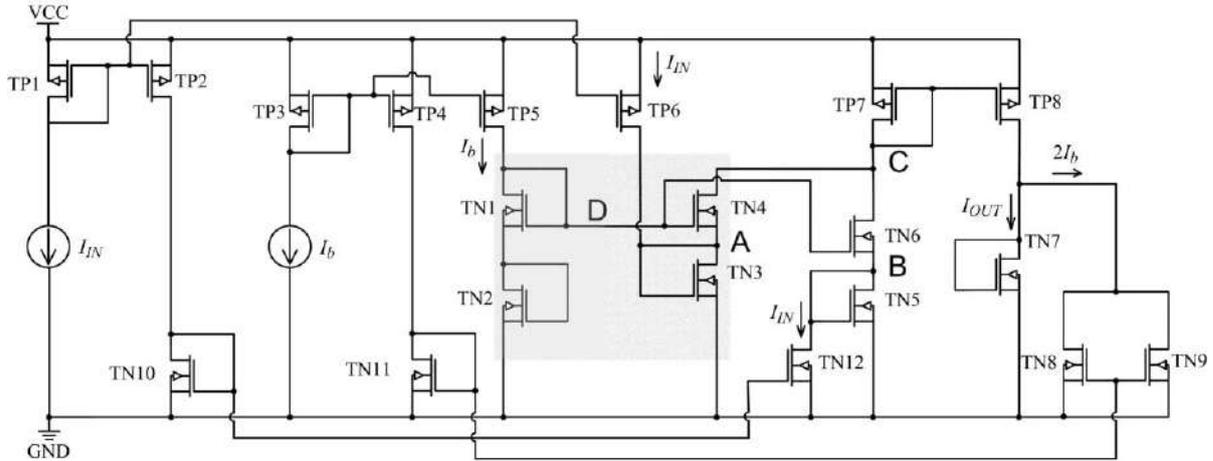


Рис.1. Электрическая схема возведения токов в квадрат
Fig.1. Electric circuit for current squaring

Рассмотрим петлю из транзисторов TN1, TN2, TN3 и TN4. Для точки D можно записать: $V_{GD1} + V_{GD2} = V_{GD3} + V_{GD4}$. При условии, что эти транзисторы хорошо согласованы и имеют одинаковые значения крутизны передаточной характеристики для n - и p -канальных транзисторов, а также с учетом того, что базовый ток через транзисторы TN1 и TN2 одинаков и равен I_b , получаем

$$\begin{aligned} \sqrt{I_{DS1}} + \sqrt{I_{DS2}} &= \sqrt{I_{DS3}} + \sqrt{I_{DS4}}, \\ 2\sqrt{I_b} &= \sqrt{I_{DS3}} + \sqrt{I_{DS4}}. \end{aligned} \quad (1)$$

Запишем первый закон Кирхгофа для точки A (см. рис.1):

$$I_{DS3} = I_{DS4} + I_{IN}. \quad (2)$$

Подставляя (2) в (1) и возводя в квадрат два раза обе стороны выражения

$$2\sqrt{I_b} = \sqrt{I_{DS4} + I_{IN}} + \sqrt{I_{DS4}}, \quad (3)$$

имеем

$$16I_b^2 + I_{IN}^2 - 8I_b I_{IN} = 16I_b I_{DS4}.$$

Откуда получим выражение для тока через транзистор TN4:

$$I_{DS4} = \frac{I_{IN}^2}{16I_b} - \frac{I_{IN}}{2} + I_b. \quad (4)$$

Аналогичным образом рассмотрим петлю из транзисторов TN1, TN2, TN5 и TN6. В этом случае для точки D можно записать $V_{GS1}+V_{GS2}=V_{GS5}+V_{GS6}$. Следовательно,

$$\sqrt{I_{DS1}} + \sqrt{I_{DS2}} = \sqrt{I_{DS5}} + \sqrt{I_{DS6}}. \quad (5)$$

Запишем первый закон Кирхгофа для точки В (см. рис.1):

$$I_{DS5} = I_{DS6} - I_{IN}. \quad (6)$$

Подставляя (6) в (7) и учитывая, что ток, протекающий через транзисторы TN1 и TN2, одинаков и равен I_b , получаем

$$2\sqrt{I_b} = \sqrt{I_{DS6} - I_{IN}} + \sqrt{I_{DS6}}. \quad (7)$$

Возведя в квадрат обе стороны выражения два раза, имеем $16I_b^2 + I_{IN}^2 + 8I_b I_{IN} = 16I_b I_{DS6}$. Таким образом,

$$I_{DS6} = \frac{I_{IN}^2}{16I_b} + \frac{I_{IN}}{2} + I_b. \quad (8)$$

Запишем первый закон Кирхгофа для точки С (см. рис.1):

$$I_{OUT} + 2I_b = I_{DS4} + I_{DS6}. \quad (9)$$

Подставляя выражения (8) и (4) в (9) и выражая выходной ток, получаем квадратичную функцию входного тока на выходе ячейки квадратичной функции:

$$I_{OUT} = \frac{I_{IN}^2}{8I_b}.$$

Построение схемы умножителя аналоговых сигналов. Используя схему возведения в квадрат токов и формулу разности квадратов $((x + y)^2 - (x - y)^2 = 4xy)$, можно построить аналоговый токовый умножитель, схема которого представлена на рис.2.

Ток, протекающий через точку А, формируется транзисторами TP6, TP7 через транзистор TN10 и равен сумме токов $I_x + I_y$. Ток, протекающий через точку В, формируется транзисторами TP12 и TN12 и равен $I_x - I_y$. Контур, содержащий транзисторы TN1, TN2, TN3 и TN5, а также TN1, TN2, TN4 и TN6, является квадратором тока, протекающего через точку А. В то же время контур, содержащий транзисторы TN1, TN2, TN16 и TN18, а также TN1, TN2, TN15 и TN17, является квадратором тока

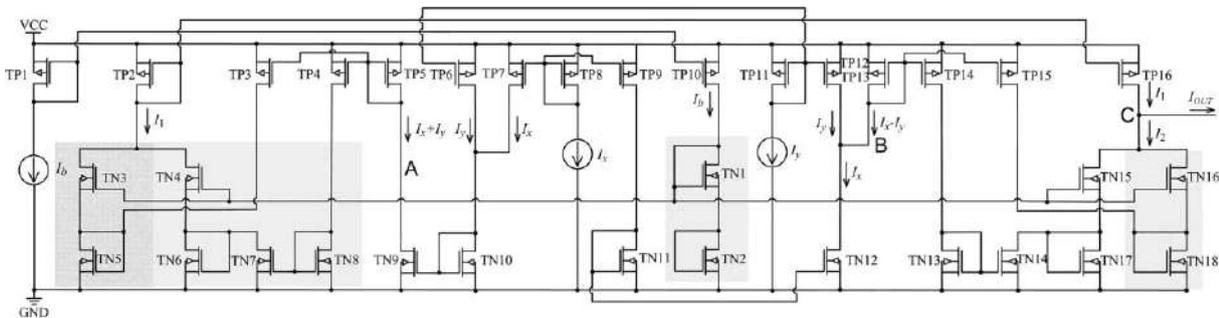


Рис.2. Электрическая схема умножителя аналоговых сигналов
Fig.2. Analog signal multiplier circuit

через точку В. Применение общих для всех контуров транзисторов TN1 и TN2 позволяет сократить общее энергопотребление. Из схемы на рис.2 видно, что

$$I_1 = \frac{(I_X + I_Y)^2}{8I_b}, \quad (10)$$

$$I_2 = \frac{(I_X - I_Y)^2}{8I_b}. \quad (11)$$

В точке С (см. рис.2) происходит вычитание выходных токов:

$$I_{OUT} = I_1 - I_2. \quad (12)$$

Подставляя (10) и (11) в (12), получаем выходной ток умножителя:

$$I_{OUT} = \frac{I_X I_Y}{2I_b}.$$

Моделирование схемы аналогового умножителя. В настоящее время в НПК «Технологический центр» освоены и применяются базовые структурированные кристаллы серии 5529, изготовленные по КМОП-технологии с технологическими нормами 0,25 мкм на структуре кремний на изоляторе. Конструкция базового структурированного кристалла имеет фиксированную периферийную область и цепи, организующие системы питания микросхемы [5].

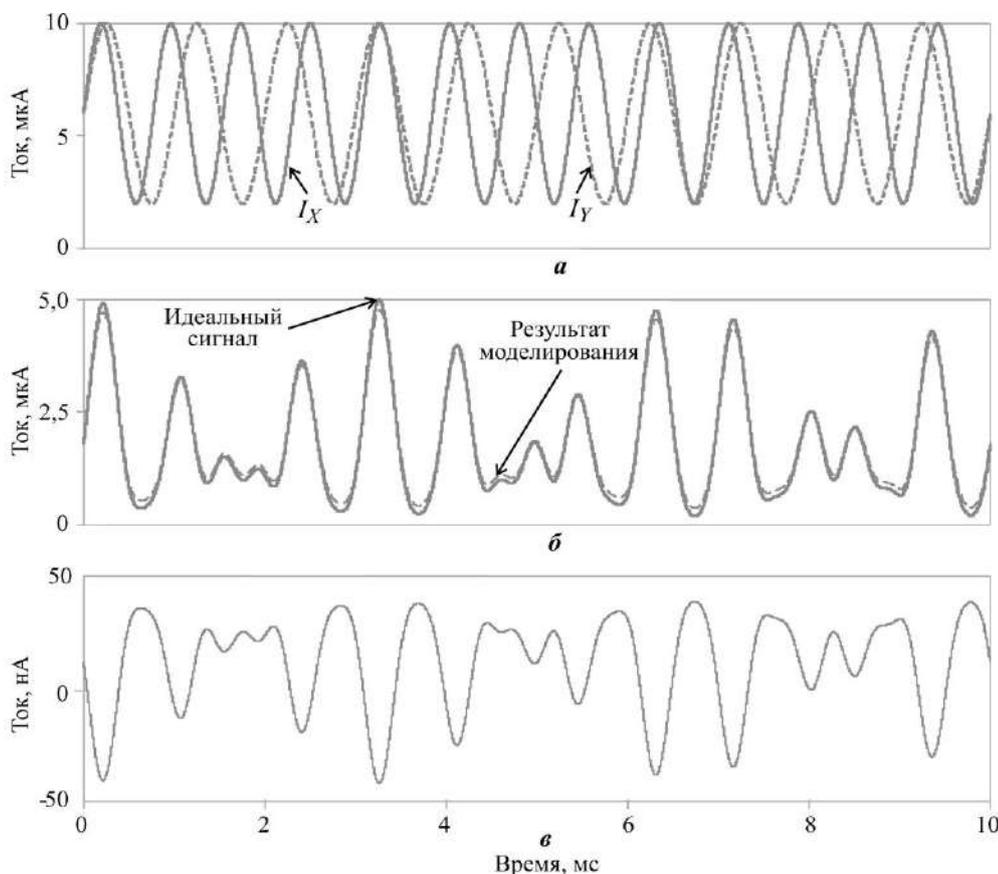


Рис.3. Результаты моделирования: а – входные сигналы; б – работа умножителя; в – значение ошибки
 Fig.3. Simulation results: a – input signals; b – analog signal multiplier product; c – error value

Такой подход позволяет создавать как матрицы цифровых транзисторов, так и сложнофункциональные блоки, в том числе микропроцессорные ядра, микроконтроллеры, блоки памяти, блоки аналого-цифровой обработки и др.

На рис.3 показаны результаты моделирования схемы умножителя. Входные сигналы I_X и I_Y имеют частоту 1 и 1,3 кГц соответственно. Амплитудно-частотная характеристика предлагаемого умножителя, представленная на рис.4, показывает, что частота среза составляет 63 МГц при подаче на вход сигналов I_X и I_Y , равных 10 мкА. На рис.5 приведена зависимость коэффициента гармонических искажений от входного тока умножителя для входных сигналов на частотах 100 кГц и 1 МГц. Моделирование показало, что коэффициент гармонических искажений имеет наихудшее значение при входном токе 25 мкА на частоте 1 МГц.

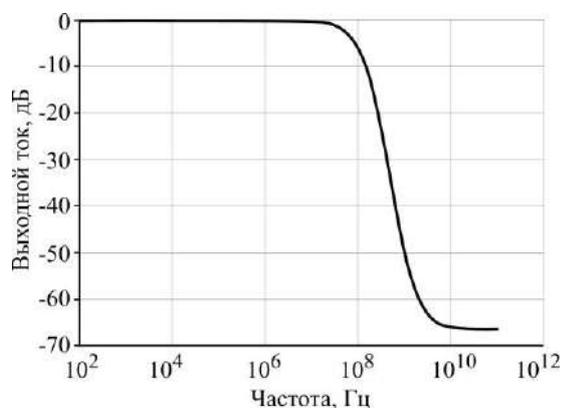


Рис.4. Амплитудно-частотная характеристика
Fig.4. Frequency response

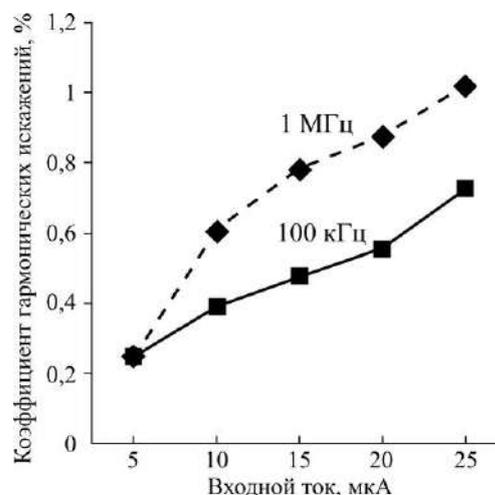


Рис.5. Зависимость коэффициента гармонических искажений от входного сигнала
Fig.5. The dependence of the total harmonic distortion on the input current value

Заключение. Результаты моделирования умножителя аналоговых сигналов на основе элементов базового структурированного кристалла серии 5529 показали, что полученный умножитель можно использовать в составе схем ФАПЧ и АРУ. Максимальная ошибка по току при умножении сигналов на разных частотах составила менее 0,95 %.

Применение библиотеки сложнофункциональных блоков в аналоговых системах позволит снизить энергопотребление за счет отсутствия дискретного преобразования и выполнения вычислений напрямую без использования АЦП.

Литература

1. **Росляков А.С.** Исследование возможности создания низкопотребляющих СФ блоков для решения конечно-разностных уравнений в преобразованиях низкочастотных сигналов // Нано- и микросистемная техника. 2014. № 6. С. 10–11.
2. **Tohid Aghaei, Ali Naderi Saatlo.** A new strategy to design low power translinear based CMOS analog multiplier // Integration. 2019. Vol. 69. P. 180–188.

3. **Филановский И.М., Балтес Х.** КМОП двухквadrантный множитель с использованием транзисторного триодного режима // IEEE Journal Solid State Circuits. 1992. No. 27. С. 831–833.

4. **Ali Naderi, Abdollah Khoei, Khayrollah Hadidi, Hadi Ghasemzadeh.** A new high speed and low power four-quadrant CMOS analog multiplier in current mode // AEU – International Journal of Electronics and Communications. 2009. Vol. 63. Iss. 9. P. 769–775.

5. Микросхемы для аппаратуры космического назначения: практическое пособие / **В.В. Коняхин, А.Н. Денисов, Р.А. Фёдоров и др.** / под общ. ред. академика РАН А.Н. Саурова. 2-е изд., испр. и доп. М.: Техносфера, 2017. 388 с.

Поступила в редакцию 24.11.2020 г.; после доработки 11.01.2021 г.; принята к публикации 08.02.2021 г.

Белостоцкая Светлана Олеговна – старший научный сотрудник научно-исследовательской лаборатории перспективной электронной компонентной базы и технологических процессов НПК «Технологический центр» (Россия, 124498, г. Москва, г. Зеленоград, пл. Шокина, 1), S.Belostotskaya@tcen.ru

Лукьянов Антон Алексеевич – научный сотрудник лаборатории разработки аналого-цифровых БИС НПК «Технологический центр» (Россия, 124498, г. Москва, г. Зеленоград, пл. Шокина, 1), A.Lykyanov@tcen.ru

Росляков Алексей Сергеевич – научный сотрудник лаборатории разработки аналого-цифровых БИС НПК «Технологический центр» (Россия, 124498, г. Москва, г. Зеленоград, пл. Шокина, 1), A.Roslyakov@tcen.ru

Семенов Александр Николаевич – научный сотрудник лаборатории разработки аналого-цифровых БИС НПК «Технологический центр» (Россия, 124498, г. Москва, г. Зеленоград, пл. Шокина, 1), A.Semenov@tcen.ru

Федоров Роман Александрович – кандидат технических наук, начальник лаборатории разработки аналого-цифровых БИС НПК «Технологический центр» (Россия, 124498, г. Москва, г. Зеленоград, пл. Шокина, 1), R.Fedorov@tcen.ru

References

1. Roslyakov A.S. Feasibility study of low-power IP-blocks development to solve finite-difference equations in low-frequency signals conversion. *Nano- I mikrosistemnaya tekhnika = Nano- and Microsystems Technology*, 2014, no. 6, pp. 10–11. (In Russian).

2. Tohid Aghaei, Ali Naderi Saatlo. A new strategy to design low power translinear based CMOS analog multiplier. *Integration*, 2019, vol. 69, pp. 180–188.

3. Filanovskij I.M., Baltess H. CMOS two-quadrant multiplier using a transistor triode mode. *IEEE J. Solid State Circuits*, 1992, no. 27, pp. 831–833.

4. Ali Naderi, Abdollah Khoei, Khayrollah Hadidi, Hadi Ghasemzadeh. A new high speed and low power four-quadrant CMOS analog multiplier in current mode. *AEU – International Journal of Electronics and Communications*, 2009, vol. 63, iss. 9, pp. 769–775.

5. Koniakhin V.V., Denisov A.N., Fedorov R.A., Vilson A.L., Brazhnikov S.S., Konovalov V.S., Malashevich N.I., Roslyakov A.S. *Microcircuits for space equipment. A practical guide*. Ed by A.N. Saurov. Edition 2 revised and enlarged. Moscow, Technosphaera Publ., 2017. 388 p. (In Russian).

Received 24.11.2020; Revised 11.01.2021; Accepted 08.02.2021.

Information about the authors:

Svetlana O. Belostotskaya – Senior Scientist of the Scientific Research Laboratory for Prospective Electronic Component Base and Technological Procedures, SMC «Technological Centre» (Russia, 124498, Moscow, Zelenograd, Shokin sq., 1), S.Belostotskaya@tcen.ru

Anton A. Lukyanov – Research Scientist of the Analog-Digital LSI Development Laboratory, SMC «Technological Centre» (Russia, 124498, Moscow, Zelenograd, Shokin sq., 1), A.Lykyanov@tcen.ru

Alexey S. Roslyakov – Research Scientist of the Analog-Digital LSI Development Laboratory, SMC «Technological Centre» (Russia, 124498, Moscow, Zelenograd, Shokin sq., 1), A.Roslyakov@tcen.ru

Alexander N. Semenov – Research Scientist of the Analog-Digital LSI Development Laboratory, SMC «Technological Centre» (Russia, 124498, Moscow, Zelenograd, Shokin sq., 1), A.Semenov@tcen.ru

Roman A. Fedorov – Cand. Sci. (Eng.), Head of the Analog-Digital LSI Development Laboratory, SMC «Technological Centre» (Russia, 124498, Moscow, Zelenograd, Shokin sq., 1), R.Fedorov@tcen.ru

Вниманию читателей журнала

«Известия высших учебных заведений. Электроника»

Подписку на печатную версию журнала можно оформить:

- по объединенному каталогу «Пресса России» ООО «Агентство «Книга-Сервис» в любом почтовом отделении. Подписной индекс 38934
- по каталогу «Периодические издания. Газеты и журналы» ООО «УП Урал-Пресс». Подписной индекс 38934
- через редакцию - с любого номера и до конца года

Подписку на электронную версию журнала можно оформить на сайтах:

- Научной электронной библиотеки: www.elibrary.ru
- ООО «Агентство «Книга-Сервис»»: www.rucont.ru; www.akc.ru;
www.pressa-rf.ru
- ООО «УП Урал-Пресс»: www.delpress.ru
- ООО «ИВИС»: www.ivis.ru