

СХЕМОТЕХНИКА И ПРОЕКТИРОВАНИЕ

УДК 621.382.049.77.001.63

Диагностирование самосинхронных функциональных ячеек средствами САПР «Ковчег»

С.В.Гаврилов, А.Н.Денисов, Н.И.Малашевич, А.С.Росляков, Р.А.Фёдоров

Московский государственный институт электронной техники
(технический университет)

Рассмотрена модель самосинхронных элементов, позволяющая упростить анализ запрещенных ситуаций, возникающих в самосинхронных схемах. Показаны особенности самосинхронной схемотехники при проектировании полузаказных СБИС.

Ключевые слова: самосинхронные элементы, САПР, диагностика, СС-библиотека.

Для современной микроэлектроники наряду с планомерным уменьшением технологических норм характерны развитие и усложнение методологий проектирования ИС. Одно из перспективных направлений – применение самосинхронной (СС) схемотехники в процессе проектирования электронной аппаратуры.

Самосинхронные элементы обладают существенными преимуществами по сравнению с прочими типами цифровых элементов. В частности, данные схемы сохраняют работоспособность как при любых соотношениях задержек составляющих их элементов, так и при ухудшении условий эксплуатации (понижении напряжения питания, изменении температуры окружающей среды и т.д.). Даже при большом разбросе технологических параметров активных элементов полупроводниковых структур схема правильно выполняет реализованный в ней алгоритм функционирования, несмотря на изменение быстродействия. Это достигается благодаря применению специальных схемотехнических приемов проектирования как принципиальных схем отдельных элементов, так и функционально-логических схем сложных устройств. Все это усложняет разработку СС-схем и требует дополнительных аппаратных затрат, вследствие чего актуальными становятся задачи разработки моделей СС-схем для САПР и их применения при проектировании СБИС специального назначения [1–3].

Анализ материалов зарубежной печати позволяет сделать вывод, что большая часть схемотехнических решений относится не к классу СС, а классу квазисамосинхронных схем [4–9].

Квазисамосинхронные схемы состоят из различных комбинаций СС-элементов, реализация которых осуществлена за счет действительного окончания переходных процессов, и асинхронных элементов. В последних вместо контроля окончания событий действует гипотеза ограниченного времени протекания событий, реализуемая встроенными элементами задержки. Это позволяет уменьшить число транзисторов, необходимых для реализации схемы, использовать стандартные средства САПР СБИС, но целый ряд важных потенциальных преимуществ СС-схем оказывается потерянным.

© С.В.Гаврилов, А.Н.Денисов, Н.И.Малашевич, А.С.Росляков, Р.А.Фёдоров, 2011

СС-схема условно разбивается на функциональную часть, выполняющую обработку входных данных, и индикаторную часть, фиксирующую окончание переходных процессов [10].

Таким образом, СС-элементы обеспечивают индикацию окончания процессов перехода из рабочей фазы в промежуточную (спейсер) и обратно. Спейсеры могут принимать значение логического «0» и логической «1». В соответствии с принципами СС-схемотехники схемы имеют на входе сигналы или их сочетание следующих типов:

- информационные унарные (непарные) входные;
- информационные бифазные (парные);
- информационные парафазные без спейсера;
- информационные парафазные со спейсером;
- индикаторные унарные;
- управляющие унарные (разрешение записи).

Под информационным унарным сигналом понимается обычный непарный сигнал, например унарный вход D у D -триггера.

Под бифазным сигналом понимается парный сигнал, источником которого являются выходы бистабильной ячейки (название сигнала указывает на его родственную связь с такой ячейкой). Бифазный сигнал имеет два устойчивых состояния («01» и «10») и только одно транзитное (переходное) состояние («00» или «11»).

Под парафазным сигналом без спейсера понимается пара сигналов, имеющая два устойчивых состояния («01» и «10») и два транзитных состояния («00» и «11»). Пример – вход и выход инвертора.

Под парафазным сигналом со спейсером понимается представление исходного одноразрядного сигнала двумя битами. Например, «0» кодируется как «01», а «1» – как «10». Роль спейсера играет один из двух наборов – или все нули, или все единицы. Парафазный сигнал имеет три устойчивых состояния: «01», «10» и «00» (или «11»).

Особенностью СС-схем является независимость от задержек на составляющих элементах в предположении, что задержка в проводах после разветвления существенно меньше минимально возможной задержки элемента. Такая особенность предполагает отсутствие синхронизации. Однако для соответствия гипотезе Маллера [11] необходимо проводить контроль и учет длин соединений. С уменьшением топологических норм задержки логических элементов (ЛЭ) уменьшаются и преобладающими становятся задержки в соединительных линиях. В этом случае гипотеза Маллера может не выполняться, если имеет место ветвление, т.е. выход ЛЭ подключен к выходам более чем одного приемного ЛЭ.

Таким образом, для соответствия гипотезе Маллера необходимо учитывать задержку, вносимую линией. Несоответствие этой гипотезе будет приводить к нарушению самосинхронности. Кроме того, запрещенные комбинации входных сигналов могут привести к неопределенному состоянию выходов ячеек. В таких случаях проектировщик должен изменить схему, учитывая, что в этом локальном месте гипотеза не выполняется.

Наиболее эффективным способом создания ориентированных для использования в жестких условиях эксплуатации микросхем специального назначения является их реализация на базовых матричных кристаллах (БМК), аттестованных на применение в таких условиях. САПР БМК «Ковчег» позволяет при разработке полузаказных микросхем, так же как и Cadence, Synopsys и др., учитывать задержки линий связи. Таким образом, САПР БМК «Ковчег» позволяет контролировать самосинхронность спроектированной схемы с учетом ее реальной топологии.

В состав САПР «Ковчег» входят все основные подсистемы, необходимые для разработки и подготовки к производству полузаказной БИС, а именно: графический ре-

дактор схем; подсистема функционально-логического моделирования; подсистема размещения ячеек на поле БМК; подсистема синтеза топологии; специализированный топологический редактор; подсистема верификации; подсистема расчета параметров топологии; подсистема анализа устойчивости проекта; средства обеспечения оперативного макетирования с помощью имитатора БИС.

Подсистема функционально-логического моделирования обеспечивает анализ состояния схемы в статическом или динамическом режиме, сохранение эталонных диаграмм работы схемы, выполнение сравнения текущих диаграмм с эталонными. САПР обладает средствами, обеспечивающими подготовку информации для макетирования разрабатываемого проекта БИС с помощью имитаторов. Совмещенная подсистема ручного и автоматического размещения ячеек на поле БМК обеспечивает возможность повышения коэффициента заполнения поля БМК до 80–90%. Синтез топологии выполняется с учетом списков цепей приоритетной разводки и скоростных цепей. Синтез может быть остановлен в произвольный момент, после чего топология будет скорректирована, а синтез продолжен.

Подсистема расчета задержек обеспечивает расчет топологических задержек в зависимости от технологических параметров для оценки влияния топологии на работоспособность БИС. Подсистема аттестации позволяет оценить устойчивость проекта микросхемы в зависимости от воздействия внешних факторов, провести анализ влияния топологических параметров на правильность функционирования и устойчивость проекта.

В САПР «Ковчег» [12] при настройке подсистем функционально-логического моделирования на ячейки цифровых библиотек используется табличная форма или описание в базе базовых ячеек. Для традиционной библиотеки логических элементов (например, 5503 [13]) состав базовых ячеек не превышает 30, при этом ячейки имеют не более трех входов, что позволяет легко описать таблицу состояний. В отличие от традиционной, библиотека самосинхронных элементов состоит из более чем 200 элементов и имеет широкий спектр базовых ячеек с большим количеством входов [14]. Поэтому для описания самосинхронных базовых ячеек разработано и применено формульное описание. Это позволило провести настройку подсистем функционально-логического моделирования с помощью базовых табличных и базовых формульных моделей, а также структурных описаний.

Однако формульная модель и структурное описание не позволяют диагностировать специфические состояния самосинхронных функциональных ячеек. С этой целью разработаны и применены диагностические элементы. Для формульных моделей они вошли в состав модели, а для структурного описания функциональных ячеек были добавлены как элементы схемы. Такой подход является аналогом аппарата встроенного контроля САПР Cadence, Synopsys, Mentor Graphics и позволяет проводить диагностику запрещенных ситуаций. В качестве примера структурного описания рассмотрен элемент R0CE10 библиотеки 5503CC [14].

Элемент R0CE10 является одноканальным RS -триггером с парафазным входом (R, S), входом разрешения записи (E), входом самосинхронного сброса (C), бифазным информационным выходом (Q, \bar{Q}) и индикаторным выходом (I), отображающим окончание переходных процессов в триггере. В спейсере значение выхода I равно «1», в рабочей фазе – «0». В базовом варианте входы R, S представляют собой парафазный сигнал без спейсера. В случае информационного входа со спейсером (нулевым) требуется дополнительно индцировать спейсерное состояние входа разрешения записи E .

Элемент 2ИЛИ-НЕ в составе триггера обеспечивает индцирование начального сброса общей подсхемой индикации без использования дополнительных средств. Сброс выполняется при спейсере на входе разрешения записи E ($E = \langle 0 \rangle$), когда индикаторный выход уже переключил-

ся в «1». По окончании всех переключений индикаторный выход перейдет в «0», информируя об окончании сброса.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами схемы: n -типа $N_n = 3$ и p -типа $N_p = 3$. Коэффициент объединения по входам S и $R - 2$, по входу $E - 3$. Рекомендуемая нагрузочная способность по всем выходам - 1. Размер элемента составляет 8 ячеек поля БМК. Условно-графическое обозначение (УГО) и функциональная схема элемента приведены на рис.1,а.

Обозначение CQ в логических функциях, изображенное на рис.1,б, внутреннее и введено для упрощения формул.

В таблице указаны запрещенные ситуации, которые могут возникнуть при функционировании R0CE10 в случае нарушений его самосинхронного исполнения.

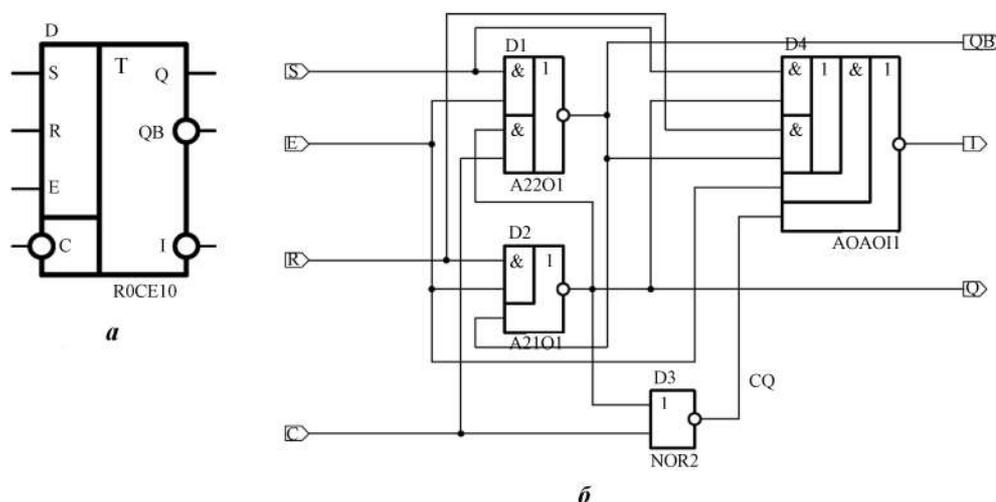


Рис.1. Элемент R0CE10: а – условно-графическое обозначение; б – функциональная схема

Запрещенные ситуации

Входы				Выходы		
<i>S</i>	<i>R</i>	<i>E</i>	<i>C</i>	<i>Q</i>	<i>QB</i>	<i>I</i>
1	1	1	1	0	0	1
1	1	1	0	0	0	0
1	0	1	0	1	0	0
0	1	1	0	0	1	0
↔	*	1	1	*	*	*
*	↔	1	1	*	*	*
0	1	↔	0	*	*	*
1	0	↔	0	*	*	*

Элемент R0CE10 имеет формульную модель:

$$\begin{cases} Q = \overline{R \cdot E + QB}, \\ QB = \overline{S \cdot E + C \cdot Q}, \\ CQ = \overline{C + Q}, \\ I = \overline{CQ + E \cdot (R \cdot QB + S \cdot Q)}. \end{cases}$$

При подаче на вход элемента значений, представленных в таблице, в схеме возникают условия нарушений самосинхронности, т.е. условия зависимости поведения элементов от задержек его компонентов.

Для устранения указанного несоответствия принят диагностический элемент, который имеет УГО и описанную на языке С++ логическую модель, имеющую необходимые для проверки запрещенных ситуаций входы. Диагностический элемент подключается параллельно функциональной схеме (рис.2).

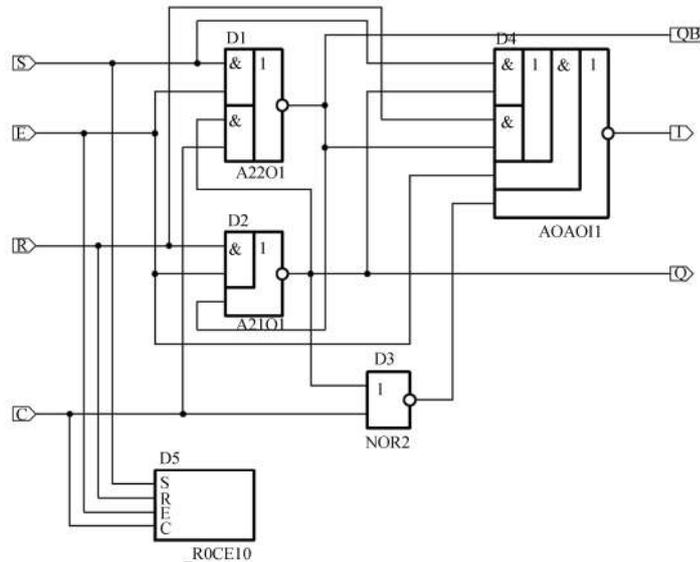


Рис.2. Функциональная схема элемента ROCE10, включающая диагностический элемент _R0CE10

Диагностический элемент имеет только входы, необходимые для проверки запрещенных ситуаций. Модель этого элемента имеет описание, схожее с обычными элементами, за исключением некоторых особенностей: в модели есть только входы, но нет выходов; задержки на входах элемента отсутствуют, т.е. он является идеальным; в основе модели лежит только контроль запрещенных ситуаций в соответствии с таблицей.

Таким образом, в разработанной самосинхронной библиотеке 5503СС созданы элементы, у которых запрещенные ситуации проявляются не только в зависимости от входов, но и от выходов. В этом случае выход функциональной схемы фактически становится входом диагностического элемента.

Если сигналы на входах соответствуют запрещенной ситуации, то диагностический элемент формирует сообщение об ошибке. В настоящее время САПР «Ковчег» обеспечивает анализ 25 видов ошибок, связанных с нарушением самосинхронизации. Они включают в себя нарушение предустановки элементов, преждевременные переключения информационных входов, возникновение неопределенных состояний на выходах и др.

В библиотеке 5503СС содержится 225 элементов, больше половины из них имеют запрещенные ситуации. Предложенный подход позволяет упростить анализ запрещенных ситуаций, возникающих в самосинхронных схемах. Это обеспечивает возможность интеграции элементов СС-библиотеки в САПР и позволяет использовать преимущества самосинхронной схемотехники при проектировании СБИС.

Работа выполнена при частичной финансовой поддержке Министерства образования и науки РФ (грант Президента РФ для поддержки молодых российских ученых МК-826.2009.8).

Литература

1. *Kishinevsky M., Kondratyev A., Taubin A., Varshavsky V.* Concurrent Hardware. The Theory and Practice of Self-Timed Design. // J. Wiley & Sons. – 1993.
2. *Филин А.В., Степченко Ю.А.* Схемотехника интегральной элементной базы естественно-надежных компьютеров // Системы и средства информатики. – 1995. – Вып. 7. – С. 222–239.
3. *Плеханов Л.П.* Базовые элементы самосинхронных схем // Системы и средства информатики. – 1995. – Вып. 7. С. 258–264.
4. *Brunvand E.* A cell set for self-timed design using Actel FPGAs // Tech. Rep. UUCS-91-013, Department of Computer Science, University of Utah. – Aug. 1991.
5. *Brunvand E.* Using FPGAs to implement self-timed systems // J. of VLSI Signal Processing. – June 1993. – Vol. 6. – P. 173–190.
6. *Maheswaran K.* Implementing self-timed circuits in field programmable gate arrays // Master's thesis, University of California. – Davis. – 1994.
7. *Renaudin M., Vivet P., Robin F.* ASPRO-216: A standard-cell QDI 16-bit RISC asynchronous microprocessor // Proc. International Symposium on Advanced Research in Asynchronous Circuits and Systems. – 1998. – P. 22–31.
8. *Back R.-J.R., Martin A., Sere K.* An action system specification of the Caltech asynchronous microprocessor // Third International Conf. on the Mathematics of Program Construction, Lecture Notes in Computer Science, Springer-Verlag. – July 1995. – P. 129–148.
9. TIMA Laboratory. Annual report 2002. – May 2003. – P. 39–54.
10. Библиотека элементов базовых матричных кристаллов для критических областей применения / *Ю.А.Степченко, А.Н.Денисов, Ю.Г.Дьяченко и др.* // Системы и средства информатики.– 2004. – Вып. 14. – С. 318–361.
11. *Muller D.E.* Asynchronous logics and application to information processing // Symposium on the Application of Switching Theory to Space Technology. – Stanford University Press. – 1962. – P. 289–297.
12. *Гаврилов С.В., Денисов А.Н., Коняхин В.В.* Система автоматизированного проектирования «Ковчег 2.1» / *Под ред. Ю.А.Чаплыгина.* – М.: Микрон-Принт, 2001. – 230 с.
13. *Денисов А.Н., Фомин Ю.П., Коняхин В.В., Гаврилов С.В.* Библиотека логических элементов 5503 / *Под ред. А.Н.Саурова.* – М.: Микрон-Принт, 2001. – 180 с.
14. Библиотека самосинхронных элементов для проектирования полузаказных микросхем серий 5503 и 5507 / *Ю.А.Степченко, А.Н.Денисов, Ю.Г.Дьяченко и др.* // – М.: ИПИ РАН, 2008. – 238 с.

Статья поступила
после доработки 27 сентября 2010 г.

Гаврилов Сергей Владимирович – начальник лаборатории НПК «Технологический центр» МИЭТ. *Область научных интересов:* разработка средств и методов проектирования БИС на БМК.

Денисов Андрей Николаевич – начальник лаборатории НПК «Технологический центр» МИЭТ. *Область научных интересов:* разработка средств и методов проектирования БИС на БМК.

Малашевич Наталья Иосифовна – магистрант кафедры проектирования и конструирования интегральных микросхем МИЭТ. *Область научных интересов:* проектирование и разработка цифровых и смешанных КМОП-интегральных схем.

Росляков Алексей Сергеевич – магистрант кафедры интегральной электроники и микросистем МИЭТ. *Область научных интересов:* проектирование и разработка цифровых и смешанных КМОП-интегральных схем.

Фёдоров Роман Александрович – кандидат технических наук, старший научный сотрудник НПК «Технологический центр» МИЭТ. *Область научных интересов:* проектирование и разработка цифровых и смешанных КМОП-интегральных схем.
E-mail: R.Fedorov@tcen.ru