

## ИНФОРМАТИКА, ВЫЧИСЛИТЕЛЬНАЯ ТЕХНИКА И УПРАВЛЕНИЕ

Алешина В.И., Фролов С.Н., Макарецва М.М., Голенкевич А.Д.

### СИНТЕЗ КОМБИНАЦИОННЫХ СХЕМ ИЗ ТАБЛИЦ ИСТИННОСТИ В МАРШРУТЕ ПРОЕКТИРОВАНИЯ САПР «КОВЧЕГ»

При проектировании современных БИС с помощью САПР на одном из первых мест стоит задача автоматизации процесса разработки для повышения качества и сокращения времени выхода на стадию производства микросхем. В НПК «Технологический центр» при разработке отечественных БИС используется САПР «Ковчег» [1]. САПР постоянно развивается, добавляется новый функционал.

По желанию разработчиков микросхем была реализована и введена в САПР новая подсистема создания комбинационных схем через определение таблицы истинности. При этом графический интерфейс позволит разработчикам значительно упростить создание функций, а параметризованный синтез — достичь результата согласно заданным условиям.

Исходными данными являются требования к реализуемой схеме — количество входных и выходных портов, которые определяют размерность таблицы истинности. В редакторе работы с таблицами реализовано два режима: ручной и автоматический ввод значений. При автоматическом режиме выводится таблица с полным перебором входных значений, напротив которых разработчик задаёт значения выходов. Уже на этой стадии можно применять упрощение функции самим разработчиком, программа позволяет «схлопывать» ячейки входных значений, которые не являются значимыми. В ручном режиме разработчик полностью задаёт наборы входных и выходных значений, включая условия «не важно» («don't care», обозначаются X). Введённые данные представляют собой систему булевых функций, по которым строится совершенная дизъюнктивная нормальная форма (СДНФ).

Задачей синтеза комбинационной схемы является преобразование СДНФ в технологический базис заданного БМК. Сложность синтеза заключается в выборе оптимального решения среди множества возможных. В САПР Ковчег синтез схемы проходит в три этапа.

Первым этапом является оптимизация, в результате которой СДНФ преобразуется в сокращённую дизъюнктивно нормальную форму (ДНФ) [2] по алгоритму, основанному на методе Квайна. На втором этапе построенная логическая функция из формы ДНФ преобразовывается в направленный ациклический

граф (And-Inverter Graph - AIG), представляющий собой структурную реализацию логической схемы [3]. Построенный AIG преобразуется с помощью алгоритма Rewrite [4] с целью уменьшения количества узлов графа. В результате двухэтапной оптимизации достигается квази-минимальное решение.

Третий этап – этап технологического отображения. На этом этапе AIG преобразуется в функционально эквивалентный граф, узлы которого соответствуют ячейкам библиотеки БМК. Логическая функция каждой функциональной ячейки библиотеки представляется битовым вектором. Для каждого узла AIG строится множество сечений и для каждого сечения вычисляется логическая функция, по которой из набора библиотечных ячеек выбирается подходящая по параметрам синтеза ячейка [5]. Алгоритм идет по одному из двух путей: первый определяет синтез для минимальной площади, второй для максимального быстродействия.

В таблице приведены сравнительные результаты для набора схем после синтеза в САПР «Ковчег» и DesignCompiler (DC) фирмы Synopsys. Из Таблицы 1 видно, что результаты синтеза сопоставимы.

Таблица 1.

**Площадь схемы в результате синтеза при условии минимизации площади**

№ Схемы	Входные переменные	Выходные переменные	«Ковчег» (мкм <sup>2</sup> )	DC (мкм <sup>2</sup> )	Соотношение сторон
1	4	4	2534	2946	1.16
2	4	1	516	532	1.03
3	4	3	1400	1245	0.89
4	5	4	4627	4801	1.04
5	5	2	1292	1627	1.26
6	6	2	3902	3845	0.99
7	7	2	3003	3157	1.05
8	7	1	3169	3519	1.11
9	8	2	11641	10835	0.93
10	8	1	4358	4817	1.11
11	9	3	16645	17839	1.07
12	11	1	16204	13638	0.84

Результатом синтеза является представление схемы в формате Verilog netlist. В случае небольших схем желательно предоставить разработчику возможность править схемы в графическом виде, для этого реализована функция

автоматической прорисовки в формат графического редактора САПР Ковчег (рис. 1).

№	A	B	C	D	outA
0	0	0	0	0	0
1	0	0	1	1	0
2	0	1	0	0	0
3	0	1	1	1	0
4	1	0	0	0	0
5	1	0	1	1	0
6	1	1	0	0	0
7	1	1	1	1	0
8	0	0	0	0	0
9	0	0	1	1	0
10	0	1	0	0	0
11	0	1	1	1	0
12	1	0	0	0	0
13	1	0	1	1	0
14	1	1	0	0	0
15	1	1	1	1	0

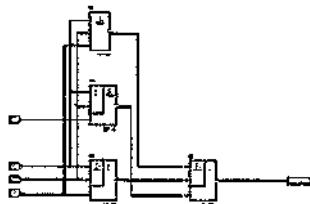


Рис. 1. Таблица истинности и отображение синтезированной схемы

Это позволяет в дальнейшем использовать их как готовую подсхему или редактировать в графическом редакторе. При моделировании схем могут использоваться тесты (рис. 2), которые также автоматически создаются при синтезе, и содержат описание входных и выходных значений для всех портов схемы.

```

[TEST A]#M  tab|z16|
1  tab|z16|
2  table15:
3  [ A, B, C, D, outA ] =
4  "0" 0000_b;
5  "1" 0001_b;
6  "2" 0010_b;
7  "3" 0011_b;
8  "4" 0100_b;
9  "5" 0101_b;
10 "6" 0110_b;
11 "7" 0111_b;
12 "8" 1000_b;
13 "9" 1001_b;
14 "10" 1010_b;
15 "11" 1011_b;
16 "12" 1100_b;
17 "13" 1101_b;
18 "14" 1110_b;
19 "15" 1111_b;
20
    
```

Контрольные точки	Логическое значение	Диаграмма статусов
ALL		
A	0 0 0 0 0 0 0 0 1 1 1 1 1 1 1 1	
B	0 0 0 0 1 1 1 1 0 0 0 0 1 1 1 1	
C	0 0 1 1 0 0 1 1 0 0 1 1 0 0 1 1	
D	0 1 0 1 0 1 0 1 0 1 0 1 0 1 0 1	
outA	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	

Рис. 2. Автоматически сгенерированные тесты и результаты моделирования

Маршрут разработки комбинационных схем, описанный в данной статье, существенно ускоряет процесс разработки, показывает хорошие результаты и может быть рекомендован не только опытным, но и начинающим разработчикам. Удобный интерфейс, гибкость настройки и наглядность представления результата помогают избежать появления ошибок и получить качественный результат. Промышленная версия САПР «Ковчег» 3.04 для серии БМК 5503/5507 предназначенная для разработки микросхем для аппаратуры специального назначения доступна для скачивания на сайте [www.asic.ru](http://www.asic.ru).

Статья подготовлена в ходе выполнения соглашения о предоставлении субсидии №14.578.21.0061 при финансовой поддержке Минобрнауки РФ.

*Литература*

1. Проектирование БИС на БМК с помощью САПР Ковчег. <http://www.asic.ru/images/stories/publ/120.pdf>
2. *Закревский А.Д.* Логические основы проектирования дискретных устройств / *Закревский А.Д., Поттосин Ю.В., Черемисинова Л.Д.* — М.: ФИЗМАТЛИТ, 2007 г. — 592с. ISBN 978-5-9221-0811-9
3. *Sunil P. Khatri, Kanupriya Gulati.* Advanced techniques in logic synthesis, optimizations and applications. Springer, 2011.
4. Alan Mishchenko, Satrajit Chatterjee, Robert Brayton. DAG-Aware AIG Rewriting. San Francisco, California, USA.: DAC 2006, July 24–28, 20
5. *Mishchenko A., Chatterjee S., Brayton R., Wang X., Kam T.,* Technology mapping with Boolean matching, supergates and choices. ERL Technical Report, EECS Dept., UC Berkeley, March 2005.