

# Рекомендации по разработке аппаратуры с применением БМК

Базовые матричные кристаллы .....	1
Нормативно-техническая документация на полужаказные микросхемы.....	2
Группы и состав испытаний полужаказных микросхем.....	3
Порядок разработки и освоения производства полужаказной микросхемы .....	4
<b>5</b> Рекомендации по разработке аппаратуры с применением БМК .....	<b>5</b>
Пример проектирования полужаказной микросхемы средствами САПР «Ковчег 3.04» .....	6

## Раздел 5.

### Рекомендации по разработке аппаратуры с применением БМК

Понятие технологии разработки.....	5-2
Технология БМК.....	5-3
Методы проектирования.....	5-3
Средства проектирования.....	5-3
Маршрут проектирования полузаказной БИС.....	5-4
Основные этапы разработки аппаратуры по технологии БМК.....	5-6
Технология ПЛИС–БМК.....	5-7
Методы проектирования.....	5-8
Библиотека ячеек ПЛИС.....	5-8
Маршрут проектирования.....	5-9
Методы реализации проекта ПЛИС в базисе БМК.....	5-10
Технология БМК – ПЛИС – БМК.....	5-12
Основные этапы технологии БМК–ПЛИС–БМК.....	5-13
Конструкция имитаторов БМК.....	5-15
Маршрут проектирования.....	5-16
Рекомендации по разработке электрических схем.....	5-17
Общие рекомендации.....	5-18
Рекомендации по применению триггеров.....	5-19
Рекомендации по разработке синхронных схем.....	5-20
Рекомендации по разработке асинхронных схем.....	5-21
Рекомендации по разработке комбинационных схем.....	5-24
Рекомендации по согласованию синхронных и асинхронных сигналов.....	5-24
Рекомендации по использованию периферийных ячеек.....	5-25
Правила тестирования.....	5-29
Маршрут проектирования полузаказной микросхемы с применением имитатора.....	5-32
Этап разработки и функциональной верификации логической схемы.....	5-33
Этап разработки топологии.....	5-36
Этап прототипирования и исследования имитатора в аппаратуре.....	5-40
Этап аттестации проекта.....	5-41

## Понятие технологии разработки

Разработка современной аппаратуры – сложный и длительный процесс, в ходе которого решаются системотехнические и аппаратурные задачи, выполняется разработка конструкции, печатных плат, интерфейсов, проектирование специализированной элементной базы, обрабатываются алгоритмы функционирования, интерфейсы и взаимодействие блоков в составе изделия, тестируется программное обеспечение и т.д. При этом используются вполне определенные методы и маршруты проектирования, позволяющие реализовать те или иные схемотехнические решения с помощью программных или аппаратных средств, которые составляют технологию разработки.

Особенности технологии определяются прежде всего элементной базой, используемой при проектировании, выбор которой обуславливается требованиями к назначению и условиям эксплуатации аппаратуры. В случае разработки аппаратуры космического назначения основным требованием является использование отечественной элементной базы, разрешенной для применения в такой аппаратуре и позволяющей функционировать в жестких условиях эксплуатации.

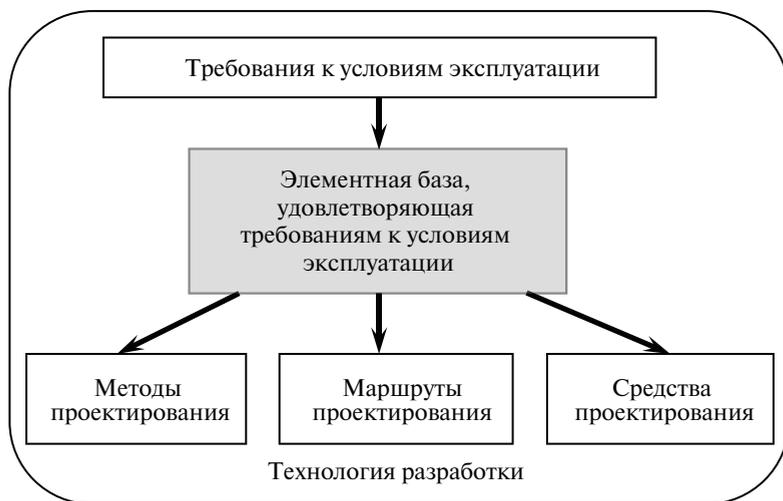


Рис. 5.1. Составляющие технологии разработки

Таким образом, технология разработки – это совокупность методов и маршрутов проектирования, позволяющих реализовывать те или иные схемотехнические решения с учетом условий эксплуатации на определенной элементной базе с помощью программных и аппаратных средств.

При разработке аппаратуры космического назначения широкое распространение получили полузаказные микросхемы. На сегодняшний день можно выделить три основных подхода при разработке полузаказных микросхем на основе БМК – традиционная технология БМК, технология ПЛИС – БМК и технология БМК – ПЛИС – БМК.

## ***Технология БМК***

Традиционная технология разработки полузаказных микросхем на основе БМК предполагает моделирование поведения микросхемы специальными программными средствами и конечную проверку правильности функционирования микросхемы в аппаратуре после ее изготовления.

### ***Методы проектирования***

Методы проектирования БИС на БМК, с одной стороны, обеспечивают эффективное использование ресурсов БМК, с другой — направлены на повышение качества проектирования. Схемотехнические приемы, применяемые при разработке аппаратуры на дискретных элементах, как правило, неприменимы при проектировании схем на БМК. Например, широко используемые при отладке аппаратуры на дискретных элементах методы согласования сигналов за счет аппаратной задержки сигналов недопустимы при проектировании полузаказных схем, так как это приводит к возникновению в схемах гонок, которые являются причинами сбоев и неправильного функционирования микросхемы.

В технологии БМК применяются классические методы минимизации логических функций, методы формального синтеза программных автоматов, эвристические методы синтеза последовательностных схем и другие методы, в том числе метод синхронного проектирования, при котором процессы обработки информации синхронизируются одной частотой или набором частот, метод асинхронного проектирования, при котором последующий цикл обработки начинается после завершения предыдущего, независимо от его продолжительности, метод смешанного проектирования, позволяющий при реализации алгоритма совместно использовать узлы и фрагменты схемы, построенные по принципу как синхронного, так и асинхронного проектирования. Это наиболее часто применяемый подход при разработке схемы.

При разработке проектов БИС также применяются специальные методы, направленные на получение уникальных свойств схемы. Например, таким методом является метод самосинхронного проектирования, который подробно описан в книге 4 серии «Проектирование полузаказных БИС на БМК серий 5503 и 5507».

Таким образом, хотя в технологии БМК неприменимы некоторые методы, используемые при разработке аппаратуры на дискретных элементах, конструкция БМК позволяет реализовывать не только традиционные, но и специфические методы проектирования. Наиболее часто в технологии БМК применяются асинхронные и смешанные схемотехнические решения.

### ***Средства проектирования***

Появление БМК сопровождалось ростом степени интеграции, уменьшением проектных норм, увеличением сложности микроэлектронных изделий. Экспериментальные методы проектирования в условиях все уменьшающихся проектных норм и задержек менее наносекунды перестали удовлетворять требованиям разработчиков. Математическое описание электрических сигналов с помощью нелинейных уравнений требовало решения систем из нескольких тысяч уравнений и оказалось малоприменимым. Поэтому стали развиваться интерактивные средства моделирования, которые были направлены на процесс проектирования собствен-

но БИС на основе БМК, но не позволяли выполнять моделирование аппаратуры в целом.

В силу специфики конструкции конкретных типов БМК универсальные средства проектирования, особенно топологического, не обеспечивали необходимых результатов с точки зрения использования поля БМК и качества топологии. Поэтому системы топологического проектирования разрабатывались под конкретные типы БМК. Системы схемотехнического функционально-логического моделирования были более универсальными и позволяли проводить разработку на нескольких различных типах БМК. В результате средства проектирования представляли собой обособленные подсистемы, реализующие отдельные этапы маршрута проектирования и связанные между собой только на уровне форматов представления входной и выходной информации.

Средства функционально-логического моделирования позволяли провести анализ поведения проекта БИС в зависимости от отдельных внешних факторов, а также с учетом топологических задержек. Но исследование поведения проекта выполнялось разработчиком и зависело от его опыта и квалификации.

Важной стороной средств проектирования являются средства подготовки контрольно-диагностических тестов для измерительного оборудования. Как правило, подсистемы функционально-логического моделирования позволяют подготовить описание тестовых воздействий в формате измерительного оборудования, но они не обеспечивают формирования программ контроля. В результате качество тестирования микросхем на стадии их производства опять же зависит от опыта разработчика.

Таким образом, средства проектирования технологии БМК ориентированы на разработку микросхем и не позволяют моделировать поведение изделия в целом. Они, как правило, не интегрированы в единую систему автоматизированного проектирования, не имеют средств аттестации проекта микросхемы с учетом внешних факторов и технологических разбросов параметров, а также средств контроля тестируемости параметров микросхем и подготовки программ контроля для измерительного оборудования.

### ***Маршрут проектирования полузаказной БИС***

В маршруте проектирования полузаказной БИС (рис. 5.2) можно выделить три основные стадии:

- разработка и функциональная верификация логической схемы;
- разработка топологии;
- контроль и спецификация проекта.

Разработка электрической схемы выполняется в соответствии с выбранным методом проектирования. Конструкция БМК, использующая, как правило, четырех транзисторные ячейки, позволяет реализовать синхронные и асинхронные схемы и эффективно использовать ресурсы БМК.

Особое значение в маршруте проектирования уделяется тестированию подсхем и всей схемы в целом. Это позволяет в большинстве случаев проверить соответствие функционирования схемы требованиям технического задания и избежать изменения схемы после изготовления. Логическая схема разрабатывается с учетом обеспечения контролепригодности узлов и элементов БИС, самой БИС в целом. Проверяется реализуемость и полнота программ и методик испытаний

микросхем с целью исключения схмотехнических решений, проверку работоспособности которых невозможно или нетехнологично выполнять с помощью имеющегося измерительного оборудования. Для этого в состав БИС при необходимости вводятся дополнительные блоки для повышения контролепригодности, а также в рамках системы проектирования создается единая среда, обеспечивающая ее взаимосвязь с тестовым оборудованием.



Рис. 5.2. Маршрут проектирования полужаказной БИС по технологии БМК

Разработка топологии включает размещение ячеек на поле БМК в ручном, автоматическом или полуавтоматическом режиме с учетом особенностей конструкции БМК и электрической схемы. Затем осуществляется трассировка связей, которая также может выполняться либо в ручном, либо в автоматическом режиме. Контроль топологии обеспечивает проверку соответствия топологии

электрической схеме, а также выполнения конструктивно-технологических ограничений.

Завершающей стадией маршрута проектирования является контроль и спецификация проекта. Выполняется расчет топологических задержек и повторное моделирование логической схемы БИС с учетом вычисленных задержек в топологии. Часто для анализа поведения проекта БИС исследуется влияние внешних факторов, которыми являются напряжение питания, температура, технологический разброс при изготовлении.

Хотя в процессе проектирования многократно проверяется правильность функционирования логической схемы, окончательная отладка БИС, ее взаимодействие с другими элементами изделия осуществляется уже в составе аппаратуры. На этом этапе могут выявиться как ошибки в проекте БИС, связанные с его недостаточной тестируемостью, так и неточности в согласовании с другими элементами изделия, обусловленные недостаточной проработкой схемы изделия. Устранение ошибок требует коррекции проекта БИС и повторного изготовления. Это является основным недостатком технологии БМК.

Таким образом, маршрут проектирования хотя и ориентирован на получение годных микросхем с первой попытки изготовления, тем не менее не может гарантировать правильность работы микросхемы в аппаратуре.

### ***Основные этапы разработки аппаратуры по технологии БМК***

Основные этапы процесса разработки аппаратуры с применением технологии БМК представлены на рис. 5.3. На этапе эскизного проекта разрабатываются структурная и функциональная схемы изделия, выполняется функциональное разбиение схемы, выделяются фрагменты, которые предполагается реализовать в виде полужаказных микросхем (ПЗ БИС). Для них формулируются технические требования, учитывающие электрические, эксплуатационные и технические характеристики БМК.

В соответствии с техническими требованиями выполняется разработка микросхем, проектируются печатные платы с учетом расположения внешних выводов БИС. Затем изготавливаются микросхемы, печатные платы и макетный образец изделия. Отработка электрической схемы происходит в процессе отладки макетного образца. Причем уточняется электрическая схема как изделия в целом, так и входящих в его состав микросхем. В результате при переходе к экспериментальному и опытному образцам изделия, как правило, требуются коррекция и повторное изготовление микросхем и печатных плат. В результате испытаний опытного образца изделия также может возникнуть необходимость коррекции и изготовления ПЗ БИС.

Таким образом, технология БМК имеет существенные преимущества по сравнению с разработкой аппаратуры на дискретных элементах, ориентирована на конечный результат в виде специализированных микросхем, пригодных для серийного производства. При разработке используется отечественная элементная база, пригодная для применения в аппаратуре космического назначения, имеющая высокие эксплуатационные характеристики, возможность работы в жестких условиях эксплуатации, в том числе при воздействии космических факторов. Процесс разработки выполняется на основе отработанных методов, средств и маршрутов проектирования. Технология БМК ориентирована на получение годных микро-

схем при первом изготовлении. Это обеспечивается высокими требованиями к тестируемости и к качеству проектирования. Качество проектирования обеспечивается средствами САПР, которые учитывают специфику конкретных серий БМК.

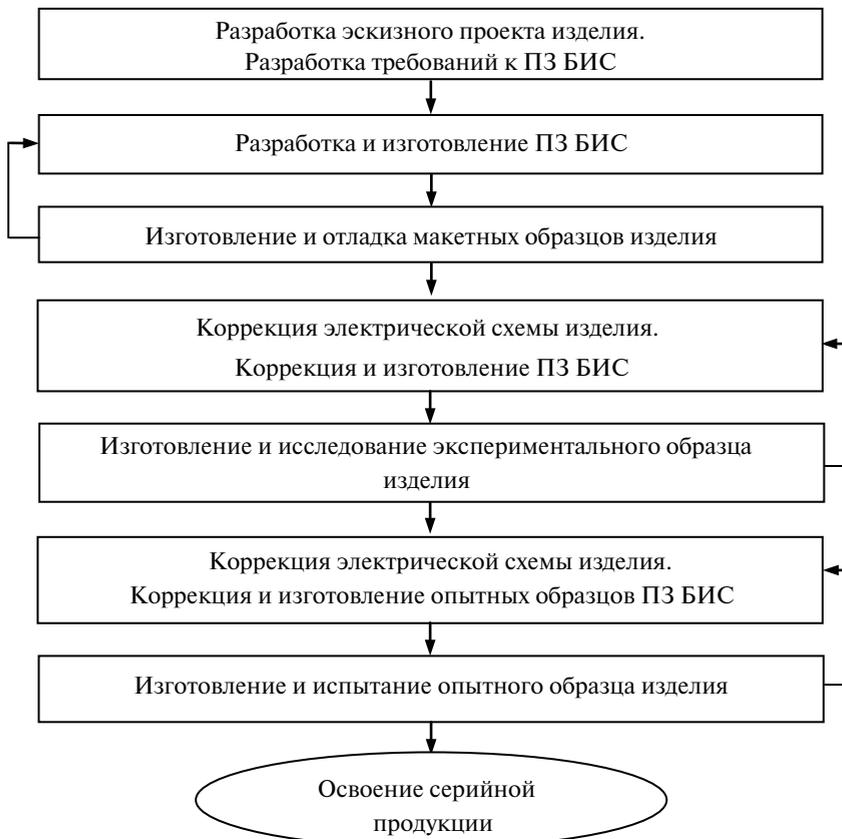


Рис. 5.3. Основные этапы технологии БМК

Основными недостатками технологии БМК являются длительный цикл изготовления полужаказных микросхем, невозможность исследования проектов микросхем в аппаратуре, которая влечет многократные коррекции и повторные изготовления микросхем в процессе разработки изделия, требующие временных и финансовых затрат.

### ***Технология ПЛИС – БМК***

Основным недостатком технологии БМК является необходимость повторно-го изготовления микросхемы при ее модификации. Поэтому появление ПЛИС, позволяющих легко выполнять коррекцию проекта специализированной интегральной схемы непосредственно в аппаратуре, стало новым шагом в развитии технологии разработки аппаратуры. Технология ПЛИС обеспечивает рекордно короткий проектно-технологический цикл, минимальные затраты на проекти-

рование, максимальную гибкость при модификации аппаратуры. При этом весь проектно-технологический цикл выполняется разработчиком РЭА на одном рабочем месте. Однако при разработке космической аппаратуры, военной и специальной техники использование импортной элементной базы недопустимо, так как это ведет к технологической зависимости, не обеспечивает информационной безопасности, не гарантирует воспроизводства элементной базы в процессе эксплуатации аппаратуры. Для решения указанных противоречий была разработана технология ПЛИС – БМК, которая предполагает обработку аппаратуры на импортных ПЛИС с последующим их переводом на отечественные БМК. Наиболее сложным этапом указанной технологии является переход от проекта ПЛИС к проекту БМК, который, как правило, требует полного перепроектирования, что обусловлено конструктивными особенностями ПЛИС, применяемыми методами проектирования, особенностями библиотеки функциональных ячеек.

### ***Методы проектирования***

В отличие от БМК, конструкция которого позволяет реализовать любые методы проектирования, конструкция ПЛИС является определяющей при выборе метода проектирования. А именно: система глобальных синхросигналов, реализация макроячеек на базе фронтовых триггеров, система коммутационных сигналов, направленная на обеспечение требуемых временных параметров при распространении сигналов, – все это определяет применение метода синхронного проектирования. Асинхронные методы проектирования и смешанные синхронно-асинхронные методы ввиду специфики конструкции реализуются неэффективно и практически не применяются.

Таким образом, применяемый при разработке проектов микросхем на ПЛИС метод синхронного проектирования сложно реализуется в БМК из-за его ограниченных трассировочных и функциональных ресурсов. Применение при синхронном проектировании фронтовых триггеров после каждого цикла обработки информации требует значительного объема поля БМК.

### ***Библиотека ячеек ПЛИС***

Библиотека ПЛИС имеет два уровня: основу библиотеки составляют базовые примитивы, входящие в состав конструктивных макроблоков, а на их основе строится библиотека функциональных макроэлементов, вплоть до процессорных ядер.

Следует отметить, что схемотехническая реализация библиотеки ячеек строго ориентирована на синхронную схемотехнику. Триггеры и макроэлементы на их основе, как правило, имеют сигналы разрешения подачи синхроимпульсов, синхронные входы предустановки и сброса, а также глобальный асинхронный вход сброса по включению питания. Причем этот вход может быть недоступен пользователю и применяться как бы по умолчанию. В силу того, что базовые примитивы должны быть универсальными, они функционально избыточны. Например, размер базовых D-триггеров ПЛИС фирмы Altera составляет 11–13 вентилей, ПЛИС фирмы XILINX – 9 вентилей, ПЛИС фирмы Actel – 10 вентилей. Аналогичный триггер при реализации в базисе библиотеки БМК будет занимать 16–18 вентилей.

Таким образом, за счет функциональной избыточности ячейки библиотеки ПЛИС при переходе в базис БМК требуют значительного увеличения объема схемы.

### *Маршрут проектирования*

Маршрут проектирования ПЛИС также включает три основные стадии: разработка и моделирование схемы, разработка трассировки соединений, контроль и верификация проекта (рис. 5.4).

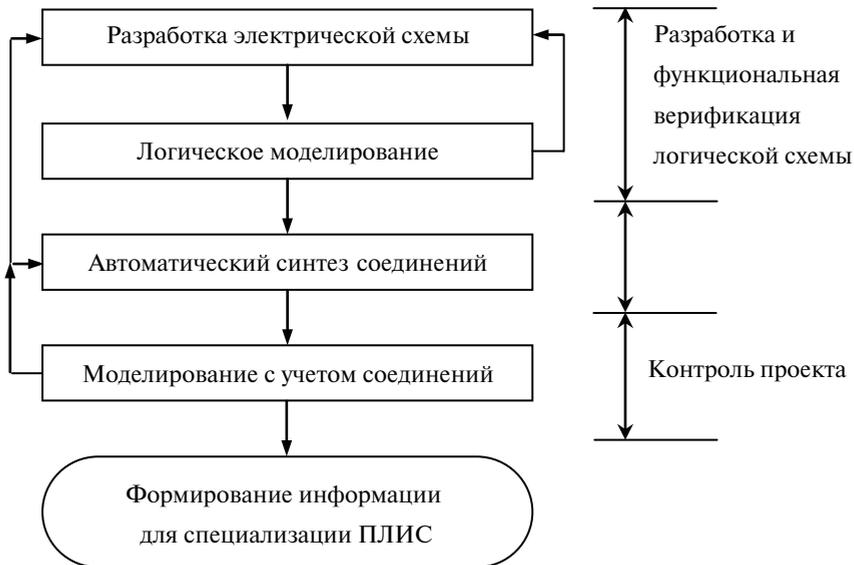


Рис. 5.4. Маршрут проектирования ПЛИС

Однако конструкция ПЛИС обуславливает некоторые особенности в маршруте. Простота модификации ПЛИС привела к тому, что проверка логической схемы выполняется не в процессе моделирования и функциональной верификации, а непосредственно в аппаратуре, часто с большим количеством итераций в процессе разработки проекта микросхемы. В результате при разработке проекта микросхемы в базисе ПЛИС не разрабатываются контрольно-диагностические тесты, наличие которых для перехода к БМК необходимо. Наличие в библиотеках некоторых ПЛИС элементов фиксированной задержки используется разработчиками фактически для подгонки схем за счет введения задержки для ликвидации гонок в схемах. При переходе к проекту БМК такие схемотехнические решения придется полностью менять.

Наличие двух–пяти уровней разводки в ПЛИС значительно упрощает процесс разработки трассировки и, как правило, выполняется автоматически. Возможность задания требуемых задержек в соединениях позволяет создать требуемую трассировку под разработанную электрическую схему и компенсировать некорректные схемотехнические решения.

Таким образом, отсутствие контрольно-диагностических тестов и возможность нивелировать некорректные схемотехнические решения за счет библиотеки ячеек и формирования трассировки с заданными параметрами создают большие трудности при последующей реализации проекта ПЛИС в базисе БМК.

### *Методы реализации проекта ПЛИС в базисе БМК*

Первые публикации об интеграции технологий ПЛИС и БМК появились за рубежом в конце 1980-х гг. Необходимость этих работ была обусловлена тем, что ПЛИС в то время уступали вентиляльным КМОП матрицам по таким показателям, как быстродействие, уровень интеграции. Основным критерием необходимости перехода от реализации микросхемы на ПЛИС в микросхему на БМК являлось уменьшение цены конечной микросхемы, что и определяло способы и средства для решения этой задачи. К середине 1990-х гг. были предложены и реализованы три основных способа перевода проекта ПЛИС в базис БМК:

- создание специализированных перепрограммируемых логических вентиляльных матриц (ПЛВМ), специально предназначенных для макетирования схем, подлежащих дальнейшей реализации на БМК. Примером являются ПЛВМ кристаллы компании Quickturn Systems Inc, реализованные на базе статических ячеек памяти;

- создание «плисоподобных» БМК, логическая структура которых идентична ПЛИС. Так, фирмы Altera, XILINX, Atmel, AMD разработали специальные БМК (Hard Ware) под конкретные типы выпускаемых ПЛИС. При этом использовались стандартные программные средства проектирования ПЛИС, а полученные программируемые с помощью фотошаблонов микросхемы представляли собой полностью эквивалентную замену своих прототипов, что существенно облегчало переход от одних к другим;

- получение БМК, адаптированных по логической емкости, библиотеке и электрическим характеристикам к конкретным прототипам ПЛИС. Перенос проекта осуществлялся с помощью трансляции списка соединений. Так, фирма Actel осуществляла перевод своих проектов на основе ПЛВМ в проект на базе стандартных вентиляльных матриц компании LSI Logic с использованием инструментальных средств. Идентификация проектов достигалась оптимизацией логических схем, добавлением или удалением элементов исходного проекта, при этом сравнивались результаты моделирования обеих реализаций. Фирма Plessey создала центр проектирования для пользователей ПЛИС – фирм AMD, Altera, XILINX, Actel, который позволял этим фирмам преобразовывать свои проекты в БМК семейства Quick Gate.

В России технология ПЛИС – БМК стала развиваться с целью ускорения процесса проектирования аппаратуры космического назначения, которая требовала эксплуатации в жестких условиях и не допускала применения импортной элементной базы. Первая публикация, представляющая технологию разработки ПЛИС – БМК, относится к 1994 г. Для этой цели был разработан «плисоподобный» БМК, аналогичный варианту фирмы XILINX (XC 2318), сохраняющий архитектуру кристалла и структуру макроблока. Переход от ПЛИС к БМК заключался в программировании топологии БМК, которое осуществлялось трансляцией программы специализации ПЛИС в управляющую информацию на топологию, т.е. программирующая логика заменялась программируемым с помощью фотошаблона соединением первого и второго уровней металлизации. Правильность функционирования проекта в базисе БМК гарантировалась совпадением библиотеки ячеек и идентичностью параметров ПЛИС и БМК. В настоящее время в России отсутствуют освоенные в производстве «плисоподобные» БМК, а уровень произ-

водимых ПЛИС недостижим для отечественной электронной промышленности. Вследствие этого данный метод оказался неприменим.

Те же авторы сообщили о разработке БМК, адаптированного по логической емкости и эксплуатационным характеристикам к ПЛИС фирмы Altera EPM 5128. Перевод проектов осуществлялся через трансляцию списка цепей. Адекватность переноса достигалась внесением в определенные узлы схемы элементов фиксированной задержки, выравнивающих время распространения сигнала с последующим сравнением сигналов в узлах БИС с эталонными сигналами ПЛИС. В результате функционирование БИС на БМК очень сильно зависело от технологических параметров и внешних воздействующих факторов. Этот метод, как и предыдущий, был рассчитан на конкретный тип ПЛИС и не получил распространения. Тем более что разработанные для этих целей БМК так и не были освоены в производстве.

Были предложены и специфические методы, которые рассмотрены ниже.

*Применение унифицированной библиотеки элементов.* Суть этого подхода заключается в разработке унифицированной библиотеки функционально аналогичных ячеек, позволяющей вести разработку проекта ПЛИС и БМК в едином базисе библиотечных ячеек. Данный метод подразумевает выполнение этапа макетирования и отработки логической схемы средствами ПЛИС с последующим переходом на БМК. Использование унифицированной библиотеки существенно упрощает переход к БМК, но тем не менее требует дополнительной оптимизации проекта БИС с целью учета специфики БМК. Унифицированная библиотека была настроена, с одной стороны, на серию БМК, а с другой – на несколько серий ПЛИС фирмы XILINX. Это позволяло выполнить выбор наиболее подходящих для реализации микросхем пар ПЛИС – БМК. Тем не менее данный метод не получил развития. В первую очередь это было связано с тем, что переход от макетного образца на базе ПЛИС в базис БМК требовал не только доработки проекта микросхемы, но и полной переработки печатных плат из-за различий в конструкции корпусов ПЛИС и БМК. Кроме того, указанный метод требовал одновременного сопровождения двух проектов микросхемы: в базисе ПЛИС и в базисе БМК для оценки возможности конечной реализации проекта на БМК. Ячейки унифицированной библиотеки хотя и являлись функциональными аналогами, но имели различную схемотехническую реализацию из-за конструктивных различий ПЛИС и БМК, что приводило к несовпадению функционирования БИС в базисе ПЛИС и БМК.

*Проектирование схем на основе ПЛИС и БМК с использованием VHDL-описания.*

В данном методе исходное описание проекта микросхемы выполнялось на языке VHDL, затем оно средствами VHDL-синтезатора формировалось как в базисе ПЛИС, так и в базисе БМК. ПЛИС использовались для отработки проекта, после чего полученное VHDL-описание проекта синтезировалось в базис БМК. Хотя метод предполагает выполнение функционально полной временной верификации проектов в базисе ПЛИС и БМК, он не дает гарантии однозначного совпадения проверенного проекта в базисе ПЛИС с полученной реализацией на БМК. Так же как и в рассмотренном ранее методе с применением унифицированной библиотеки, требуется сопровождение проектов в базисе ПЛИС и в базисе БМК, а макетные образцы изделий из-за различий в корпусах ПЛИС и БМК требуют разработки и изготовления двух разных комплектов печатных плат.

*Конвертация проекта ПЛИС в базис БМК.* Данный метод предполагает автоматическое получение проекта БМК из проекта ПЛИС. Конвертация выполняется с помощью специального программного обеспечения, которое переводит из языка САПР ПЛИС в язык описания схемы в САПР БМК проект и тестовые векторы между указанными базисами, а также сопутствующую информацию. Затем выполняется проверка полноты представленных данных и выпуск технической документации. Для выполнения автоматической конвертации необходимо создать в базисе БМК аналоги библиотечных ячеек ПЛИС. В силу конструктивных различий ПЛИС и БМК схемотехническая реализация функционально аналогичных ячеек различна, поэтому динамические параметры ячеек не совпадают, что приводит к ошибкам в функционировании микросхемы. Также следует отметить, что при разработке ПЛИС контрольно-диагностические тесты обычно не разрабатываются, поэтому требуется их разработка или доработка для проекта БМК. Данный метод также не решает проблемы несовпадения корпусов ПЛИС и БМК и, как следствие, комплектов печатных плат образцов изделий в базисах ПЛИС и БМК.

*Импортозамещающая методология ПЛИС – БМК.* Суть методологии состоит в том, что разработка макетного образца выполняется на ПЛИС, выбранной с учетом последующей замены ее на БМК, а на печатных платах формируются совмещенные посадочные места под ПЛИС и БМК. Для этого необходимым условием является превышение размера корпуса БМК над корпусом ПЛИС. После замены ПЛИС на полузаказную микросхему на печатной плате остаются проводники, не используемые в опытном образце аппаратуры, которые превращаются в источники шумов и помех.

### ***Технология БМК – ПЛИС – БМК***

Анализ известных технологий разработки аппаратуры космического назначения с применением полузаказных микросхем показывает, что они наряду с явными преимуществами имеют и слабые стороны. Так, технология БМК базируется на отработанных методах, средствах и маршрутах проектирования, ориентирована на получение годных микросхем при первом изготовлении, качество проектирования обеспечивается средствами САПР, которые учитывают специфику конкретных серий БМК и технологические особенности. Основным недостатком технологии БМК является невозможность исследования проектов микросхем в аппаратуре до их изготовления.

Технология ПЛИС – БМК, напротив, имеет возможность обработки проекта микросхемы средствами ПЛИС в составе аппаратуры, но не может использовать достижения технологии БМК, так как в качестве исходной элементной базы используются импортные ПЛИС.

Проектирование аппаратуры с применением полузаказных БИС на БМК, таким образом, должно быть ориентировано на получение годных микросхем с первого изготовления, что реализовано в технологии разработки БМК – ПЛИС – БМК, разработанной и реализованной специалистами НПК «Технологический центр» на базе системы автоматизированного проектирования

«Ковчег» и впервые примененной при проектировании БИС на основе БМК серий 5503 и 5507. Она позволяет в короткие сроки выполнить разработку и отладку макетного образца, при переходе к опытному образцу обеспечивает быструю и гарантированную реализацию изделия на отечественной элементной базе.

Можно выделить четыре основных принципа, которые лежат в основе технологии БМК – ПЛИС – БМК:

1) ориентация на отечественную элементную базу, разрешенную к применению в аппаратуре космического назначения. Разработка ведется в базе БМК, что обеспечивает эволюционную отладку изделия, начиная со стадии эскизного проекта вплоть до выпуска опытных образцов;

2) применение оригинальной библиотеки функциональных ячеек, учитывающей специфику БМК и ориентированной на методы бездефектного проектирования;

3) прототипирование на имитаторах БМК, позволяющее провести исследование и испытание микросхем в процессе их проектирования в составе аппаратуры заказчика до их изготовления. Для этого:

- разработка технических требований к изделию выполняется с учетом возможностей освоенных в производстве серий БМК;

- исходя из технических требований, разрабатывается архитектура изделия, формулируются требования к полузаказным микросхемам, проектируются печатные платы под конструкцию БИС на БМК;

- весь процесс разработки обеспечивает эволюционную отработку изделия, начиная со стадии эскизного проектирования до опытного образца;

4) получение микросхем, соответствующих техническому заданию с первого изготовления. Это достигается за счет применения методов бездефектного проектирования средствами САПР «Ковчег», обеспечивающими:

- удобный, интуитивно понятный интерфейс разработчика и САПР;
- высокоточное логико-временное моделирование с возможностью прогнозирования электрических и временных параметров разрабатываемой микросхемы;

- разработку топологии БИС с учетом специфики проекта микросхемы, возможности оптимизации скоростных и критических цепей;

- проведение аттестации проекта микросхемы с учетом факторов окружающей среды и разброса технологических параметров изготовления;

- разработку функциональных и контрольно-диагностических тестов микросхемы, автоматическую подготовку необходимой информации для контрольно-измерительного оборудования и последующего оперативного контроля правильности функционирования имитатора БМК после прошивки ПЗУ до монтажа в аппаратуру, что гарантирует эквивалентность функционирования имитатора и проекта БИС.

### ***Основные этапы технологии БМК – ПЛИС – БМК***

Технология БМК – ПЛИС – БМК традиционно включает этапы разработки технических требований к изделию и его составным частям, эскизного и технического проекта, изготовления и испытаний опытного образца (рис. 5.5).



Рис. 5.5. Основные этапы технологии БМК – ПЛИС – БМК

Разработка начинается с выбора серии БМК, на основе которой будет реализована электрическая схема изделия. Выбор осуществляется из перечня разрешенных к применению БМК, параметры которых подтверждены квалификационными испытаниями. Исходя из функциональных и электрических характеристик БМК, разрабатывается структурная схема изделия, выполняется функциональное разбиение схемы, выделяются фрагменты схемы, которые предполагается реализовать в виде ПЗ БИС. Для них формулируются технические требования, учитывающие эксплуатационные и технические характеристики БМК.

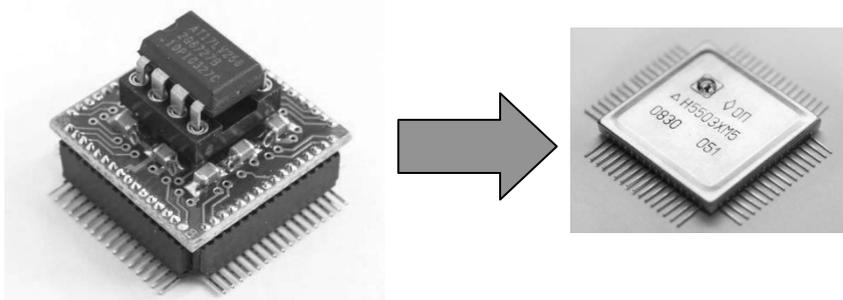
В соответствии с техническими требованиями выполняется разработка проектов микросхем, включая топологию, проектируются печатные платы под конструкцию ПЗ БИС и с учетом расположения их внешних выводов. Затем средствами системы проектирования вместо изготовления ПЗ БИС осуществляется прототипирование микросхем на имитаторах, которые используются при изготовлении макетного образца изделия. В процессе отладки макетного образца происходит отработка электрической схемы изделия и входящих в его состав микросхем. Изготовление и исследование экспериментального образца изделия также выполняется с использованием имитаторов микросхем. Благодаря этому на стадиях разработки эскизного и технического проекта коррекция микросхем не требует их повторного изготовления, печатные платы также не требуют переделки. Это значительно сокращает время и удешевляет стоимость разработки.

Средства проектирования позволяют гарантировать получение годных образцов микросхем с первой попытки, поэтому изготовление опытных образцов ПЗ БИС с приемкой заказчиком осуществляется на стадии изготовления опытного образца изделия. Следует также отметить, что при освоении серийного выпуска изделия не требуется проведение испытаний ПЗ БИС, так как их качество и характеристики подтверждены проведенными квалификационными испытаниями.

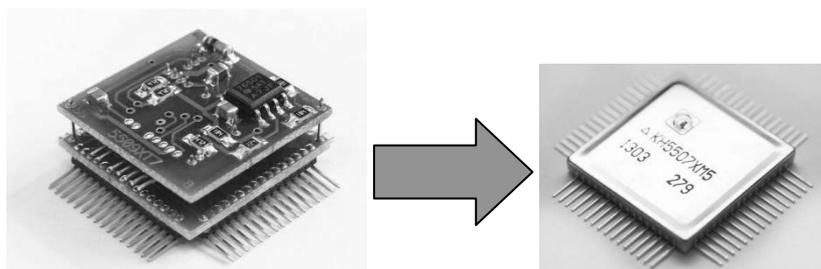
Таким образом, технология БМК – ПЛИС – БМК заключается в том, что весь цикл разработки аппаратуры выполняется в базе отечественных БМК, проекты которых средствами САПР оперативно прототипируются на имитаторах БИС, а при переходе к опытному образцу аппаратуры имитаторы БИС заменяются на разрешенные к применению полузаказные БИС на основе БМК.

### ***Конструкция имитаторов БМК***

Конструкция имитаторов представляет собой микромодуль, в нижней части которого располагается ПЛИС, а в верхней части расположено ПЗУ и реализована схема загрузки ПЛИС. На нижней печатной плате имитатора расположены внешние выводы. Размер печатной платы соответствует размеру корпуса, в котором выпускаются БМК, расположение внешних выводов имитатора также соответствует расположению внешних выводов БМК (рис. 5.6, 5.7). Тип ПЛИС соответствует объему поля и количеству внешних выводов БМК. ПЗУ обеспечивает возможность загрузки в ПЛИС логической модели прототипируемой БИС.



**Рис. 5.6.** Имитатор и микросхема на основе БМК H5503XM5



**Рис. 5.7.** Имитатор и микросхема на основе БМК 5507БЦ5У

### Маршрут проектирования

На рис. 5.8 представлен обобщенный маршрут проектирования ПЗ БИС с применением имитаторов БМК, на котором цветом отмечены этапы проектирования, отличающие его от традиционного маршрута разработки.



Рис. 5.8. Маршрут проектирования ПЗ БИС с применением имитаторов БМК

После этапа верификации логического проекта, разработанного в базе БМК, выполняется аттестация проекта без учета топологии. Это позволяет уже на начальном этапе разработки выявить скрытые дефекты логической схемы и устранить их. Затем проводится размещение внешних выводов микросхемы в соответствии с конструкцией БМК, что позволяет перейти к этапу прототипирования и исследования имитатора БМК. Для этого осуществляется автоматическое преобразование логической схемы в базис ячеек ПЛИС и логическая верификация полученной схемы, что позволяет проверить правильность функционирования проекта микросхемы в базе ПЛИС. При соответствии функционирования требованиям технического задания выполняется конвертация проекта в формат САПР ПЛИС.

Из полученного описания средствами САПР ПЛИС формируется файл специализации ПЛИС, который записывается в ПЗУ имитатора. Далее для устранения возможных ошибок на данной стадии разработки имитатор с проектом БИС проверяется на контрольно-измерительном оборудовании. При этом используются тестовые воздействия и эталонные выходные реакции проекта микросхемы в базе БМК, что гарантирует функциональное совпадение имитатора и проекта микросхемы.

Проверенный таким образом имитатор передается заказчику, который выполняет монтаж имитатора в аппаратуру для исследования и отладки. Все несоответствия техническому заданию, а также не описанные в нем конфликтные ситуации, выявленные в процессе исследования аппаратуры, исправляются в проекте микросхемы, и процесс прототипирования повторяется до полного устранения всех ошибок. По завершении отладки разрабатывается топология микросхемы, выполняется финишная аттестация проекта БИС с учетом разброса внешних и внутренних факторов, формируется и передается в производство информация, необходимая для изготовления микросхемы.

Таким образом, технология БМК – ПЛИС – БМК позволяет в короткие сроки выполнить разработку и отладку макетного образца изделия с одновременной отработкой аппаратуры заказчика и проектов БИС (рис. 5.9). При переходе к опытному образцу изделия требуется однократное изготовление полузаказных БИС, что обеспечивает быструю и гарантированную реализацию изделия на отечественной ЭКБ. Подробно маршрут проектирования описан далее в конце данного раздела.

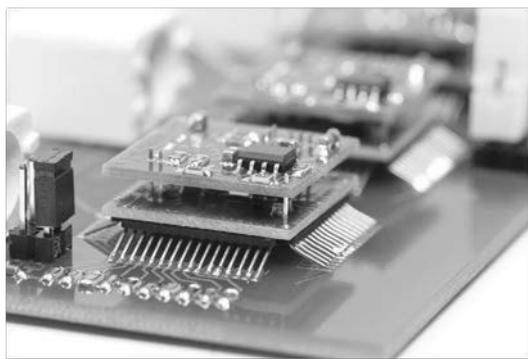


Рис. 5.9. Разработка аппаратуры с применением имитаторов БМК

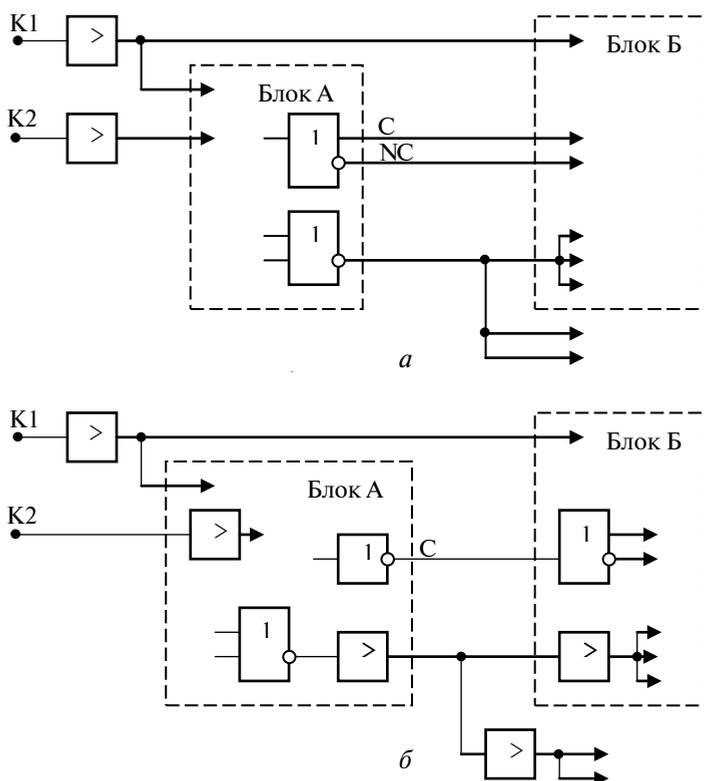
### ***Рекомендации по разработке электрических схем***

Эффективность разработки ПЗ БИС зависит от возможности применения аттестованных схемотехнических решений, проверенных через производство и испытания микросхем. Для этого на предприятиях создается библиотека схемных решений (библиотека пользователя), которая является доступной для всех разработчиков ПЗ БИС и включает типовые функциональные узлы (ТФУ) и сложно-функциональные блоки (СФБ), реализованные по единым правилам. Ниже приведены рекомендации, которые целесообразно учитывать при разработке электрических схем на БМК серий 5503 и 5507:

- общие рекомендации, независимо от типа подсхем;
- рекомендации по применению триггеров, реализации синхронных, асинхронных и комбинационных схем, а также рекомендации по согласованию асинхронных и синхронных сигналов;
- рекомендации по применению периферийных элементов;
- рекомендации по тестированию.

### Общие рекомендации

Внутренние функциональные сигналы, а также по возможности входные и выходные сигналы подсхемы должны иметь одинаковый активный уровень. Входные сигналы, поступающие более чем на две нагрузки, необходимо усиливать с помощью инвертора или буфера. Выходные сигналы подсхем также следует усиливать. Межблочные связи, как правило, являются длинными топологическими связями. Поэтому усиление входных и выходных сигналов позволяет уменьшить топологические задержки. С этой целью можно использовать и дополнительные буферные усилители. Нецелесообразно использовать в качестве межблочных связей парафазные сигналы. Во-первых, это создает дополнительную нагрузку на топологию. Во-вторых, за счет разбаланса в топологии синхронность синхронных сигналов нарушается. Необходимо передавать один сигнал, а парафазные сигналы формировать непосредственно внутри блока (рис. 5.10).



**Рис. 5.10.** Примеры реализации входных и выходных каскадов блоков:  
*а* – некорректная схема; *б* – рекомендуемая схема

При разработке подсистемы необходимо проводить полный цикл проектирования, включая тестирование, разработку топологии и проверку функционирования с учетом топологии и устойчивости к дрейбзгу входных сигналов.

Целесообразно в состав блоков вводить периферийные ячейки, связанные только с этим блоком. Это полезно и на стадии тестирования при определении устойчивости к дрейбзгу входных сигналов. Правила использования периферийных ячеек и синхронизации входных сигналов, включая защиту от дрейбзга, рассмотрены ниже.

Если в состав блока входят триггеры, для удобства тестирования блок должен иметь вход начальной установки. Применение триггеров должно соответствовать правилам их использования.

### **Рекомендации по применению триггеров**

Корректное применение триггеров является обязательным условием правильности функционирования схемы. Можно сформулировать следующие рекомендации по применению триггеров.

1. По включению питания микросхемы все триггеры должны устанавливаться в определенное состояние, что обеспечивается подачей либо сигнала сброса, либо сигнала установки. Длительность сигнала должна быть достаточной для выполнения процесса инициализации микросхемы. Для этого целесообразно использовать отдельный вывод микросхемы. Пример формирования сигнала начальной инициализации приведен на рис. 5.11.

2. Не допускается применение каких-либо комбинационных схем на входах синхронизации, сброса или установки, потому что они могут стать причиной возникновения коротких импульсов (дрейбзга), которые при подаче на вход синхронизации приводят к ложному срабатыванию, а при поступлении на входы сброса или установки могут перевести триггер в неопределенное состояние, так как их длительность может быть недостаточной для формирования определенного состояния триггера.



**Рис. 5.11.** Пример формирования сигнала начального сброса или установки: *а* – функциональная схема формирования сигнала начального сброса или установки; *б* – реализация схемы формирования сигнала начального сброса или установки с применением входных периферийных ячеек БМК

3. Не допускается наличие состязаний между сигналами синхронизации, сброса и установки. Изменения указанных сигналов не должны происходить одновременно в пределах времени собственной задержки триггера  $\tau_{тр}$ . При нарушении этого условия триггер может перейти в неопределенное состояние (рис. 5.12).

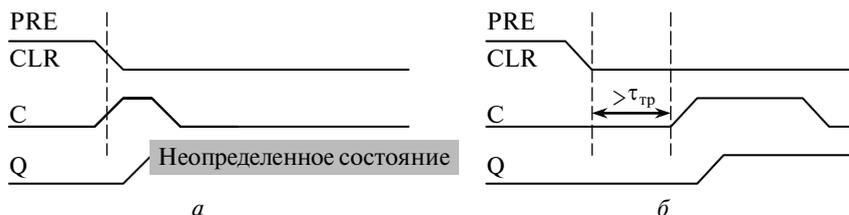


Рис. 5.12. Примеры подачи входных сигналов на триггер: *а* – неправильная подача входных сигналов; *б* – правильная подача входных сигналов

4. При подаче сигнала данных необходимо обеспечить условие окончания всех переходных процессов в схеме формирования сигнала данных к моменту прихода активного фронта сигнала синхронизации *C* (рис. 5.13).

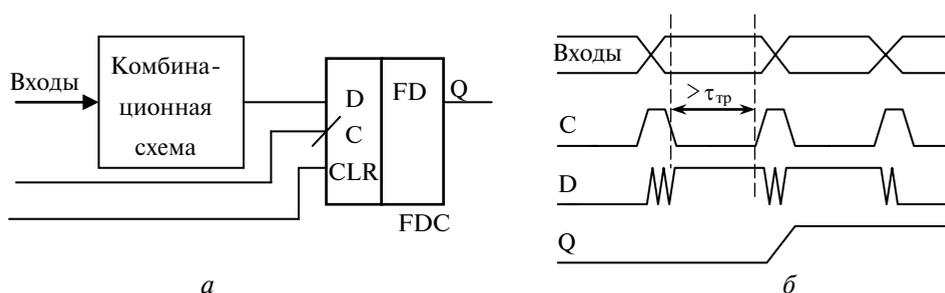


Рис. 5.13. Формирование данных триггера: *а* – схема управления триггером; *б* – диаграмма формирования данных

5. Управление синхронизацией триггера должно выполняться через вход разрешения записи *SE*. При этом к моменту подачи активного фронта сигнала синхронизации на входе разрешения записи *SE* не должно быть переходных процессов.

**Рекомендации по разработке синхронных схем**

Для тактирования синхронных схем может использоваться либо внешняя, либо внутренняя системная частота. Желательно, чтобы ее форма соответствовала меандру.

Особое значение при реализации синхронных схем имеет построение системы синхронизации, обеспечивающей отсутствие разбаланса поступления системной частоты на триггеры. Причиной сбоев может стать как различная глубина буферизации, так и разбаланс нагрузок в цепях и на выходах элементов системы синхронизации (рис. 5.14).

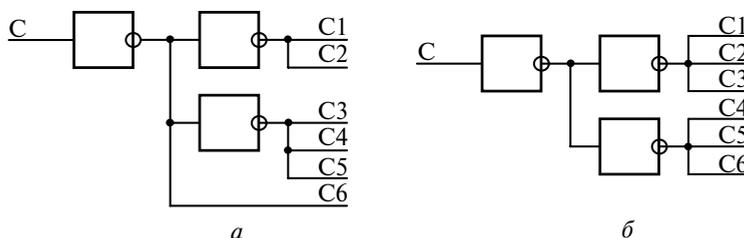


Рис. 5.14. Примеры организации системы синхронизации: *а* – неправильная схема построения синхронизации; *б* – рекомендуемая схема построения синхронизации

Причиной разбаланса также является задержка в топологии микросхемы, особенно для БМК, в которых используется поликремниевая разводка. Поэтому правильность функционирования синхронных схем должна проверяться с учетом задержек в топологии.

При реализации синхронных схем может возникнуть необходимость изменения системной частоты. В этом случае не рекомендуется использование мультиплексора, так как при переключении возникают просечки, которые могут привести к записи неверных данных в триггер. Функциональным аналогом изменения тактового сигнала является применение триггеров Е-типа и Т-типа, в которых системная частота подается неизменно, а состояние триггера определяется сигналом управления. В триггере Е-типа при низком уровне сигнала управления триггер находится в состоянии хранения. В триггере Т-типа при низком уровне сигнала управления триггер находится в состоянии хранения, а при высоком уровне сигнала Т переходит в счетный режим. Благодаря этому триггер Т-типа является базовым элементом синхронных счетчиков (рис. 5.15).

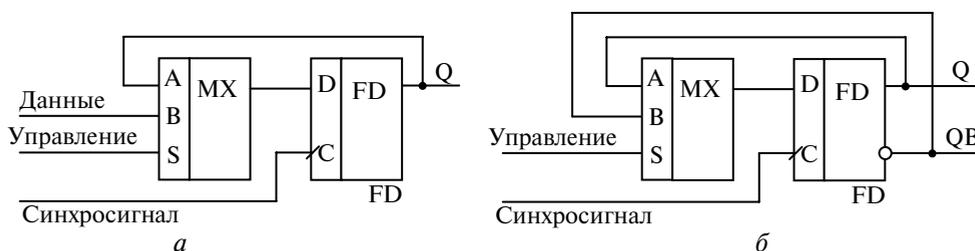


Рис. 5.15. Схема реализации триггеров: а – Е-типа; б – Т-типа

При функциональной необходимости изменения активного фронта системной частоты целесообразно использовать дополнительный триггер, работающий по другому фронту синхроимпульса (рис. 5.16).

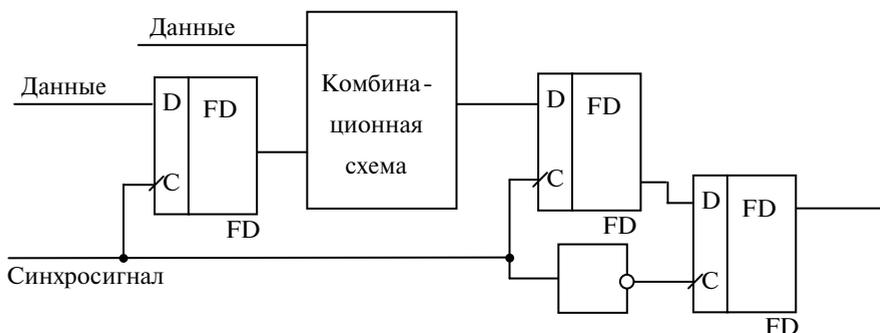


Рис. 5.16. Рекомендуемая схема изменения активного фронта синхронизации

### Рекомендации по разработке асинхронных схем

Асинхронные схемы характеризуются тем, что их работа не зависит от синхроимпульсов и определяется самой схемой. Поэтому при построении таких схем

часто используются асинхронные триггеры RS-типа, являющиеся более компактными по сравнению с синхронными триггерами. Они имеют ряд особенностей в применении. Прежде всего, это возникновение запрещенной ситуации на выходах RS-триггера при подаче на его входы активных сигналов сброса и установки. Это противоречие легко устраняется схемотехнической реализацией за счет использования только одного из выходов триггера, что обеспечивает приоритет одного выхода триггера над другим.

При подаче короткого импульса, длительность которого соизмерима с задержкой ячеек, составляющих триггер, при условии, что на второй вход не подастся активный сигнал, триггер переходит в режим генерации за счет собственных задержек. Поэтому при применении RS-триггеров необходимо избегать ситуаций возникновения на их входах коротких импульсов.

Тем не менее при реализации асинхронных схем в силу их специфики часто используются одиночные импульсы. Типичной схемотехнической ошибкой является формирование импульсов, длительность которых задается собственной задержкой библиотечных ячеек. Основным недостатком этих схем является нестабильность длительности импульса и его зависимость от нагрузочной способности источника формирования импульса и топологии связанных с ним цепей, а также от технологических факторов и условий эксплуатации. Поэтому для формирования импульса нужно использовать схемы выделения импульса из тактовой частоты, например, равного полупериоду высокого или низкого уровня тактовой частоты (рис. 5.17).

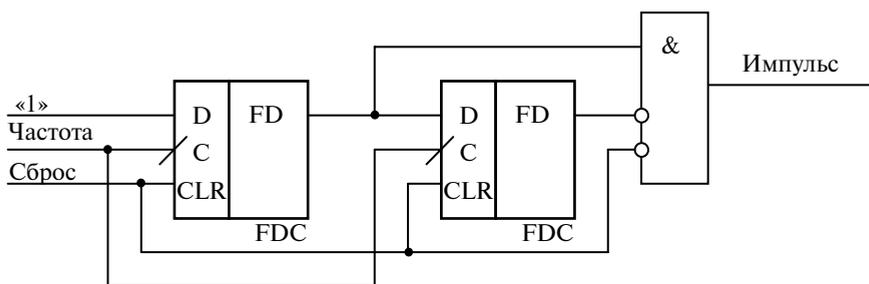


Рис. 5.17. Пример схемы выделения импульса, равного полупериоду синхроимпульса

В асинхронных схемах часто используется сигнал завершения какого-либо процесса. В качестве примера можно рассмотреть сигнал сброса многоразрядного счетчика, определяющий коэффициент счета. На рис. 5.18 приведена неработоспособная схема асинхронного счетчика.

Сигнал, соответствующий заданному коэффициенту, формируется комбинационной схемой и подается на входы сброса разрядов счетчика. Изменение хотя бы одного разряда приводит к смене заданного состояния, а следовательно, к снятию сигнала сброса. В результате длительность сформированного импульса может оказаться недостаточной для гарантированного сброса всех разрядов счетчика. Данная схема также имеет недостаток, связанный с тем, что в процессе работы счетчика при переключении разрядов могут возникнуть кратковременные состояния, соответствующие заданному коэффициенту, что приводит к формированию ложных коротких импульсов сброса.

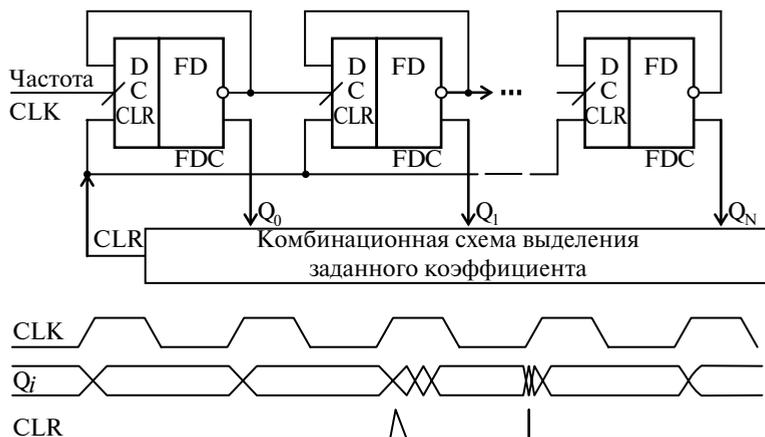


Рис. 5.18. Неправильная схема реализации асинхронного счетчика

Рекомендуемая схема счетчика приведена на рис. 5.19. В ней введено стробирование сигнала сброса задним фронтом сигнала синхронизации для устранения ложных коротких импульсов в процессе работы счетчика и добавлено условие завершения импульса сброса. Благодаря этому длительность импульса сброса определяется моментом обнуления всех разрядов счетчика. Для увеличения длительности импульс сброса может быть сформирован и по переднему фронту сигнала синхронизации.

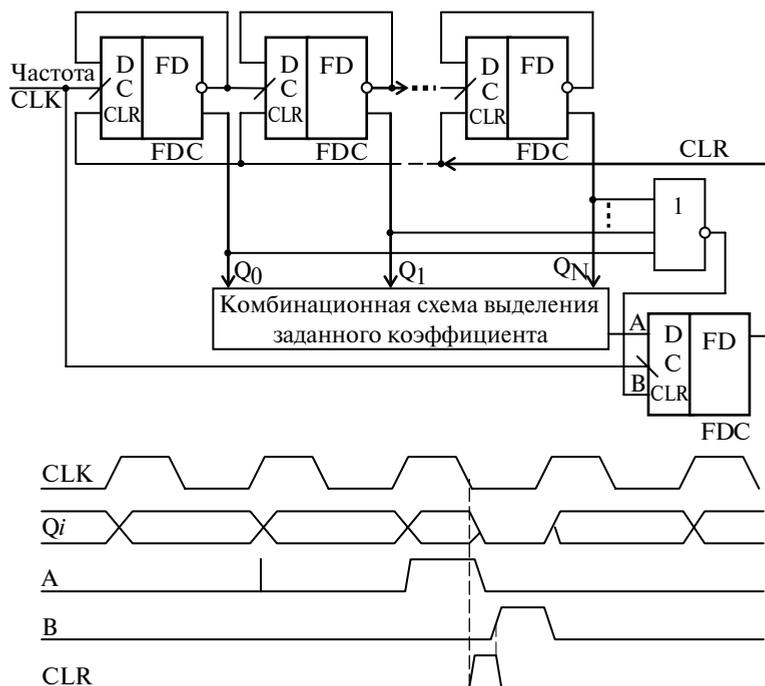


Рис. 5.19. Пример реализации асинхронного счетчика с использованием импульса сброса по исполнению



Если входной сигнал имеет дребезг и требуется фиксация установившегося состояния, необходимо применить сдвиговый регистр с разрядностью не менее двух каскадов. Следует отметить, что применение стандартного сдвигового регистра не гарантирует от появления ложных срабатываний (рис. 5.23).

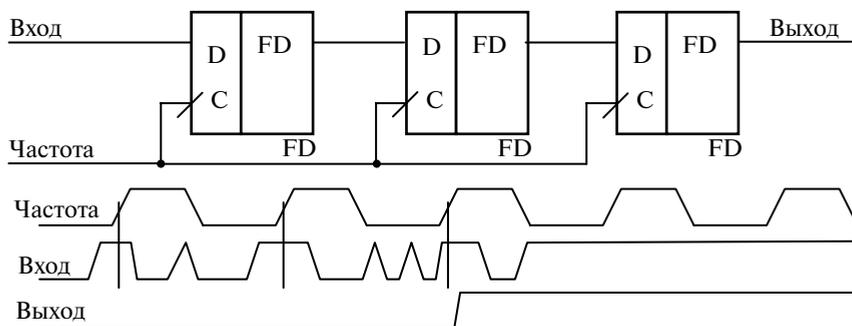


Рис. 5.23. Пример ложного срабатывания фильтра входного шума, реализованного на сдвиговом регистре

Для гарантированной фильтрации входного сигнала можно использовать схему фильтрации, построенную на детекторах фронта. Количество разрядов фильтра определяется требованиями к длительности установившегося состояния входного сигнала (рис. 5.24).

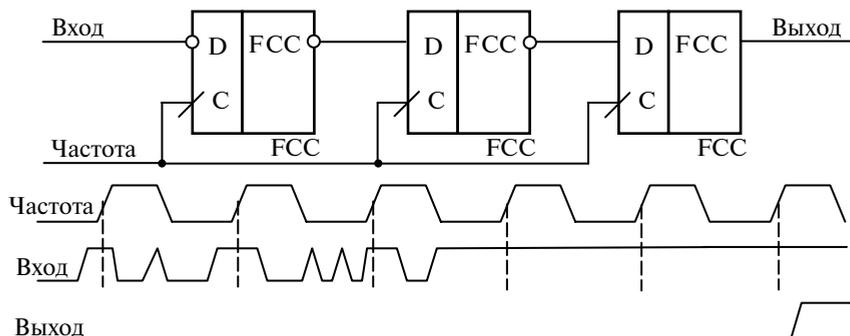


Рис. 5.24. Схема фильтрации входного шума, реализованного на детекторах фронта

### *Рекомендации по использованию периферийных ячеек*

Периферийные ячейки обеспечивают электростатическую защиту микросхемы и предназначены для приема внешних и передачи сформированных в микросхеме сигналов, позволяют с помощью внутренних резисторов подать смещение высокого или низкого уровня на поступающий в БМК входной сигнал, а также оцифровать и усилить входной сигнал.

Сигналы, поступающие на микросхему, как правило, имеют дребезг, причиной которого могут быть внешние устройства, например кнопка или линия связи, а также контрольно-измерительное оборудование, используемое при разбраковке микросхем в процессе их изготовления. Для фильтрации входных сигналов, особенно поступающих на входы синхронизации, сброса и установки триггеров,

необходимо использовать триггеры Шмитта, которые должны быть подключены к входному аналоговому сигналу периферийной ячейки (рис. 5.25). Этот же вход используется совместно со всеми аналоговыми и аналого-цифровыми ячейками библиотеки, такими как операционные усилители, аналоговые компараторы, аналоговые коммутаторы, генераторы и др.

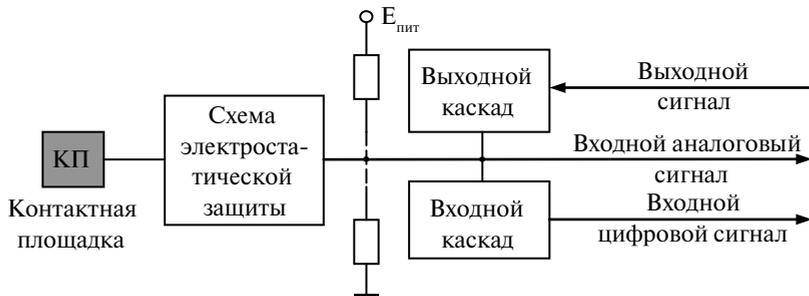


Рис. 5.25. Функциональная схема периферийной ячейки

Выходной каскад периферийной ячейки представляет собой мощный инвертор. При синхронном управлении затворами транзисторов, составляющими выходной инвертор, за счет емкости затвора возникает ситуация, при которой оба транзистора являются открытыми. Вследствие этого кратковременно возникает сквозное протекание тока через инвертор (рис. 5.26). Величина тока зависит от сопротивления транзисторов в состоянии короткого замыкания и может достигать значительных величин (до 20 мА).

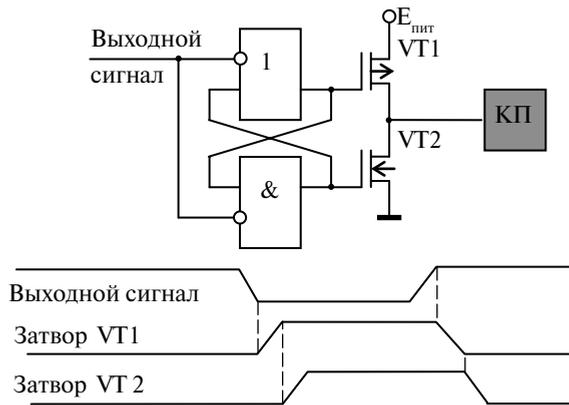


$\tau$  — зона сквозного протекания тока через входной инвертор

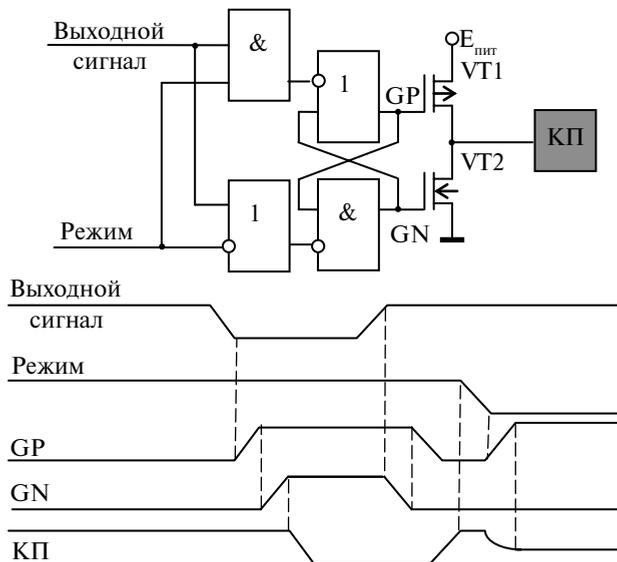
Рис. 5.26. Возникновение сквозного тока через выходной инвертор при синхронном управлении транзисторами

Эти броски тока вызывают помехи на шинах питания и могут приводить к сбоям в функционировании микросхем. Устранить конфликтные ситуации можно за счет применения драйверов — специальных схем управления выходным каскадом периферийных ячеек, обеспечивающих бесконфликтное переключение транзисторов (рис. 5.27).

Драйверы используют сигнал обратной связи с затворов транзисторов, за счет чего достигается переключение транзисторов только через состояния их одновременного отключения.



а



б

**Рис. 5.27.** Схемы управления выходным инвертором и диаграммы работы: а – режим выхода; б – режим выхода с высокоимпедансным состоянием

В состав периферийной ячейки могут входить резисторы смещения, которые позволяют выполнять пассивное доопределение состояния внешнего вывода до высокого или низкого логического уровня (см. рис. 5.25). Резисторы реализованы на транзисторах соответствующего типа. Время пассивного доопределения определяется номиналом выбранного резистора доопределения (типом ячейки), внешней схемой и может быть значительным. Пример схемы пассивного доопределения внешнего вывода до высокого уровня приведен на рис. 5.28.

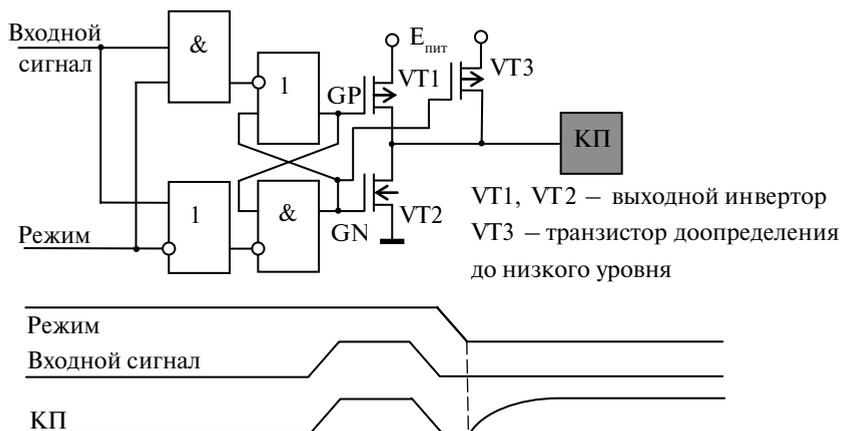


Рис. 5.28. Схема управления периферийным элементом в режиме пассивного доопределения внешнего вывода до высокого уровня

Для уменьшения времени доопределения внешнего вывода необходимо использовать драйвер с активным доопределением, в котором перевод выходного сигнала в требуемый логический уровень осуществляется мощным выходным транзистором периферийного элемента, а затем осуществляется удержание полученного уровня с помощью транзистора доопределения (рис. 5.29).

5

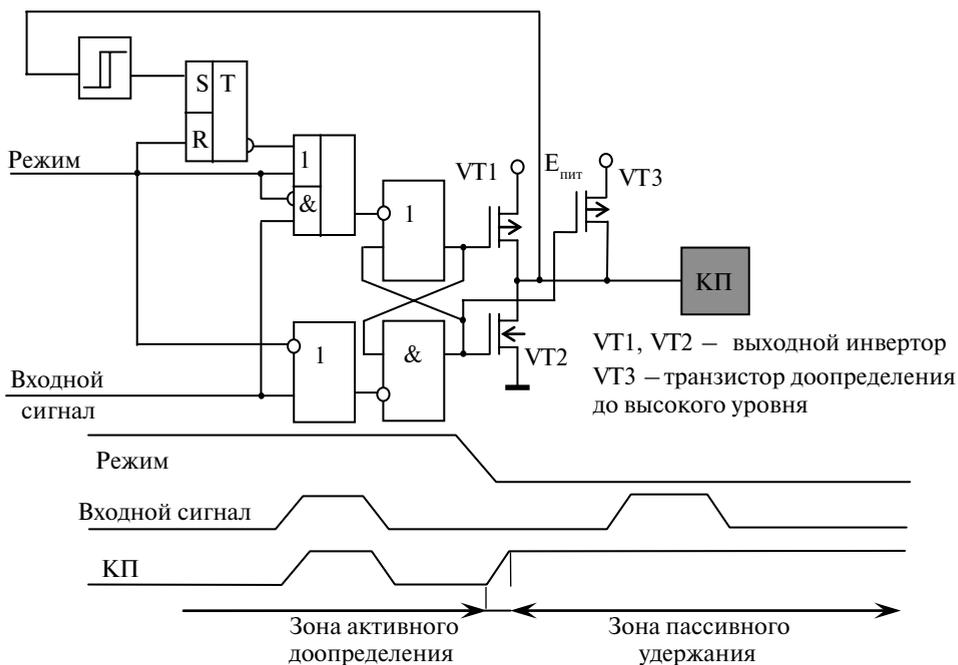


Рис. 5.29. Схема управления периферийной ячейкой в режиме активного доопределения внешнего вывода до высокого уровня

### Правила тестирования

В процессе разработки микросхемы выполняются различные этапы тестирования. Так, при создании электрической схемы подсистем и блоков прежде всего требуется проверка корректности их схемотехнической реализации и правильности функционирования. Для этого разрабатываются тестовые воздействия, позволяющие проверить соответствие поведения схемы требованиям технического задания, анализируются нештатные ситуации.

На этапе разработки головной схемы проекта, помимо проверки функционирования, возникает задача минимизации тестовых последовательностей. В процессе изготовления микросхем тестирование выполняется многократно. Тестовые воздействия, с одной стороны, должны обеспечивать как можно более полную проверку переключения всех элементов схемы, а с другой – иметь минимальную длину для минимизации длительности тестирования. Данное противоречие в ряде случаев удается решить схемотехническими методами за счет введения в схему дополнительных элементов, позволяющих упростить процесс тестирования. Это возможно при наличии в микросхеме неиспользованных выводов, которые могут быть применены для организации независимого от нормального функционирования тестирования. Схемы тестирования могут включать схемы введения тестовых частот для ускорения проверки многоразрядных счетчиков и схемы выдачи внутренних сигналов микросхемы на внешние выводы. В качестве примера можно рассмотреть тестирование многоразрядных счетчиков (рис. 5.30).

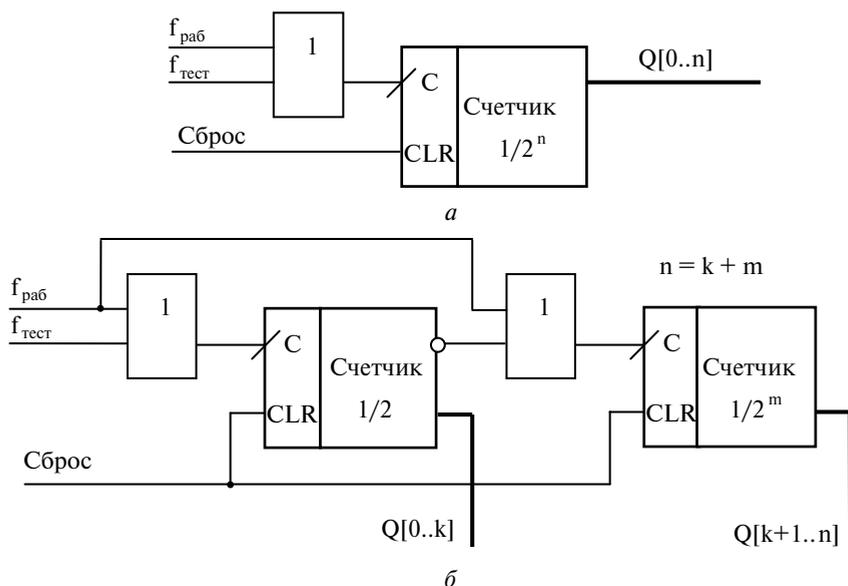


Рис. 5.30. Схемы ускоренного тестирования счетчиков: *а* – введение тестовой частоты; *б* – введение тестовой частоты с разделением счетчика на группы

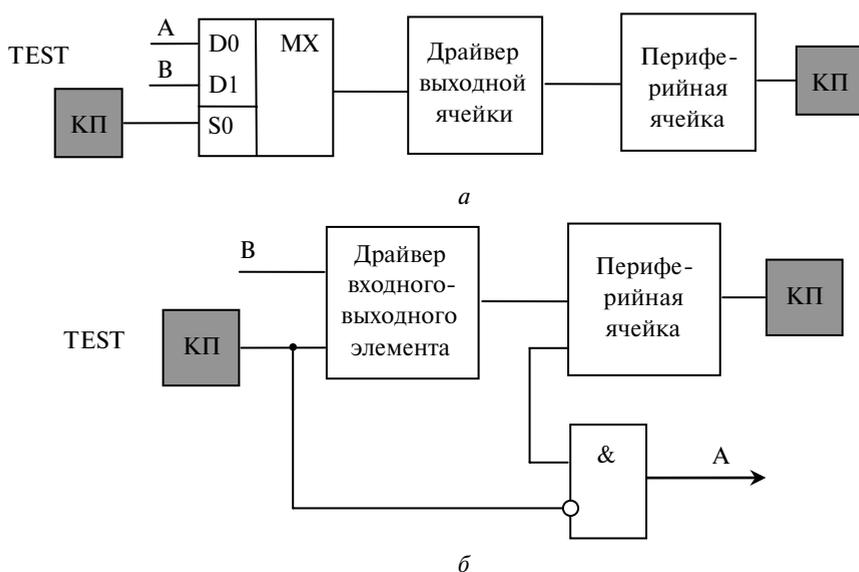
Подача на их тактовый вход тестовой частоты позволяет ускорить процесс тестирования. Для последовательных счетчиков эффективным является разделение на группы и одновременное их тестирование. Следует отметить, что подача тестовой частоты должна осуществляться не с помощью мультиплексора, а через

логический элемент ИЛИ. В этом случае можно использовать только один дополнительный вход тестовой частоты и исключить вероятность возникновения дребезга при переключении.

Тестовая частота подается до достижения счетчиком состояния сквозного переноса через весь счетчик, после чего она отключается. Перенос осуществляется по фронту рабочей частоты. За счет объединения тестовой и рабочей частоты с помощью элемента ИЛИ достигается отсутствие гонок при их переключении. Необходимо отметить, что при этом возникает несущественное ограничение, связанное с тем, что состояние на втором входе элемента ИЛИ не должно быть высоким уровнем.

При разделении счетчика на группы их количество может быть различно. Именно оно определяет количество импульсов, необходимых для достижения состояния сквозного переноса. Количество триггеров в группах должно быть одинаковым. Если это условие не выполняется, большее количество триггеров должно входить в первую группу, так как просчет данной группы для обеспечения сквозного переноса осуществляется высокой входной частотой.

Для организации выдачи внутренних сигналов на внешние выводы микросхемы необходим дополнительный вход управления режимом тестирования. Он позволяет управлять подключением тестовых сигналов к выходам микросхемы с помощью мультиплексов. При этом для выдачи тестовых сигналов можно использовать внешние выводы микросхемы, не участвующие в функционировании тестируемого фрагмента (рис. 5.31).



A — функциональный сигнал;

B — тестовый сигнал;

TEST — сигнал управления режимом тестирования

**Рис. 5.31.** Примеры организации выдачи внутренних тестовых сигналов на внешние выводы микросхемы: *a* — выдача тестового сигнала через выходную ячейку; *б* — выдача тестового сигнала через входную-выходную ячейку

Для выдачи на один вывод микросхемы нескольких тестовых сигналов в различные моменты времени можно использовать счетный автомат, управляющий процессом передачи того или иного тестового сигнала на вывод микросхемы. В этом случае сигнал управления подается на вход сброса автомата. В качестве тактовой частоты можно использовать либо дополнительный тестовый сигнал, либо входной сигнал, не участвующий в функционировании тестируемого фрагмента. Автомат может быть реализован на сдвиговом регистре. Разрядность автомата соответствует количеству передаваемых внутренних сигналов (рис. 5.32).

В нормальном режиме работы микросхем на вход управления тестированием подается низкий уровень, для чего он может быть соединен на печатной плате с контактом микросхемы «Общий». Это обеспечивает штатное выполнение функций выводами микросхемы. В режиме тестирования на вход управления может быть подан высокий уровень, что позволяет выдать на внешние выводы внутренних тестовых сигналов.

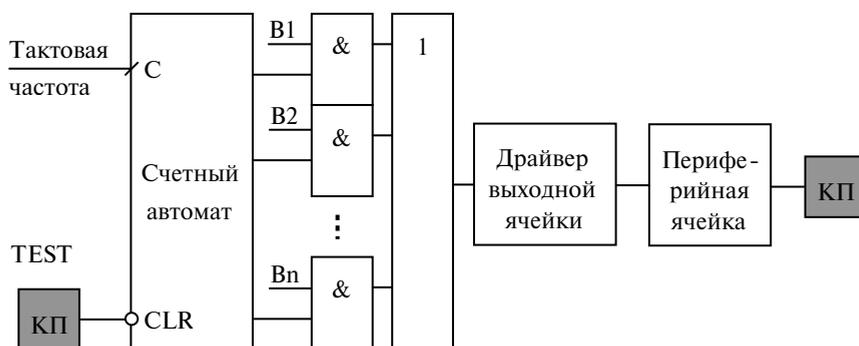


Рис. 5.32. Пример выдачи нескольких тестовых сигналов на один вывод микросхемы

Помимо задачи проверки правильности функционирования, в процессе тестирования должны быть измерены электрические параметры микросхемы, такие как ток утечки на входе и входе-выходе в высокоимпедансном состоянии, ток потребления в статическом режиме, напряжения высокого и низкого уровня при заданном токе нагрузки, значения резисторов доопределения при их наличии, а также другие параметры. Тестовая последовательность должна обеспечивать возможность измерения этих параметров.

Необходимые условия для обеспечения измерения основных электрических параметров приведены в табл. 5.1.

Для обеспечения условий измерения тока потребления и токов утечки на входах-выходах в драйверах периферийных ячеек целесообразно иметь вход, переводящий периферийную ячейку в состояние «Выключено» и отключающий транзисторы доопределения. Управление режимом периферийных ячеек необходимо выполнять через дополнительный технологический вход микросхемы или использовать комбинацию функциональных входов, не используемую при работе штатной микросхемы. Это позволяет выполнять измерение электрических параметров независимо от проверки функционирования микросхемы.

Таблица 5.1. Условия, необходимые для измерения параметров микросхем

Измеряемый параметр	Условие для измерения
Ток утечки на входе	Особых условий не требуется
Ток утечки на входе-выходе	Ячейка входа-выхода должна быть переведена в высокоимпедансное состояние (режим «Выключено»)
Ток потребления в статическом режиме	Ячейка входа-выхода должна быть переведена в режим «Выключено», транзисторы доопределения отключены, аналого-цифровые элементы заблокированы
Напряжение высокого и низкого уровня	Наличие элементарных проверок, в которых формируются сигналы высокого и низкого уровня для каждого выхода и входа-выхода
Значения резисторов доопределения на входе	Подача на вход сигнала, уровень которого противоположен уровню доопределения. Измеряется ток доопределения
Значения резисторов доопределения на выходе	Наличие элементарных проверок, в которых выход переведен в режим «Выключено». Измеряется ток доопределения

### *Маршрут проектирования полуказказной микросхемы с применением имитатора*

Маршрут проектирования полуказказных микросхем с применением имитатора направлен на получение годных микросхем при первом цикле изготовления. Его блок-схема приведена на рис. 5.33.



Рис. 5.33. Блок-схема маршрута проектирования полуказказных микросхем с применением имитатора

В отличие от традиционного, маршрут проектирования полузаказных микросхем технологии БМК – ПЛИС – БМК включает этап прототипирования и исследования имитатора в аппаратуре и этап аттестации проекта. В маршруте цифрами выделены основные этапы проектирования, каждый из которых раскрыт на отдельном рисунке. Этапы содержат взаимосвязанные проектные процедуры, которые имеют составные номера, включающие номер этапа и порядковый номер процедуры в этом этапе, и условные переходы, обозначенные буквами латинского алфавита. Идентификаторы и описание условных переходов приведены в табл. 5.2–5.5.

### *Этап разработки и функциональной верификации логической схемы*

Разработка микросхемы выполняется в соответствии с требованиями технического задания, подготовка которого обычно выполняется совместно заказчиком и разработчиком и предшествует процессу разработки микросхемы. Техническое задание должно содержать всю необходимую информацию о проектируемой микросхеме, включая структуру микросхемы, протоколы обмена, временные диаграммы, имена и расположение внешних выводов, принимаемые ими значения, нагрузочные способности и другую информацию. Также должны быть учтены требования по обеспечению измерения электрических параметров микросхемы, таких как токи утечки, выходные уровни, токи потребления, для чего рекомендуется в состав внешних выводов вводить дополнительный технологический вывод.

Этап разработки логического проекта (рис. 5.34) начинается с синтеза структурной и функциональной схем (процедура 1.1). Структурная схема определяет состав основных блоков микросхемы в соответствии с реализуемыми ею функциями. Функциональная схема раскрывает реализацию блоков на уровне типовых функциональных узлов и специальных подсхем, выполняющих уникальные функции. Разработка проводится на базе библиотеки функциональных ячеек.

Функциональная схема позволяет оценить объем подсхем и микросхемы в целом и определить параметры проекта микросхемы (процедура 1.2). Объем функциональных ячеек указан в описании библиотеки, объем специальных подсхем оценивается по количеству триггеров и примерному объему комбинационной части. Параметрами проекта являются:

- серия БМК, на которой будет выполняться разработка;
- библиотека ячеек;
- тип БМК.

Выбор серии БМК определяется требованиями к электрическим параметрам проектируемой микросхемы, а именно: напряжением питания, быстродействием, характеристиками выходных сигналов. Эти параметры должны быть определены в техническом задании. Серия БМК обуславливает и набор библиотек, которые могут быть использованы при проектировании. Последующее прототипирование проекта микросхемы средствами имитатора БМК можно выполнить для проекта, разработанного в базе библиотеки 5503, ячейки библиотеки 5503+ использовать нельзя. Объем микросхемы и количество внешних выводов позволяют определить конкретный тип БМК. При этом необходимо учитывать, что для синтеза топологии микросхемы необходим запас, который определяется коэффициентом заполнения поля БМК не более 75%, так как обычно полученная оценка объема микросхемы является заниженной.

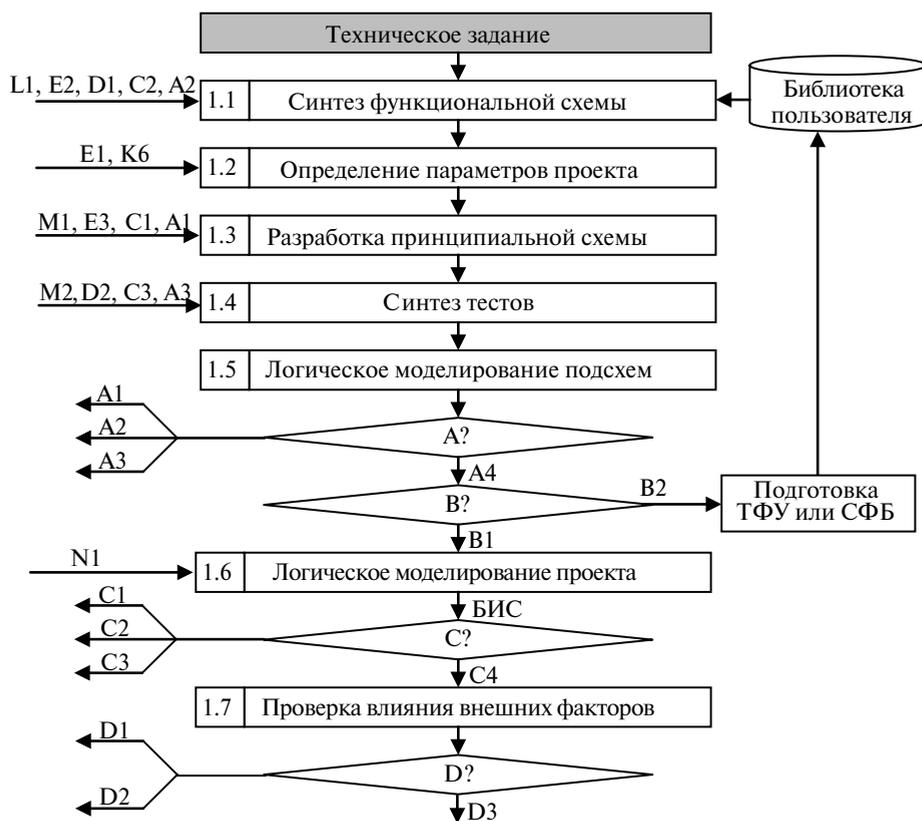


Рис. 5.34. Маршрут разработки и функциональной верификации логической схемы

Разработка принципиальной схемы (процедура 1.3) выполняется в базе библиотечных ячеек с применением принципа нисходящего проектирования. Разработка принципиальной схемы осуществляется сверху вниз, головная схема по составу блоков повторяет функциональную схему, состав внешних выводов блоков уточняется в процессе разработки. ТФУ и СФБ применяются без изменений, при разработке уникальных подсхем целесообразно адаптировать существующие ТФУ и СФБ. Разработка принципиальных схем выполняется в соответствии с рекомендациями, приведенными в данном разделе выше. Описание схем осуществляется средствами графического редактора. При этом для удобства рекомендуется использовать метки, имена которых должны отражать их функциональное назначение, либо комментарии. Начальная нумерация ячеек выполняется в соответствии с требованиями ЕСКД сверху вниз, справа налево. При последующих изменениях схем перенумерация не проводится.

Вновь разработанные подсхемы и блоки должны быть автономно проверены. Для этого выполняется синтез тестов (процедура 1.4). Для тестирования подсхем используются, как правило, функциональные тесты, которые позволяют проверить, с одной стороны, требуемое выполнение функции, с другой – реакцию на различные (штатные и нештатные) входные воздействия. Для блоков синтез тестов не всегда возможен в силу сложности описания входных воздействий, по-

ступающих от других блоков, тем более когда в интерфейсе блоков применяются не статические, а импульсные сигналы. В этом случае тестирование осуществляется на уровне всей микросхемы. Следует отметить, что для тестирования микросхемы, кроме функциональных, разрабатываются контрольно-диагностические тесты, которые должны обеспечивать не только переключение всех ячеек схемы, но и возможность измерения электрических параметров микросхемы.

После подготовки тестов выполняется логическое моделирование подсхем и блоков (процедура 1.5), в процессе которого проверяется выполнение требуемой функции, полноты тестирования. Неправильное функционирование может быть связано как с ошибками в принципиальной схеме (переход А1), так и с ошибками, допущенными при разработке функциональной схемы (переход А2). Также может оказаться недостаточной полнота тестирования (переход А3). В этих случаях проводятся соответствующие итерации, направленные на устранение выявленных ошибок. После успешного завершения моделирования выполняется анализ подсхем с точки зрения выполняемых функций. Если в рамках проекта микросхемы разработаны подсхемы, выполняющие типовые функции, выполняются действия, необходимые для занесения этих подсхем в библиотеку пользователя (переход В2).

**Таблица 5.2.** Условные переходы в блок-схеме маршрута разработки и функциональной верификации логической схемы

Идентификаторы		Описание условного перехода и возможных выходов по условию
условного перехода	выходов по условию	
А		Подсхема функционирует правильно?
	А1	Нет, так как допущены ошибки в описании
	А2	Нет, так как допущены ошибки при синтезе подсхемы
	А3	Нет, так как полнота тестов недостаточна
	А4	Да
В		Имеются подсхемы, выполняющие типовые функции?
	В1	Нет, выполняемые подсхемой функции применимы только для данного проекта микросхемы
	В2	Да, подсхему можно считать ТФУ или СФБ
С		Результаты моделирования удовлетворяют требованиям технического задания?
	С1	Нет, так как допущены ошибки в описании
	С2	Нет, так как допущены ошибки при синтезе схемы
	С3	Нет, так как полнота и качество тестов недостаточны
	С4	Да
D		Внешние факторы влияют на функционирование проекта микросхемы?
	D1	Да, схемотехническая реализация чувствительна к изменению внешних факторов
	D2	Да, тестовые воздействия не учитывают влияния внешних факторов
	D3	Нет

Успешное завершение моделирования подсхем позволяет перейти к логическому моделированию проекта микросхемы (процедура 1.6), которое должно подтвердить выполнение требований технического задания к функционированию микросхемы. На этом этапе проверяется взаимодействие блоков и подсхем, поведение проекта микросхемы при различных входных воздействиях, имитируются сбои входных сигналов и протоколов обмена, а также поведение контрольно-измерительного оборудования при изменении входных воздействий. В эти моменты возникает дребезг сигналов, который может повлиять на поведение микросхемы при ее разбраковке в процессе производства. Для учета дребезга при моделировании устанавливается режим имитации шума, который обеспечивает формирование состояния логической неопределенности на всех входах микросхемы при переключении входных воздействий. Чувствительными к шуму являются входы синхронизации, установки и сброса триггеров. Для защиты от шума на этих входах необходимо использовать аналоговые входные ячейки с триггерами Шмитта. Также при моделировании проекта микросхемы проверяется полнота и качество тестов (переход С3). В результате тестирования максимально возможного количества ячеек должно переключиться в оба логических состояния. Списки непереключившихся элементов схемы приводятся в листинге подсистемы моделирования. Кроме того, тестовые воздействия должны обеспечить возможность измерения электрических сигналов микросхемы в процессе производства. Для выполнения этих требований часто изменения только тестовых воздействий бывает недостаточно. Поэтому выполняются итерации в разработке функциональных (переход С2) и принципиальных (переход С1) схем, при необходимости изменяется принципиальная схема для удовлетворения указанным требованиям, например вводятся специальные тестовые входы или выходы, добавляются схемы тестирования.

Завершающей стадией разработки и функциональной верификации логической схемы является проверка влияния внешних факторов (процедура 1.7). Она заключается в анализе влияния внешних факторов на правильность функционирования проекта микросхемы без учета топологии. Перед проверкой выполняется формирование файла эталонных тестовых воздействий с реакциями. Данный файл соответствует поведению проекта микросхемы при номинальных значениях внешних факторов, т.е. в условиях проведения логического моделирования проекта микросхемы. Ошибки в функционировании при изменяющихся внешних факторах могут быть вызваны либо схемотехнической реализацией, например гонками фронтов, состязаниями, применением коротких импульсов, либо некорректной подачей входных воздействий, проявляющейся в одновременной подаче или снятии управляющих воздействий на триггеры. Поэтому для устранения найденных несоответствий выполняется коррекция принципиальной схемы (переход D1) или тестовых воздействий (переход D2).

### *Этап разработки топологии*

Разработка топологии (рис. 5.35) начинается с уточнения параметров проекта (процедура 2.1). Перед началом разработки топологии проводится трансляция логической схемы и раскрытие иерархии до уровня топологических элементов, в результате чего определяется объем логической схемы и количество внешних выводов. Исходя из полученных результатов, рассчитывается коэффициент за-

полнения поля БМК. Если количество внешних выводов превышает количество выводов первоначально заданного типа БМК либо коэффициент заполнения поля БМК превышает 80%, следует изменить параметры проекта, выбрав другой тип БМК (переход E1). Ну а если БМК большего объема отсутствует, то можно попытаться изменить принципиальную схему с целью уменьшения ее объема или количества внешних выводов (переход E2) либо перейти к реализации разработанного проекта в виде двух микросхем (переход E3).

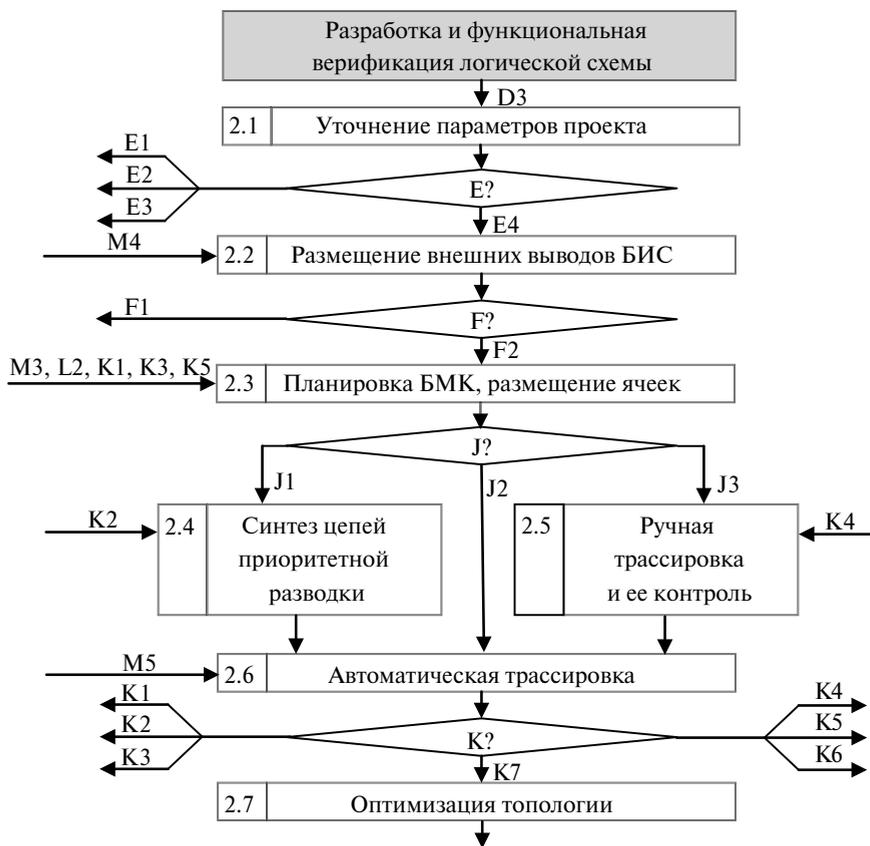


Рис. 5.35. Маршрут разработки топологии БИС

Разработка топологии начинается с размещения внешних выводов (процедура 2.2). Наиболее предпочтительной является ситуация, когда расположение выводов определено в техническом задании. Если расположение не задано, то при размещении необходимо учитывать следующие рекомендации:

- выводы, относящиеся к шинам, а также сигналы управления данными следует группировать, расположение выводов должно соответствовать последовательности разрядов;
- функционально связанные сигналы также группируются;
- расположение выводов должно учитывать особенности конструкции БМК, связанные с расположением каналов трассировки (в БМК серий 5503 и 5507 кана-

лы трассировки располагаются вертикально), вдоль которых целесообразно располагать тракты обработки сигналов;

– выводы скоростных и тактовых сигналов также должны располагаться вдоль каналов трассировки.

После завершения размещения внешних выводов можно осуществить переход к прототипированию проекта микросхемы (переход F1) либо продолжить разработку топологии (переход F2).

Следующей стадией разработки топологии является планировка поля БМК и размещение ячеек (процедура 2.3), для наглядности планировки выполняется раскраска ячеек подсхем. Планировка поля БМК необходима для определения структуры будущей топологии, резервирования областей кристалла для размещения схемы с учетом равномерного заполнения площади кристалла библиотечными элементами. Площадь областей для размещения подсхем определяется пропорционально количеству и размеру библиотечных ячеек, входящих в данную подсхему, благодаря чему достигается равномерное распределение незадействованных ячеек по резервируемым областям.

**Таблица 5.3.** Условные переходы в блок-схеме маршрута разработки топологии

Идентификаторы		Описание условного перехода и возможных выходов по условию
условного перехода	выходов по условию	
E		Тип БМК задан правильно?
	E1	Нет, требуется задать БМК большего объема
	E2	Нет, требуется уменьшить количество элементов в схеме
	E3	Нет, требуется разделить проект на две части
	E4	Да
F		Требуется прототипирование?
	F1	Да
	F2	Нет
J		Какой метод трассировки будет использован?
	J1	Автоматическая с приоритетом цепей
	J2	Автоматическая без приоритета цепей
	J3	Ручная трассировка критичных цепей с автоматической доразводкой
K		Все цепи разведены?
	K1	Нет, так как выполнялся синтез не полностью размещенной схемы
	K2	Нет, но предполагается, что введение неразведенных цепей в список приоритетных цепей позволит выполнить автоматический синтез топологии
	K3	Нет, но предполагается, что перерасположение ячеек позволит выполнить автоматический синтез топологии
	K4	Нет, но предполагается, что неразведенные цепи можно развести вручную
	K5	Нет, причем считается, что доразводка цепей невозможна без перепланировки кристалла
	K6	Нет, причем считается, что для синтеза топологии необходимо изменить тип БМК
	K7	Да

При планировке необходимо учитывать и особенности схмотехнической реализации подсхем для перераспределения незадействованных ячеек. Так, для регулярных схем, не содержащих комбинационных элементов, таких как последовательные счетчики, регистры данных, сдвиговые регистры, количество незадействованных ячеек в резервируемых областях может быть сокращено. Для комбинационных подсхем, наоборот, оно должно быть увеличено. При недостатке горизонтальных каналов трассировки незадействованные ячейки могут быть использованы для организации дополнительных проходов. Поэтому целесообразно создавать горизонтальные каналы из незадействованных ячеек для увеличения ресурсов для разводки топологических связей. При проведении планировки так же необходимо учитывать особенности проекта:

- расположение внешних выводов;
- высокочастотные цепи;
- структуру потоков информации и шин данных;
- связанность подсхем.

Подсхемы, связанные с внешними выводами, целесообразно располагать у краев поля БМК напротив этих выводов. Подсхемы, имеющие в своем составе высокочастотные цепи, необходимо располагать вертикально, чтобы скоростные цепи располагались вертикально и могли быть проведены слоем металла без использования поликремния. При этом подсхемы должны находиться наиболее близко к тем выводам БИС, на которые подается высокая входная частота. Связанность подсхем и структура потоков информации определяет взаимное расположение подсхем.

После завершения планировки БМК осуществляется размещение ячеек в запланированных областях. В процессе размещения система проектирования позволяет контролировать взаимное расположение ячеек. Поэтому размещение целесообразно начинать с подсхем, связанных с внешними выводами, а затем с уже размещенными подсхемами. В рамках подсхемы размещение начинается с размещения триггеров, так как они определяют структуру топологии, а также имеют больший топологический размер. Следует отметить, что для выполнения синтеза топологии не обязательно проводить полное размещение всех ячеек схемы. Можно выполнять синтез топологии отдельных подсхем с последующей доразводкой топологии.

Для синтеза топологии может быть применен один из трех методов:

- автоматический синтез цепей приоритетной разводки (переход J1);
- автоматическая трассировка (переход J2);
- ручная трассировка критичных цепей с автоматической доразводкой (переход J3).

Автоматический синтез приоритетных цепей (процедура 2.4) позволяет выполнить трассировку цепей, заданных в соответствующем файле, что обеспечивает синтез этих цепей преимущественно в слое металла. Поэтому в список приоритетных цепей помещаются цепи синхронизации и цепи высокочастотных сигналов. В процессе итерационной доразводки топологии в список приоритетных цепей часто вносятся цепи, не разведенные на предыдущем цикле синтеза топологии. В большинстве случаев это позволяет провести автоматический синтез данных цепей.

Ручная трассировка критичных цепей (процедура 2.5) применяется либо при синтезе цепей, топологические параметры которых не могут быть обеспечены при автоматическом синтезе, либо в процессе доработки топологии для не разведенных при автоматическом синтезе цепей. Трассировка выполняется по одной связи в цепи, после чего проводится контроль выполненной операции. Это позволяет оперативно выявлять ошибки трассировки.

Автоматическая трассировка (процедура 2.6) может применяться как при первоначальном синтезе, так и при доработке топологии, полученной либо после синтеза приоритетных цепей, либо после ручной трассировки, либо после предыдущего цикла разработки топологии. В случае наличия после завершения синтеза топологии неразведенных цепей разработчик выбирает тот или иной способ доработки топологии:

- дальнейшее размещение ячеек (переход К1) в случае разработки топологии не полностью размещенного проекта, применяемой при итерационной разработке топологии;

- задание неразведенных цепей в качестве списка приоритетных цепей для повторного синтеза топологии (переход К2);

- локальное перерасположение ячеек неразведенных цепей (переход К3), применяется, если задание этих цепей в приоритетном списке не обеспечило автоматического синтеза указанных цепей;

- ручная трассировка неразведенных цепей (переход К4), если автоматический синтез в режиме приоритетных цепей и после перерасположения ячеек не дал результата, а количество неразведенных цепей невелико;

- перепланировка кристалла (переход К5), если количество неразведенных цепей велико и невозможна их ручная трассировка;

- изменение типа БМК (переход К6), если синтез топологии невозможен из-за недостатка топологических ресурсов выбранного типа БМК.

Завершающей стадией разработки топологии является оптимизация топологии (процедура 2.7), которая заключается в дублировании слоев металла поликремниевых шин, используемых в разводке топологии, а также в замене неиспользуемых топологических ячеек поля БМК проходными ячейками. Дублирование металлом увеличивает количество точек подключения поликремниевых шин и уменьшает сопротивление связей, а добавление проходных ячеек увеличивает емкость между выводами земли и питания микросхемы, что повышает ее помехоустойчивость.

### *Этап прототипирования и исследования имитатора в аппаратуре*

Для выполнения прототипирования проекта микросхемы необходимо определить расположение внешних выводов микросхемы, которое соответствует расположению внешних выводов имитатора (рис. 5.36). После этого средствами САПР БМК автоматически осуществляется трансляция структурного описания микросхемы из базиса ячеек БМК в базис ячеек ПЛИС, в результате чего формируется описание микросхемы формате EDIF2.00 (процедура 3.1).

Полученное описание служит входной информацией для САПР ПЛИС (процедура 3.2), средствами которой формируется файл специализации ПЛИС. Расположение внешних выводов и выполняемая ПЛИС функция определяются проектом микросхемы.

**Таблица 5.4.** Условные переходы в блок-схеме маршрута прототипирования и исследования имитатора в аппаратуре

Идентификаторы		Описание условного перехода и возможных выходов по условию
условного перехода	выходов по условию	
L		Имитатор в аппаратуре функционирует правильно?
	L1	Нет, требуется коррекция схемы
	L2	Да



**Рис. 5.36.** Маршрут прототипирования и исследования имитатора в аппаратуре

Далее выполняется специализация имитатора (процедура 3.3), которая заключается в загрузке файла специализации в ПЗУ имитатора. Функционирование имитатора микросхемы проверяется с помощью контрольно-измерительного оборудования на соответствие файлу эталонных тестовых воздействий с реакциями, что гарантирует идентичность его функционирования проекту микросхемы.

Подготовленный таким образом имитатор помещается в аппаратуру для проведения его исследований (процедура 3.4). Проверке подвергается функционирование имитатора не только в нормальных условиях, но и в условиях изменяющихся внешних факторов. Если при исследованиях выявляются ошибки, выполняется коррекция схемы и повторяется цикл разработки. Если поведение имитатора полностью соответствует требованиям технического задания, выполняется этап разработки топологии микросхемы.

#### *Этап аттестации проекта*

Завершающим этапом маршрута разработки микросхемы является аттестация проекта микросхемы (рис. 5.37). Для этого выполняется контроль целостности проекта (процедура 4.1), в процессе которого осуществляется трансляция описания, моделирование проекта с анализом возникших ошибок и предупреждений, контроль полноты и качества тестов, контроль топологии с анализом соответствия расположения внешних выводов требованиям технического задания и наличия в топологии номера зашивки.

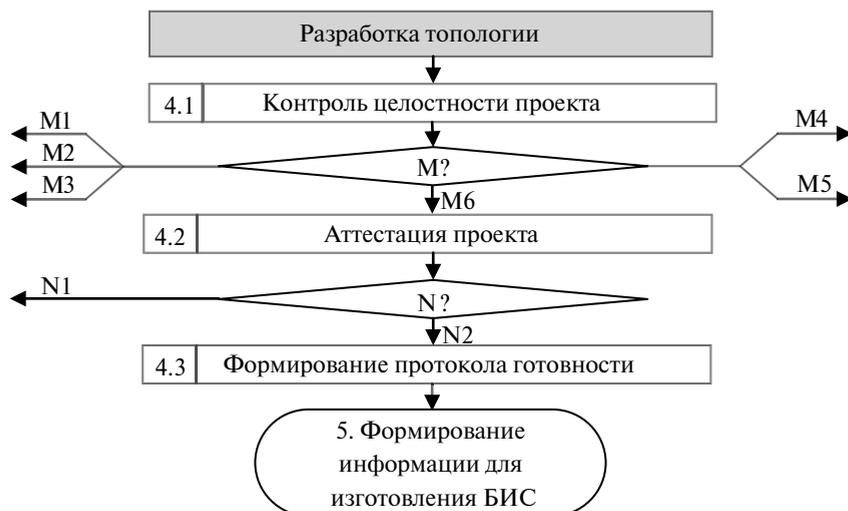


Рис. 5.37. Маршрут аттестации проекта

При обнаружении ошибок выполняется их исправление, а именно:

- коррекция электрической схемы в случае ошибок в трансляции описания (переход M1);
- коррекция тестовых воздействий в случае обнаружения ошибок при контроле полноты и качества тестов (переход M2);
- коррекция топологии в случае обнаружения ошибок при контроле топологии (переход M3);
- перерасмещение внешних выводов с последующей коррекцией топологии в случае несоответствия их расположения требованиям технического задания (переход M4);
- синтез номера зашивки в топологии микросхемы в случае его отсутствия (переход M5).

Таблица 5.5. Условные переходы в блок-схеме маршрута аттестации проекта

Идентификаторы		Описание условного перехода и возможных выходов по условию
условного перехода	выходов по условию	
M		Целостность проекта подтверждена?
	M1	Нет, так как обнаружены ошибки в описании схемы
	M2	Нет, так как недостаточна полнота и качество тестов
	M3	Нет, так как топология имеет ошибки
	M4	Нет, так как расположение внешних выводов не соответствует техническому заданию
	M5	Нет, так как в топологии не указан номер зашивки
N	M6	Да
		Аттестация выполнена успешно?
	N1	Нет
	N2	Нет, требуется коррекция схемы

После завершения контроля целостности проекта проводится аттестация проекта микросхемы (процедура 4.2). Аттестация выполняется в режиме имитации шума на наборе из 243 испытаний, соответствующих полному перебору комбинаций пяти внешних и технологических факторов при их минимальном, номинальном и максимальном значениях. При обнаружении несоответствий в поведении проекта микросхемы выполняется поиск причин несоответствия для их последующего устранения (переход N1).

Успешное завершение аттестации проекта является необходимым условием подготовки комплекта документации для изготовления микросхемы. Результаты проектирования фиксируются в протоколе готовности к производству (процедура 4.3), в котором указываются контрольные суммы файлов структурного описания, эталонных тестовых воздействий с реакциями, топологии и тестовой последовательности для контроля микросхемы на измерительном оборудовании.

Таким образом, маршрут и методика проектирования полузаказной микросхемы с применением имитатора позволяют гарантировать правильность функционирования микросхемы в аппаратуре, что обеспечивает получение годных микросхем с первой попытки изготовления. Благодаря этому значительно сокращается время проектирования и минимизируются потери, связанные с выявлением ошибок при отладке аппаратуры.