

# Пересчетные устройства

Знакомство со средой САПР БИС «Ковчег 3.04».....	1
Комбинационные схемы .....	2
Триггерные устройства .....	3
Параллельные регистры .....	4
Делители частоты.....	5
Синхронные счётчики .....	6
Асинхронные счётчики.....	7
<b>8</b> Пересчётные устройства.....	<b>8</b>

## Лабораторная работа 8: Пересчётные устройства

8.1. Теоретические сведения .....	8-2
8.2. Лабораторное задание .....	8-11
8.2.1. Пример индивидуального задания .....	8-11
8.2.2. Порядок выполнения работы на примере выполнения индивидуального задания .....	8-11
8.3. Перечень индивидуальных заданий .....	8-17

**Цель работы:** изучить принципы работы пересчётных устройств; овладеть методами синтеза пересчётных устройств с повторяющимися состояниями на базе  $D$ - и  $JK$ -триггеров; приобрести навыки в создании, наладке и экспериментальном исследовании структур счётчиков в среде САПР БИС «Ковчег 3.04».

## 8.1. Теоретические сведения

Часто при разработке цифровых блоков, например устройств управления, необходимо использовать пересчётные устройства с повторяющимися состояниями в рабочем цикле. Если в техническом задании дана, например, последовательность состояний в рабочем цикле  $0, 1, 2, 0, 3, 2, 4, 0, 1, \dots$ , то описанные в предыдущих разделах способы применять нельзя, так как в цикле из семи состояний встречаются дважды повторяющиеся состояния  $0$  и  $2$ . Используют два основных способа при проектировании таких устройств.

1. Добавление в пересчётное устройство триггеров-меток, число которых в общем случае равно  $\log_2 k$ , где  $k$  — максимальное количество одного из повторяющихся состояний. В случае если в повторяющихся состояниях значение выхода триггера-метки будет различным, то все совокупные состояния с учётом триггера-метки станут различными и неопределённость будет устранена. Далее синтез можно провести обычным способом.

2. Применение структуры счётчик — комбинационная схема. В данном случае разрядность счётчика равна  $\log_2 N$  (где  $N$  — общее число состояний в рабочем цикле), а количество выходных переменных комбинационной схемы равно  $\log_2 L$  (где  $L$  — максимальный номер состояния в рабочем цикле). Выходные переменные комбинационной схемы рассматриваются как функции алгебры логики от переменных на разрядах счётчика.

Если  $N < 2^n$ , где  $n$  — разрядность счётчика, то возникает вопрос: какой вариант счётчика проектировать, т.е. в какой последовательности ему изменять свои состояния? Должен он быть синхронным или асинхронным? Как кодировать состояния введенных триггеров-меток для различения повторяющихся состояний? Возникают и другие вопросы. Ответов, обеспечивающих получение оптимальных с точки зрения принятых критериев схмотехнических решений, не существует. Разработчик использует, как правило, свои чем-то обоснованные пути решения этой задачи.

Рассмотрим процедуры проектирования пересчётного устройства с повторяющимися состояниями для рабочего цикла  $0, 1, 2, 0, 3, 2, 4, 0, 1, \dots$  с использованием двух основных способов. Пересчётное устройство необходимо спроектировать синхронным и реализовать его на  $D$ -триггерах.

*Пример 1.* Используем способ введения триггеров-меток.

Так как в данном случае  $K = 2$ , достаточно ввести один триггер-метку. Возможные варианты кодирования значений его выхода приведены в табл. 8.1, в этом примере число вариантов равно  $l^2 = 2^2 = 4$ , где  $l$  — число различных повторяющихся состояний в цикле;  $2$  — число наборов выхода одного триггера-метки.

*Примечание.* В табл. 8.1 показаны варианты кодирования триггера-метки в предположении, что он меняет только номера повторяющихся состояний. С учётом остальных состояний число вариантов кодирования пересчётного устройства возрастёт! Определите самостоятельно возможное число вариантов.

Таблица 8.1. Варианты кодирования последовательности состояний пересчётного устройства

Исходная последователь- ность состояний	1		2		3		4	
	Номер набора	Номер набора $Q_2 Q_1 Q_0$	Номер набора $Q_3 Q_2 Q_1 Q_0$	Номер набора $Q_3 Q_2 Q_1 Q_0$	Номер набора $Q_3 Q_2 Q_1 Q_0$	Номер набора $Q_3 Q_2 Q_1 Q_0$	Номер набора $Q_3 Q_2 Q_1 Q_0$	
0	0	0 0 0 0	0 0 0 0	0 0 0 0	8	1 0 0 0	8	1 0 0 0
1	×	×	×	×	×	×	×	×
2	2	0 0 1 0	0 0 1 0	1 0 1 0	2	0 0 1 0	10	1 0 1 0
0	8	1 0 0 0	1 0 0 0	1 0 0 0	0	0 0 0 0	0	0 0 0 0
3	×	×	×	×	×	×	×	×
2	10	1 0 1 0	1 0 1 0	0 0 1 0	10	1 0 1 0	2	0 0 1 0
4	×	×	×	×	×	×	×	×

Примем для реализации последовательность состояний для варианта 1 такого вида: 0, 1, 2, 8, 11, 10, 12, 0, ... Как видно, теперь все состояния различимы. Функционирование такого пересчётного устройства приведено в табл. 8.2. Из карт Карно (рис. 8.1) следует:

$$\begin{aligned} D_3 &= Q_1 + Q_3 \overline{Q_2} = \overline{\overline{Q_1} \cdot \overline{Q_3} \overline{Q_2}}; \\ D_2 &= Q_3 Q_1 \overline{Q_0}; \\ D_1 &= Q_0 + Q_3 \overline{Q_2} \overline{Q_1} = \overline{\overline{Q_0} \cdot \overline{Q_3} \overline{Q_2} \overline{Q_1}}; \\ D_0 &= \overline{Q_2} \overline{Q_1} \overline{Q_0}. \end{aligned} \quad (8.1)$$

Уравнения (8.1) определяют структуру проектируемого пересчётного устройства, которая приведена на рис. 8.2, а. На рис. 8.2, б показан граф переходов, из которого следует, что полученная схема является самовосстанавливающейся.

**Таблица 8.2.** Таблица переходов пересчётного устройства с триггером-меткой

Номер набора	$t$				$t+1$				$t$			
	$Q_3$	$Q_2$	$Q_1$	$Q_0$	$Q_3$	$Q_2$	$Q_1$	$Q_0$	$D_3$	$D_2$	$D_1$	$D_0$
0	0	0	0	0	0	0	0	1	0	0	0	1
1	0	0	0	1	0	0	1	0	0	0	1	0
2	0	0	1	0	1	0	0	0	1	0	0	0
8	1	0	0	0	1	0	1	1	1	0	1	1
11	1	0	1	1	1	0	1	0	1	0	1	0
10	1	0	1	0	1	1	0	0	1	1	0	0
12	1	1	0	0	0	0	0	0	0	0	0	0

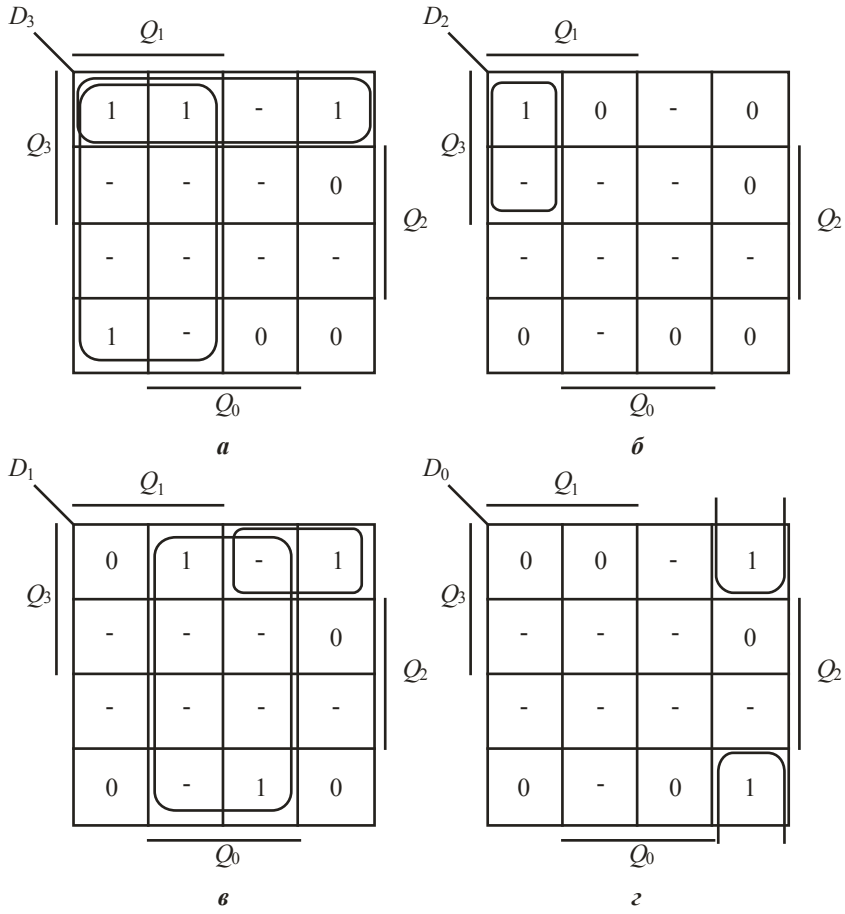
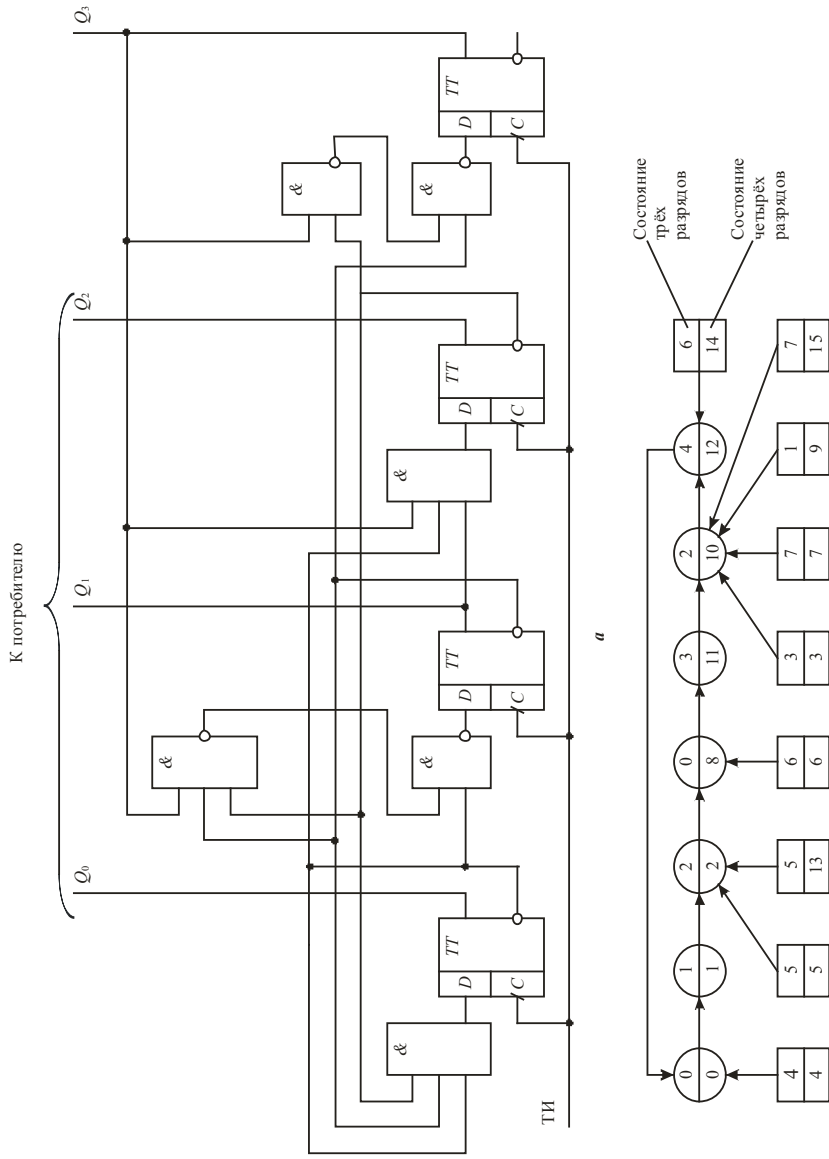


Рис. 8.1. Карты Карно для пересчётного устройства



**Рис. 8.2.** Схема (а) и граф переходов (б) пересчетного устройства с повворяющимися состояниями, построенные с использованием триггера-метки

*Пример 2.* Спроектируем то же пересчётное устройство, применив структуру счётчик — комбинационная схема. Так как в рабочем цикле семь состояний, необходимо использовать 3-разрядный счётчик. Примем, что счётчик изменяет состояние в последовательности 0, 1, 2, 3, 4, 5, 6, 0, ...

Функционирование такого счётчика приведено в табл. 8.3.

**Таблица 8.3.** Таблица переходов 3-разрядного суммирующего счётчика

	$t$			$t+1$			$t$		
Номер набора	$Q_2$	$Q_1$	$Q_0$	$Q_2$	$Q_1$	$Q_0$	$D_2$	$D_1$	$D_0$
0	0	0	0	0	0	1	0	0	1
1	0	0	1	0	1	0	0	1	0
2	0	1	0	0	1	1	0	1	1
3	0	1	1	1	0	0	1	0	0
4	1	0	0	1	0	1	1	0	1
5	1	0	1	1	1	0	1	1	0
6	1	1	0	0	0	0	0	0	0

Из карт Карно (рис. 8.3) следует:

$$\begin{aligned}
 D_2 &= Q_1 Q_0 + Q_2 \bar{Q}_1 = \overline{\overline{Q_1 Q_0}} \cdot \overline{\overline{Q_2 \bar{Q}_1}}; \\
 D_1 &= \bar{Q}_2 Q_1 \bar{Q}_0 + \bar{Q}_1 Q_0 = \overline{\overline{\bar{Q}_2 Q_1 \bar{Q}_0}} \cdot \overline{\overline{\bar{Q}_1 Q_0}}; \\
 D_0 &= \bar{Q}_2 \bar{Q}_0 + \bar{Q}_1 \bar{Q}_0 = \overline{\overline{\bar{Q}_2 \bar{Q}_0}} \cdot \overline{\overline{\bar{Q}_1 \bar{Q}_0}}.
 \end{aligned}
 \tag{8.2}$$

Уравнения (8.2) определяют структуру счётчика с модулем  $M = 7$ . Табл. 8.4 является кодированной таблицей выходов комбинационной схемы, которые определяют требуемую последовательность смены состояний проектируемого пересчётного устройства.



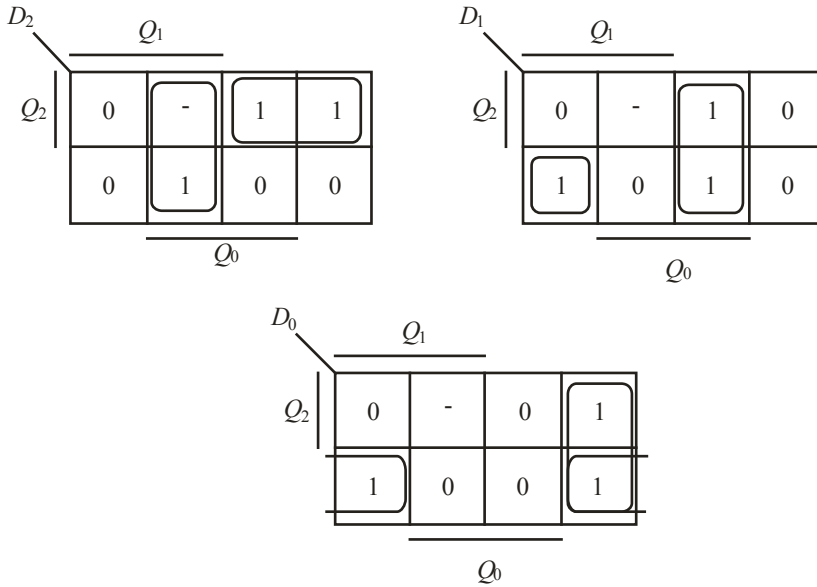


Рис. 8.3. Карты Карно для счётчика с  $M = 7$

Таблица 8.4. Таблица истинности для выходов комбинационной схемы

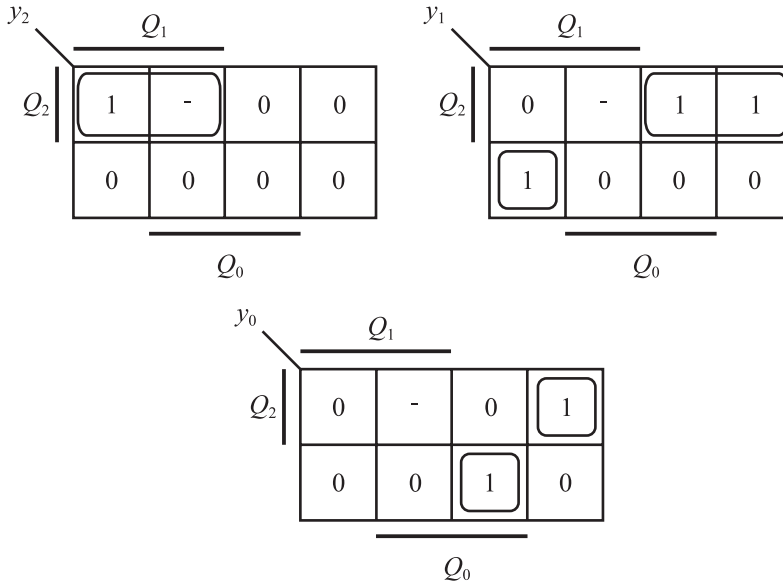
Номер набора	$Q_2$	$Q_1$	$Q_0$	Номер состояния	$y_2$	$y_1$	$y_0$
0	0	0	0	0	0	0	0
1	0	0	1	1	0	0	1
2	0	1	0	2	0	1	0
3	0	1	1	0	0	0	0
4	1	0	0	3	0	1	1
5	1	0	1	2	0	1	0
6	1	1	0	4	1	0	0

Из карт Карно (рис. 8.4) следует:

$$y_2 = Q_2 Q_1;$$

$$y_1 = Q_2 \bar{Q}_1 + \bar{Q}_2 Q_1 \bar{Q}_0 = \overline{Q_2 \bar{Q}_1} \cdot \overline{\bar{Q}_2 Q_1 \bar{Q}_0};$$

$$y_0 = Q_2 \bar{Q}_1 \bar{Q}_0 + \bar{Q}_2 \bar{Q}_1 Q_0 = \overline{Q_2 \bar{Q}_1 \bar{Q}_0} \cdot \overline{\bar{Q}_2 \bar{Q}_1 Q_0}. \quad (8.3)$$



**Рис. 8.4.** Карты Карно для выходов комбинационной схемы счётного устройства с повторяющимися состояниями

Уравнения (8.2) и (8.4) определяют структуру проектируемого пересчётного устройства, которая приведена на рис. 8.5, а. На рис. 8.5, б приведен граф переходов пересчётного устройства, из которого следует, что полученная схема является самовосстанавливающейся.

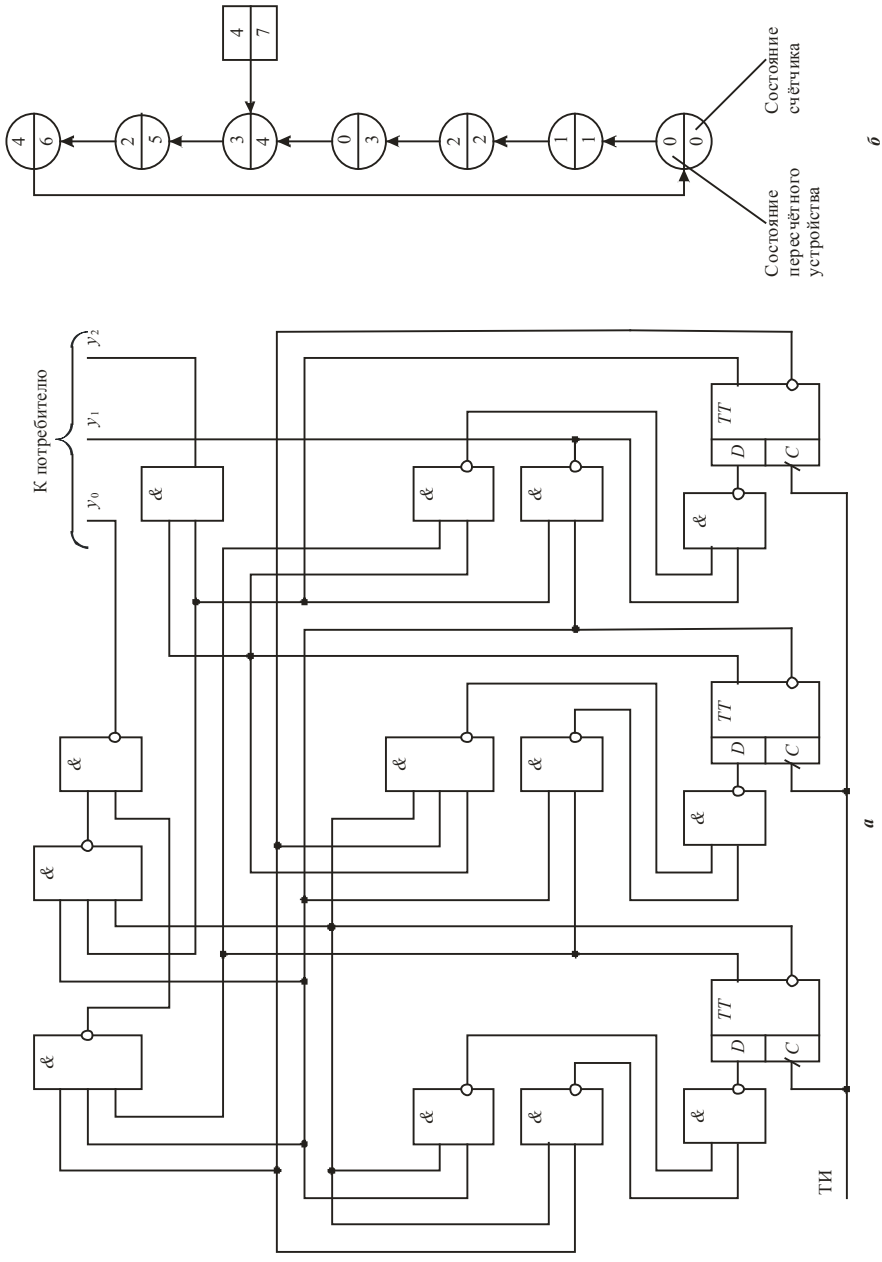


Рис. 8.5. Схема (а) и граф переходов (б) пересчётного устройства с повторяющимися состояниями

В заключение отметим, что достоинством последней схемы является меньшее число нерабочих состояний.

## 8.2. Лабораторное задание

Используя способ введения триггера-метки, синтезировать структуру пересчётного устройства, заданного в индивидуальном задании, обеспечить самовосстанавливаемость структуры.

### 8.2.1. Пример индивидуального задания

В соответствии с индивидуальным вариантом синтезировать пересчётное устройство с повторяющимися состояниями двумя способами: с использованием триггера метки и по структуре «счётчик — комбинационная схема». Обеспечить самовосстанавливаемость структур. Подтвердить корректность синтеза моделированием схем в среде САПР БИС «Ковчег 3.04». Сравнить полученные результаты по аппаратным затратам и задержкам формирования достоверных данных от момента прихода тактового импульса. Сделать выводы об оптимальности каждого из решений по выбранным критериям оптимальности.

### 8.2.2. Порядок выполнения работы на примере выполнения индивидуального задания

Реализуем две схемы пересчётного устройства, заданные в примере выше разными способами. Разработку выполним в виде двух подсхем, которые затем соединим в головной схеме с общими сигналами тактирования и сброса.

Используя методические указания в предыдущих работах по построению схем в графическом редакторе САПР БИС «Ковчег 3.04», создадим новый проект «lab8» с головной схемой *MAIN*, затем создадим подсхему пересчётного устройства по полученным уравнениям (8.1) с использованием триггера-метки с именем *Метка*. На входах тактового сигнала *TI* и сброса *CLR* используем буферы, на выходах — периферийные ячейки *ОА*, выходам пересчётного устройства присвоим имена  $X[i]$ . Разработанная схема приведена на рис. 8.6. Следует отметить, что цепь сброса имеет восемь нагрузок, в то время как формирователь сигнала может быть подключен только к шести входам. Для увеличения коэффициента разветвления, т.е. нагрузочной способности формирователя сигнала, рекомендуется применять буферные ячейки *BUF*, *BUF2*, *BUF3*, имеющие нагрузочную способность 5, 10 и 15 входов соответственно. Поэтому в цепи сброса использована ячейка *BUF2* с нагрузочной способностью 10. Кроме этого, на выходах подсхемы для повышения их нагрузочной способности также будем использовать буферные ячейки *BUF2*.

Обратим внимание на размер подсхемы, информация о котором приведена в окне **Вывод** среди информационных сообщений после трансляции подсхемы: «Схема 'Метка' занимает 46 ячеек поля БМК и 4 периферийных ячейки».

Создадим следующие контрольные точки:

- 1 «Контрольные точки»
- 2 Такт, Выходы, Выходы\_все, Выходы\_по\_отдельности;
- 4
- 5 Такт:  $TI$ ;
- 6 Выходы:  $X\{X2, X1, X0\}D$ ;
- 7 Выходы\_все:  $X\{X3, X2, X1, X0\}D$ ;
- 8 Выходы\_по\_отдельности:  $X3, X2, X1, X0$ ;

Обратим внимание на то, что в качестве контрольных точек заданы как тройка выходов  $X\{X2, X1, X0\}D$ , так и те же выходы с добавленным триггером-меткой  $X\{X3, X2, X1, X0\}D$ .

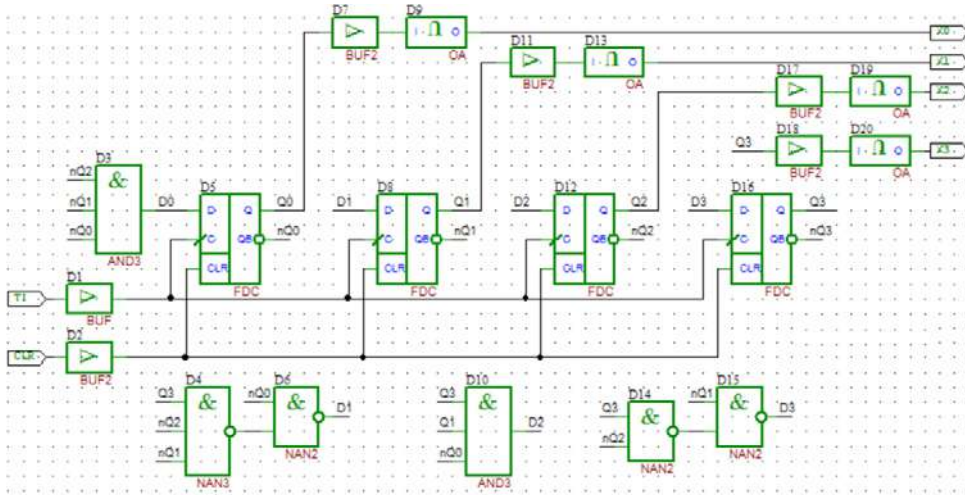


Рис. 8.6. Схема пересчётного устройства с повторяющимися состояниями, построенного с использованием триггера-метки

Тест реализуем из двух подтестов: «Инициализация» и «Проверка»:

1. «Метод триггера-метки»
2. Инициализация, Проверка;
- 3.
4. Инициализация:
5.  $TI=(0,1):2$ ;
6.  $CLR=1$ ;
- 7.
8. Проверка:
9.  $TI=(0,1):20$ ;
10.  $CLR=0$ ;

На этапе инициализации будет произведена очистка триггеров ( $CLR = 1$ ) на протяжении двух тактов  $TI$  ( $TI = (0,1):2$ ). На этапе проверки формируем 20 периодов тактового импульса  $TI$  для анализа выходных сигналов. Результат логического моделирования приведён на рис. 8.7.

Анализ результатов моделирования показывает, что подсхема *Metka* работает корректно и на ее выходе формируется предписанная последовательность состояний. Для последующего использования подсхемы *Metka* в головной схеме создадим УГО подсхемы. Для этого в области панелей быстрого доступа выберем команду **Редактирование УГО схемы**. В области редактирования автоматически сформируется УГО, которое при желании может быть изменено.



**Рис. 8.7.** Фрагмент результатов моделирования схемы пересчётного устройства с повторяющимися состояниями, построенного с использованием триггера-метки

После сохранения полученного УГО переходим к созданию подсхемы пересчётного устройства по структуре счётчик — комбинационная схема с именем *CTSCH*. Для этого воспользуемся результатом синтеза в виде уравнений (8.2) для счётчика и (8.3) для комбинационной схемы. На входах тактового сигнала *TI* и сброса *CLR* используем буферы, на выходах пересчетного устройства — периферийные ячейки *OA*, этим выходам присвоим имена *Y[i]*. Результат разработки подсхемы в САПР БИС «Ковчег 3.04» приведён на рис. 8.8. Обратим внимание на то, что на выходе триггера D14 применён буферный элемент *BUF2* (D15), т.к. цепь *nQ1* имеет семь нагрузок, а выход триггера *FDC* рассчитан на пять нагрузок. Для повышения нагрузочной способности на выходах подсхемы также будем использовать буферные ячейки *BUF2*.

После трансляции подсхемы в окне **Вывод** среди информационных сообщений приведена информация о размере подсхемы, а именно: «Схема 'CTSCH' занимает 52 ячейки поля БМК и 3 периферийных ячейки».

Будем использовать следующие контрольные точки:

1. «Контрольные точки»
2. Такт, Счётчик, Выход, Выходы\_по\_отдельности;
- 3.
4. Такт: TI;
5. Счётчик: Q{Q2, Q1, Q0}D;
6. Выход: Y{y2, y1, y0}D;
7. Выходы\_по\_отдельности: y2, y1, y0;

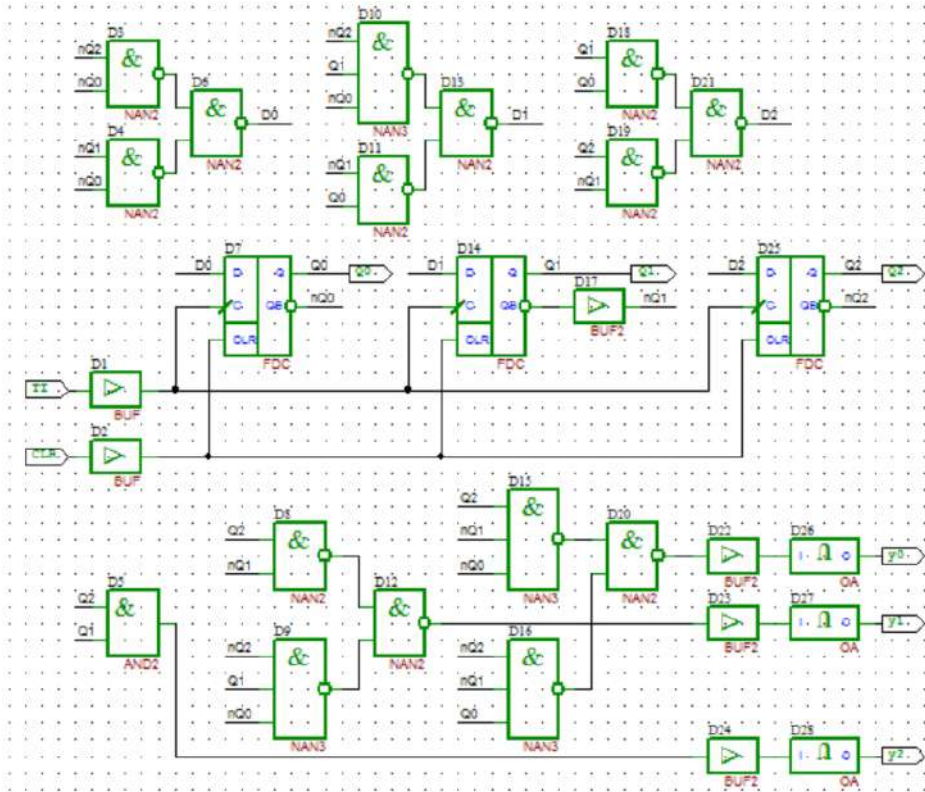


Рис. 8.8. Схема пересчётного устройства с повторяющимися состояниями, построенного по структуре счётчик — комбинационная схема

Создадим следующий тест:

1. «Метод счётчик + комбинационная схема»
2. Инициализация, Проверка;
- 3.
4. Инициализация:
5.  $TI=(0,1):1;$
6.  $CLR=1;$
- 7.
8. Проверка:
9.  $TI=(0,1):20;$
10.  $CLR=0;$

Результат логического моделирования приведён на рис. 8.9. Анализ выходных сигналов показывает корректность работы схемы и соответствие значений контрольной точки «Выход» исходной последовательности пересчётного устройства.



Рис. 8.9. Фрагмент результатов моделирования схемы пересчётного устройства с повторяющимися состояниями, построенного по структуре счётчик — комбинационная схема

Для последующего использования в головной схеме создадим УГО подсхемы *CTSCH*. После сохранения полученного УГО переходим к созданию головной схемы с именем *MAIN*. Для этого нужно либо с помощью команды **Подсхема из проекта...** меню **Разместить**, либо соответствующей кнопки панели инструментов выбрать и разместить УГО подсхем *Metka* и *CTSCH*, добавить периферийные входные ячейки *IDP* для входов *TI* и *CLR*, расставить выходные порты. Результирующая схема приведена на рис. 8.10.

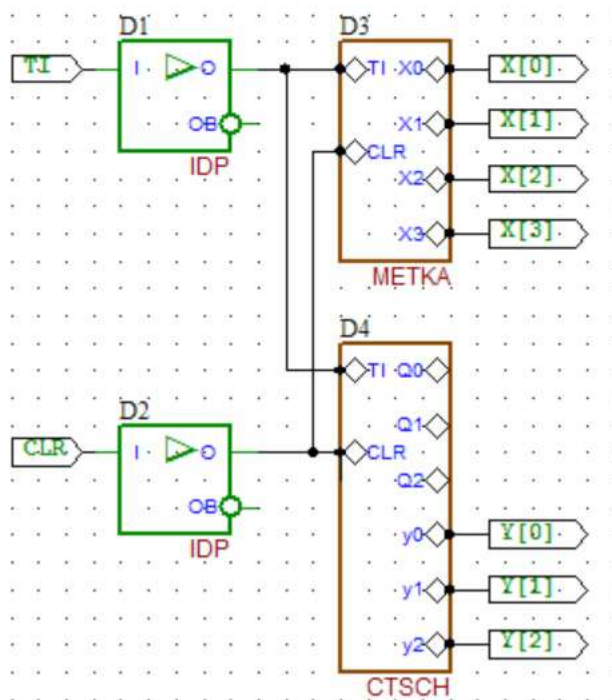


Рис. 8.10. Головная схема



Зададим следующие контрольные точки:

1. «Контрольные точки»
2. Сброс, Такт, Выходы\_X, Выходы\_Y, Выходы\_X\_по\_отдельности, Выходы\_Y\_по\_отдельности;
- 3.
4. Сброс: CLR;
5. Такт: TI;
6. Выходы\_X: X{X[2], X[1], X[0]}D;
7. Выходы\_X\_по\_отдельности: X[2], X[1], X[0];
8. Выходы\_Y: Y{Y[2], Y[1], Y[0]}D;
9. Выходы\_Y\_по\_отдельности: Y[2], Y[1], Y[0];

Создадим следующий тест:

1. «Метод счётчик + комбинационная схема»
2. Инициализация, Проверка;
- 3.
4. Инициализация:
5. TI=(0,0):1;
6. CLR=1;
- 7.
8. Проверка:
9. TI=(0,1):20;
10. CLR=0;

Результат логического моделирования приведён на рис. 8.11. Анализ выходных сигналов показывает корректность работы схемы и соответствие значений контрольной точки «Выход» исходной последовательности пересчётного устройства.



Рис. 8.11. Фрагмент результатов моделирования схемы пересчётного устройства с повторяющимися состояниями, построенного по структуре счётчик — комбинационная схема

Проанализируем результаты. Получены две структуры, которые реализуют пересчётное устройство по требуемому циклу работы. Первая схема имеет меньшие аппаратные затраты. Исследуем динамические характеристики пересчётных устройств. Для этого в САПР БИС «Ковчег 3.04» в подсистеме логического моделирования изменим масштаб отображения временных диаграмм в начале 13-го такта (выходной сигнал изменяет своё значение с состоянием «2» на состояние «4»). Будем производить увеличение масштаба кнопкой «+» до тех пор, пока не станут видны переходные процессы при изменении указанных состояний (рис. 8.12).

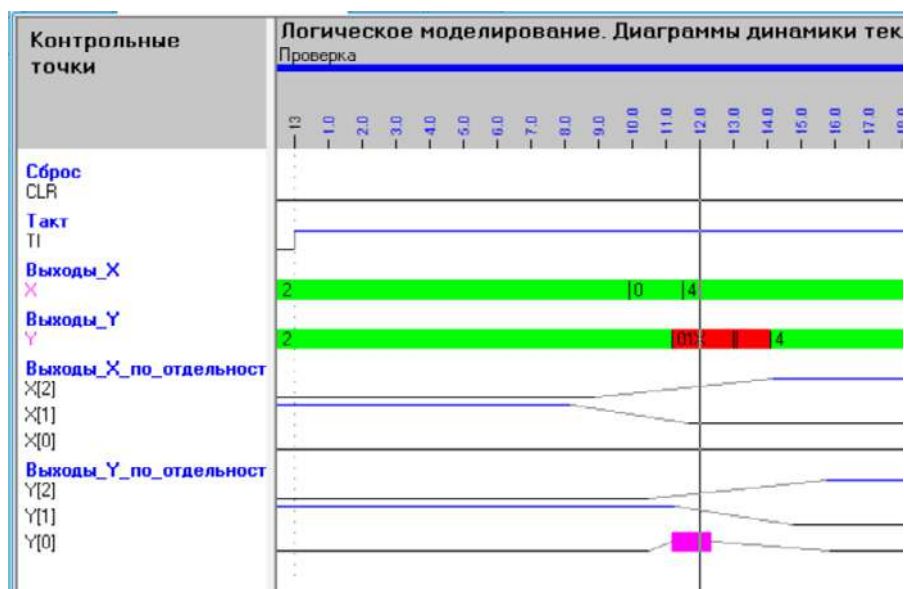


Рис. 8.12. Анализ динамических характеристик

Видно, что переходные процессы в цепях  $Q1$  и  $Q0$  полностью заканчиваются через 15 нс после прихода тактового импульса.

Для второй структуры аналогичные временные диаграммы приведены на рис. 8.11.

Переходные процессы в обоих вариантах пересчетных устройств длятся примерно одинаковое время, но для варианта пересчётного устройства, построенного по структуре счётчик — комбинационная схема, на выходе  $Y[1]$  возникает гонка (отображена розовым цветом), вследствие чего шина  $Y$  кратковременно (на 3 наносекунды) находится в неопределённом состоянии.

### 8.3. Перечень индивидуальных заданий

В соответствии с индивидуальным вариантом синтезировать пересчётное устройство с повторяющимися состояниями двумя способами: с использованием триггера метки и по структуре «счётчик — комбинационная схема». Обеспечить самовосстанавливаемость структур. Подтвердить корректность синтеза модели-

рованием схем в среде САПР БИС «Ковчег 3.04». Сравнить полученные результаты по аппаратным затратам и задержкам формирования достоверных данных от момента прихода тактового импульса. Сделать выводы об оптимальности каждого из решений по выбранным критериям оптимальности.

**Вариант № 1**

Используя *JK*-триггеры, синтезировать синхронное пересчётное устройство, принимающее в цикле состояния 0, 1, 1, 5, 3, 2, 4, 7.

**Вариант № 2**

Используя *D*-триггеры, синтезировать синхронное пересчётное устройство, принимающее в цикле состояния 2, 0, 7, 4, 5, 1, 2, 3.

**Вариант № 3**

Используя *JK*-триггеры, синтезировать синхронное пересчётное устройство, принимающее в цикле состояния 0, 3, 7, 4, 1, 1, 3, 6.

**Вариант № 4**

Используя *D*-триггеры, синтезировать синхронное пересчётное устройство, принимающее в цикле состояния 1, 4, 4, 0, 2, 3, 1, 3.

**Вариант № 5**

Используя *JK*-триггеры, синтезировать синхронное пересчётное устройство, принимающее в цикле состояния 1, 5, 3, 2, 7, 5, 6, 4.

**Вариант № 6**

Используя *JK*-триггеры, синтезировать синхронное пересчётное устройство, принимающее в цикле состояния 0, 5, 7, 1, 4, 3, 2, 1.

8

**Вариант № 7**

Используя *D*-триггеры, синтезировать синхронное пересчётное устройство, принимающее в цикле состояния 0, 6, 3, 6, 5, 1, 7, 4.

**Вариант № 8**

Используя *JK*-триггеры, синтезировать синхронное пересчётное устройство, принимающее в цикле состояния 0, 0, 3, 4, 1, 3, 6, 5.

**Вариант № 9**

Используя *JK*-триггеры, синтезировать синхронное пересчётное устройство, принимающее в цикле состояния 1, 3, 5, 5, 7, 3, 4, 2.

**Вариант № 10**

Используя *D*-триггеры, синтезировать синхронное пересчётное устройство, принимающее в цикле состояния 1, 2, 3, 6, 3, 2, 0, 5.

**Вариант № 11**

Используя  $D$ -триггеры, синтезировать синхронное пересчётное устройство, принимающее в цикле состояния 0, 7, 2, 2, 6, 5, 6, 3.

**Вариант № 12**

Используя  $JK$ -триггеры, синтезировать синхронное пересчётное устройство, принимающее в цикле состояния 0, 1, 0, 1, 7, 5, 6, 3.

**Вариант № 14**

Используя  $D$ -триггеры, синтезировать синхронное пересчётное устройство, принимающее в цикле состояния 0, 2, 4, 6, 0, 5, 3, 7.

**Вариант № 13**

Используя  $JK$ -триггеры, синтезировать синхронное пересчётное устройство, принимающее в цикле состояния 1, 2, 0, 3, 5, 2, 3, 5.

**Вариант № 14**

Используя  $JK$ -триггеры, синтезировать синхронное пересчётное устройство, принимающее в цикле состояния 1, 4, 6, 2, 4, 1, 5, 3.

**Вариант № 15**

Используя  $D$ -триггеры, синтезировать синхронное пересчётное устройство, принимающее в цикле состояния 0, 4, 3, 3, 1, 5, 7, 6.

**Вариант № 16**

Используя  $JK$ -триггеры, синтезировать синхронное пересчётное устройство, принимающее в цикле состояния 0, 5, 7, 1, 1, 2, 4, 6.

**Вариант № 17**

Используя  $D$ -триггеры, синтезировать синхронное пересчётное устройство, принимающее в цикле состояния 0, 7, 1, 1, 6, 4, 5, 2.

**Вариант № 18**

Используя  $JK$ -триггеры, синтезировать синхронное пересчётное устройство, принимающее в цикле состояния 1, 7, 3, 2, 7, 6, 4, 0.

**Вариант № 19**

Используя  $JK$ -триггеры, синтезировать синхронное пересчётное устройство, принимающее в цикле состояния 1, 1, 2, 4, 5, 7, 3, 2.

**Вариант № 20**

Используя  $JK$ -триггеры, синтезировать синхронное пересчётное устройство, принимающее в цикле состояния 0, 6, 6, 3, 1, 4, 1, 2.

**Вариант № 9**

Используя  $JK$ -триггеры, синтезировать синхронное пересчётное устройство, принимающее в цикле состояния 0, 7, 3, 2, 7, 2, 1, 4.

**Вариант № 21**

Используя *D*-триггеры, синтезировать синхронное пересчётное устройство, принимающее в цикле состояния 0, 1, 3, 1, 7, 4, 2, 2.

**Вариант № 22**

Используя *JK*-триггеры, синтезировать синхронное пересчётное устройство, принимающее в цикле состояния 1, 0, 2, 2, 4, 1, 3, 5.

**Вариант № 23**

Используя *D*-триггеры, синтезировать синхронное пересчётное устройство, принимающее в цикле состояния 1, 3, 2, 3, 7, 6, 0, 5.

**Вариант № 24**

Используя *D*-триггеры, синтезировать синхронное пересчётное устройство, принимающее в цикле состояния 0, 3, 4, 4, 3, 5, 2, 7.

**Вариант № 25**

Используя *JK*-триггеры, синтезировать синхронное пересчётное устройство, принимающее в цикле состояния 0, 4, 5, 6, 6, 7, 2, 1.

**Вариант № 26**

Используя *D*-триггеры, синтезировать синхронное пересчётное устройство, принимающее в цикле состояния 1, 1, 0, 6, 3, 5, 7, 2.

**Вариант № 27**

Используя *D*-триггеры, синтезировать синхронное пересчётное устройство, принимающее в цикле состояния 1, 6, 3, 6, 1, 4, 5, 5.

**Вариант № 28**

Используя *D*-триггеры, синтезировать синхронное пересчётное устройство, принимающее в цикле состояния 1, 0, 2, 6, 1, 7, 4, 3.

**Вариант № 29**

Используя *JK*-триггеры, синтезировать синхронное пересчётное устройство, принимающее в цикле состояния 1, 7, 6, 2, 7, 3, 0, 2.

**Вариант № 30**

Используя *D*-триггеры, синтезировать синхронное пересчётное устройство, принимающее в цикле состояния 1, 6, 3, 6, 0, 2, 4, 7.

**Вариант № 31**

Используя *JK*-триггеры, синтезировать синхронное пересчётное устройство, принимающее в цикле состояния 1, 5, 1, 6, 3, 2, 7, 4.

**Вариант № 32**

Используя *D*-триггеры, синтезировать синхронное пересчётное устройство, принимающее в цикле состояния 1, 4, 4, 1, 0, 2, 6, 7.

**Вариант № 33**

Используя *D*-триггеры, синтезировать синхронное пересчётное устройство, принимающее в цикле состояния 1, 3, 4, 1, 6, 7, 5, 0.

**Вариант № 34**

Используя *D*-триггеры, синтезировать синхронное пересчётное устройство, принимающее в цикле состояния 2, 3, 7, 2, 4, 0, 0, 1.

**Вариант № 35**

Используя *JK*-триггеры, синтезировать синхронное пересчётное устройство, принимающее в цикле состояния 2, 1, 7, 2, 4, 3, 5, 6.

**Вариант № 36**

Используя *JK*-триггеры, синтезировать синхронное пересчётное устройство, принимающее в цикле состояния 2, 4, 6, 5, 4, 2, 6, 7.

**Вариант № 37**

Используя *D*-триггеры, синтезировать синхронное пересчётное устройство, принимающее в цикле состояния 0, 2, 5, 5, 3, 7, 2, 1.

**Вариант № 38**

Используя *JK*-триггеры, синтезировать синхронное пересчётное устройство, принимающее в цикле состояния 2, 7, 3, 1, 4, 5, 0, 5.

**Вариант № 39**

Используя *D*-триггеры, синтезировать синхронное пересчётное устройство, принимающее в цикле состояния 2, 6, 5, 5, 0, 1, 2, 3.

**Вариант № 40**

Используя *JK*-триггеры, синтезировать синхронное пересчётное устройство, принимающее в цикле состояния 2, 5, 0, 7, 7, 2, 6, 0.

**Вариант № 41**

Используя *JK*-триггеры, синтезировать синхронное пересчётное устройство, принимающее в цикле состояния 2, 4, 2, 1, 6, 0, 0, 5.

**Вариант № 42**

Используя *D*-триггеры, синтезировать синхронное пересчётное устройство, принимающее в цикле состояния 2, 3, 7, 3, 2, 0, 1, 4.

**Вариант № 43**

Используя *JK*-триггеры, синтезировать синхронное пересчётное устройство, принимающее в цикле состояния 2, 2, 6, 0, 3, 7, 3, 5.

## ***Список рекомендуемой литература для подготовки к выполнению лабораторных работ***

1. Полузаказные БИС на БМК серий 5503 и 5507. В 4 кн.: Кн. 1 «Методология проектирования и освоение производства». — М.: ТЕХНОСФЕРА, 2019. — 200 с.
2. Полузаказные БИС на БМК серий 5503 и 5507. В 4 кн.: Кн. 2 «Система автоматизированного проектирования «Ковчег 3.04». — М.: ТЕХНОСФЕРА, 2019. — 304 с.
3. Полузаказные БИС на БМК серий 5503 и 5507. В 4 кн.: Кн. 3 «Библиотека функциональных ячеек для проектирования полузаказных микросхем серии 5503 и 5507». — М.: ТЕХНОСФЕРА, 2019. — 304 с.
4. Глушков В.М. Синтез цифровых автоматов. — М.: Физматгиз, 1962. — 476 с.
5. Миллер Р. Теория переключательных схем, Т. 1. «Комбинационные схемы» / Пер. с англ. — М.: Наука, Главная редакция физико-математической литературы, 1970. — 416 с.
6. Лысиков Б.Г. Арифметические и логические основы цифровых автоматов: Учебник для вузов по спец. "электронно-вычислительные машины". — 2-е изд., перераб. и доп. — М.: Высш. школа, 1980. — 336 с.
7. Воробьев Н.В. Введение в булеву алгебру // ChipNews, 1997, № 5–6, С. 39–43.
8. Колдуэлл С. Логический синтез релейных устройств: пер. с англ. — М.: Изд-во иностранной литературы, 1962. — 740 с.
9. Фридман А., Менон П. Теория и проектирование переключательных схем. Пер. с англ. — М.: Мир, 1978. — 584 с.
10. Алексенко А.Г., Шагурин И.И. Микросхемотехника: Учеб. пособие для вузов. — 2-е изд., перераб. и доп. — М.: Радио и связь, 1990. — 496 с.
11. Veitch E.W. A chart method for simplifying truth function, Proc. of Association for Computing Machinery, Pittsburgh, Pennsylvania, Meeting May 2 and 3 1952, pp. 127–133.
12. Rarnaugh M. The map method for synthesis of combinational logic circuits, AIEE Trans., part 1, Communication and Electronics, 72 (1953), November, pp. 593–599.
13. Гольденберг Л.М. Цифровые устройства на интегральных схемах в технике связи / Гольденберг Л.М., Бутыльский Ю.Т., Поляк М.Н. — М.: Связь, 1979. — 232 с.
14. Расчёт элементов цифровых устройств: Учеб. пособие / Л.Н. Преснухин, Н.В. Воробьев, А.А. Шишкевич / Под ред. Л.Н. Преснухина. — 2-е изд., перераб. и доп. — М.: Высшая школа, 1991. — 526 с.
15. Воробьев Н.В. Минимизация функций алгебры логики // Chip News. — 1997. — № 9–10. — С. 54–60.
16. Воробьев Н.В. Формы представления и классификация функций алгебры логики // Chip News. — 1997. — № 7–8. — С. 43–410.
17. Дэвид М. Хэррис, Сара Л. Хэррис. Цифровая схемотехника и архитектура компьютера. — Издательство Morgan Kaufman, 2013 г.
18. Хоровиц П., Хилл У. Искусство схемотехники: пер. с англ. — Изд. 6-е. — М.: Мир, 2001. — 704 с.

19. Уитсон Дж. 500 практических схем на ИС: пер. с англ. — М.: Мир, 1992. — 376 с.
20. Янсен Й. Курс цифровой электроники: в 4 т. / Пер. с голланд. — М.: Мир, 1987.
21. Угрюмов Е.П. Проектирование элементов и узлов ЭВМ. — М.: Высшая школа, 1987. — 318 с.
22. Титце У. Полупроводниковая схемотехника: Справочное руководство / У. Титце, К. Шенк; пер. с нем. — М.: Мир, 1983. — 512 с.
23. Уэйкерли Дж.Ф. Проектирование цифровых устройств, том 1. — Москва: Постмаркет, 2002. — 544 с.
24. Уэйкерли Дж.Ф. Проектирование цифровых устройств, том 2. — Москва: Постмаркет, 2002. — 528 с.
25. Потехин В.А. Схемотехника цифровых устройств: Учебное пособие для вузов. — Томск: В-Спектр, 2012. — 250 с
26. Пухальский Г.И., Новосельцева Т.Я. Проектирование цифровых устройств: Учеб. пособие. — СПб.: Лань, 2012. — 896 с. + CD. — (Учебники для вузов. Специальная литература). — ISBN 978-5-8114-1265-5 : 2501-60.



Производство книг на заказ  
Издательство «ТЕХНОСФЕРА»  
125319, Москва, а/я 91  
тел.: (495) 234-01-10  
e-mail: [knigi@technosphere.ru](mailto:knigi@technosphere.ru)

Реклама в книгах:

- модульная
- статьи

Подробная информация о книгах на сайте  
<http://www.technosphere.ru>

А.Н. Якунин, А.Л. Переверзев, А.Н. Денисов, В.А. Иванов,  
Д.В. Калеев, А.О. Куцев

## Лабораторные практикумы. Книга 1

# Цифровая схемотехника

Компьютерная верстка – ИП Автушенко Р.В.  
Дизайн книжных серий – С.Ю. Биричев  
Дизайн – Н.И. Семячкина  
Ответственный за выпуск – С.А. Орлов

---

Подписано в печать 20.12.2019  
Формат 70×100/16  
Гарнитура «Ньютон»  
Печ. л. 21,5. Тираж 300 экз. Зак. №  
Бумага офсет № 1, плотность 80 г/м<sup>2</sup>

---

Издательство «ТЕХНОСФЕРА»  
Москва, ул. Краснопролетарская, д. 16, стр. 2

---

НПК «Технологический центр»  
124498, Москва, Зеленоград, площадь Шокина, дом 1, строение 7  
Тел. +7 499 720-89-92, +7 499 720-87-93  
Факс +7 495 913-21-92  
[www.tcen.ru](http://www.tcen.ru), [www.asic.ru](http://www.asic.ru), спецбмк.пф  
e-mail: [kovcheg@tcen.ru](mailto:kovcheg@tcen.ru)

---

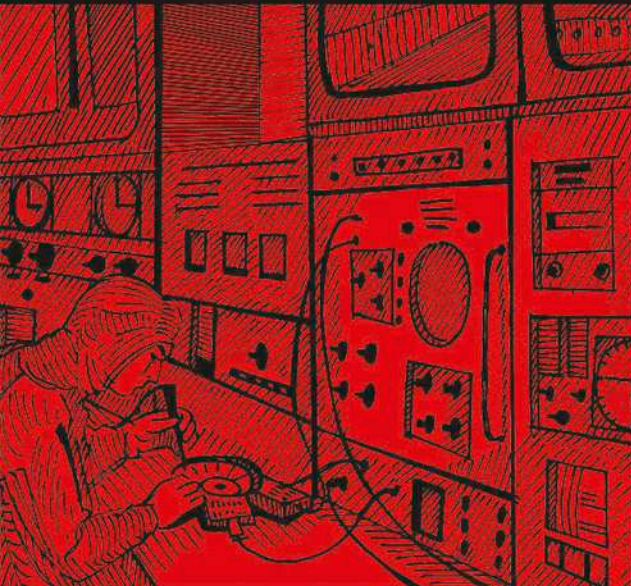
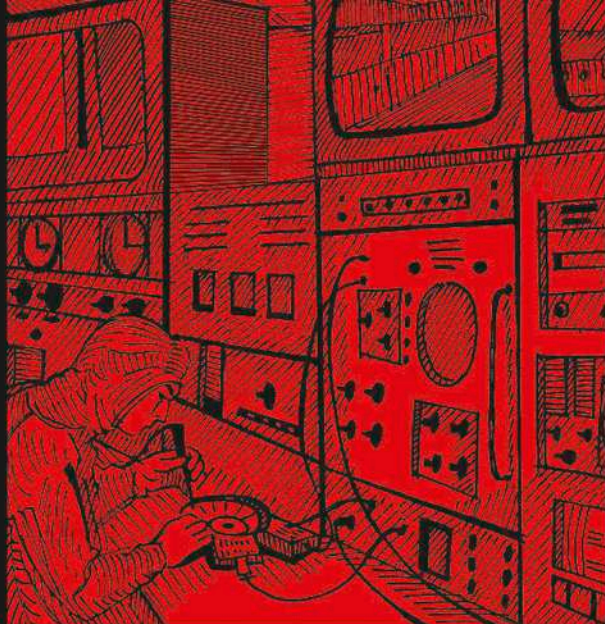
Отпечатано в типографии ООО «Паблит»  
Адрес: 127282, г. Москва, ул. Полярная, д. 31В, стр. 1  
Тел. +7 495 230-20-52  
E-mail: [info@publit.ru](mailto:info@publit.ru)

# мир электроники

А.Н. ЯКУНИН, А.Л. ПЕРЕВЕРЗЕВ,  
А.Н. ДЕНИСОВ, В.А. ИВАНОВ,  
Д.В. КАЛЕЕВ, А.О. КУЦЕВ

ЛАБОРАТОРНЫЕ ПРАКТИКУМЫ.  
КНИГА 1

ЦИФРОВАЯ СХЕМОТЕХНИКА



**ЯКУНИН АЛЕКСЕЙ НИКОЛАЕВИЧ** –  
ПРОФЕССОР ИНСТИТУТА МПСУ

**ПЕРЕВЕРЗЕВ АЛЕКСЕЙ ЛЕОНИДОВИЧ** –  
ПРОРЕКТОР ПО ИННОВАЦИОННОЙ  
ДЕЯТЕЛЬНОСТИ МИЭТ

**ДЕНИСОВ АНДРЕЙ НИКОЛАЕВИЧ** –  
ГЛАВНЫЙ КОНСТРУКТОР ИНТЕГРАЛЬНЫХ  
МИКРОСХЕМ НПК «ТЕХНОЛОГИЧЕСКИЙ  
ЦЕНТР»

**ИВАНОВ ВИТАЛИЙ АЛЕКСАНДРОВИЧ** –  
ДОЦЕНТ ИНСТИТУТА МПСУ

**КАЛЕЕВ ДМИТРИЙ ВЯЧЕСЛАВОВИЧ** –  
ДОЦЕНТ ИНСТИТУТА МПСУ

**КУЦЕВ АЛЕКСАНДР ОЛЕГОВИЧ** –  
ИНЖЕНЕР–ПРОГРАММИСТ НИИ ВС и СУ МИЭТ

ПОЗВОЛЯЕТ ИЗУЧИТЬ МЕТОДОЛОГИЮ  
ПРОЕКТИРОВАНИЯ МИКРОСХЕМ НА  
ОСНОВЕ БАЗОВЫХ МАТРИЧНЫХ  
КРИСТАЛЛАХ СЕРИЙ 5503 И 5507,  
СОДЕРЖИТ НЕОБХОДИМЫЕ СВЕДЕНИЯ  
ДЛЯ ОРГАНИЗАЦИИ ПРОЦЕССА  
РАЗРАБОТКИ, ПОМОГАЕТ ПОЛУЧИТЬ  
ПРАКТИЧЕСКИЕ НАВЫКИ В РАЗРАБОТКЕ  
ПОЛУЗАКАЗНЫХ БИС



ТЕХНОСФЕРА

ISBN 978-5-94836-581-7

