

Техническое описание микросхемы 5507БЦ7У-656

1 Назначение микросхемы

1.1 БИС интерфейса датчика ионизирующего излучения предназначена для работы в составе блока регистрации ионизирующего гамма излучения.

1.2 БИС должна выполнять следующие основные функции:

- формировать рабочую сетку частот из опорного сигнала 16МГц;
- осуществлять запись в регистр коррекции времени текущего значения счетчика микросекунд по переднему фронту секундного импульса;
- осуществлять временную привязку события ко времени;
- осуществлять сбор шумовой статистики;
- формировать выходной сигнал события по заданной схеме совпадения;
- формировать сигналы функционального контроля (ФК).

В БИС должны быть предусмотрены регистры конфигурации и управления, доступные по чтению и записи для внешних устройств.

1.3 Наименование и обозначение выводов приведено в таблице 1 карты заказа.

1.4 Структурная схема микросхемы представлена на рис. 1.

2 Состав микросхемы

2.1 В состав микросхемы входят следующие составные части:

- модуль синхронизации;
- модуль голосования и формирования события;
- модуль сбора статистики;
- модуль формирования факта;
- модуль управления чтением/записью;
- модуль формирования сигналов ФК;
- линии коммутации между всеми функциональными узлами БИС.

Каждый модуль имеет конфигурационные регистры, доступные по записи (чтению) побайтно. Карта адресов и названия регистров внутри БИС приведена в таблице 10.

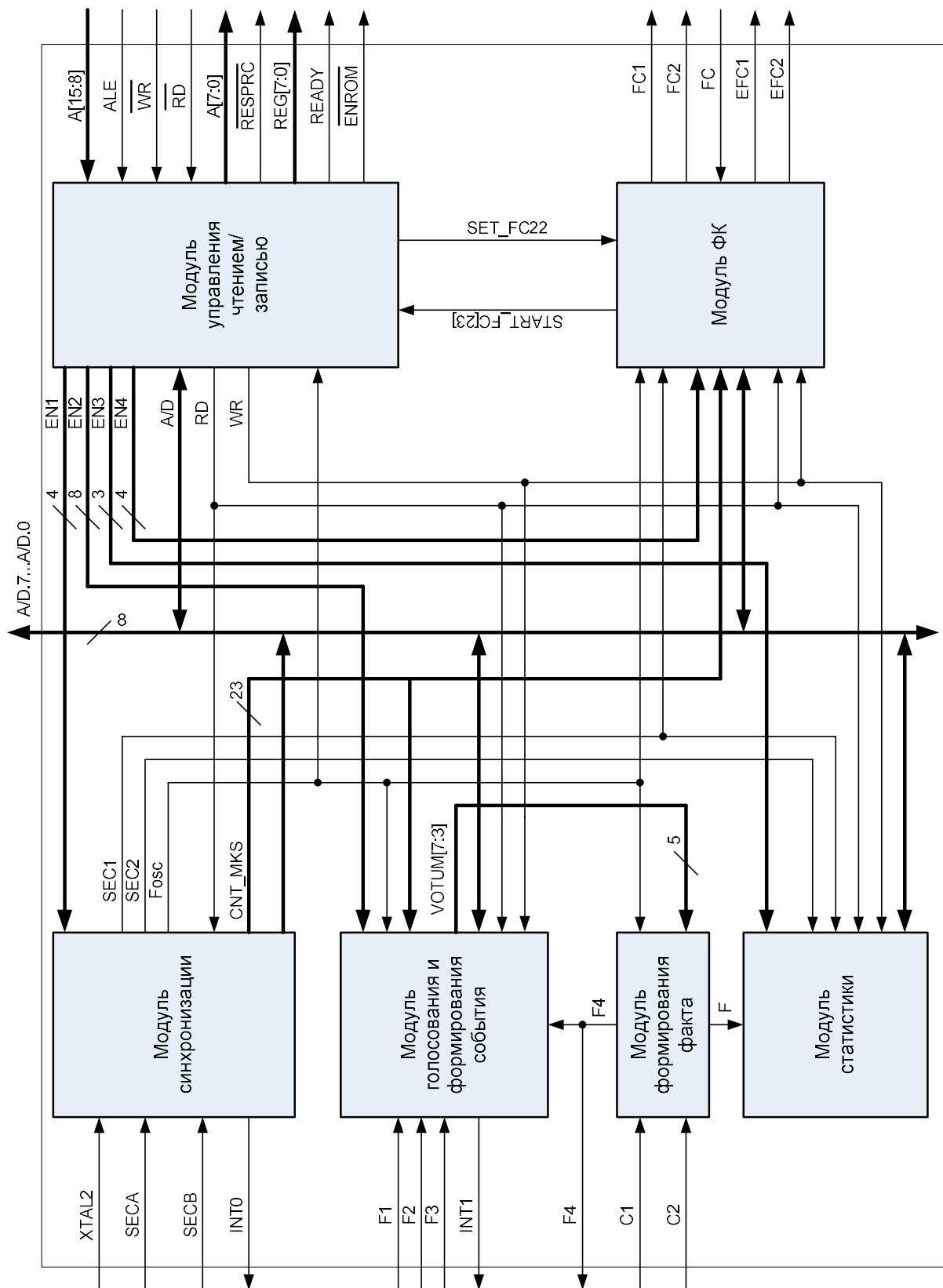


Рисунок 1. Структурная схема БИС

3 Функциональное описание модулей, входящих в состав БИС

3.1. Модуль синхронизации

3.1.1. Назначение модуля синхронизации

Модуль предназначен для формирования частоты 4МГц из внешнего сигнала опорной частоты XTAL2 16МГц. Кроме того внутри модуля имеется 22-х разрядный счетчик времени, на вход которого подается синтезированный сигнал 4МГц. Кроме того внутри модуля имеется 24-х разрядный регистр коррекции временных интервалов, доступный по чтению для внешних устройств побайтно, 2 старших разряда у него жестко соединены с шиной 0.

3.1.2. Принцип работы модуля синхронизации (рис. 2)

На вход модуля извне поступают 3 сигнала: сигнал опорной частоты от кварцевого генератора XTAL2 и цифровые сигналы секундной метки SECA и SECB. Частота XTAL2 равна 16 МГц. Выходные сигналы: секундные стробы SEC1 и SEC2, меандр 16 МГц Fosc, выход счетчика CNT_MKS, сигнал прерывания микроконтроллера INT0, который повторяет сигнал SEC с привязкой к тактовой частоте 16 МГц. Внутренний сигнал модуля синхронизации SEC = SECA OR SECB.

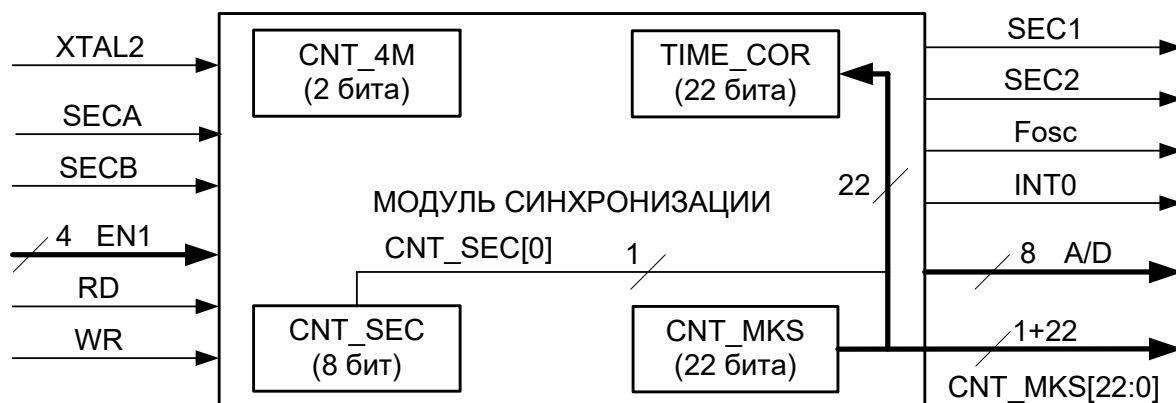


Рисунок 2 – Структурная схема модуля синхронизации

Сигнал опорной частоты XTAL2 необходимо преобразовать в меандр 16 МГц Fosc, т.е. по входу XTAL2 БИС необходимо внутри БМК использовать триггер Шмита. Период сигнала SEC равен 1 секунде, длительность 0,5...5,0 мкс. Для синтеза частоты F4MHZ, равной 4 МГц, внутри модуля имеется двухразрядный счетчик CNT_4M, причем значение этого счетчика должно асинхронно обнуляться по положительному уровню сигнала SEC1, который вырабатывается внутри модуля. Счетчик CNT_MKS имеет разрядность 22 бит. Он считает временные интервалы, равные 0,25 мкс. Значение счетчика CNT_MKS[21:0] должно быть доступно по чтению внутри БИС. Сброс счетчика осуществляется по уровню сигнала SEC2. По переднему фронту сигнала SEC1 осуществляется запись в регистр TIME_COR[21:0] текущего значения счетчика CNT_MKS[21:0]. Разрядность регистра TIME_COR 24 бита, причем 2 старших разряда жестко соединены с шиной 0.

В случае отсутствия сигналов на входах SECA и SECB, счетчик CNT_MKS должен досчитать до максимального значения 3FFFFFF hex и остановиться. Его значение переписывается в регистр TIME_COR. При этом модуль синхронизации должен выдать на выход INT0 сигнал лог.1 длительностью 1 мкс.

Сигналы SEC1 и SEC2 должны вырабатываться внутренней схемой тактовой синхронизации из сигнала SEC. Они являются внутренними сигналами для БИС. Длительность их равна периоду опорной частоты, т.е. (1/16) мкс, задержка переднего фронта SEC2 относительно переднего фронта SEC1 составляет 2 такта опорной частоты, т.е. (2/16) мкс. Счетчик секунд CNT_SEC должен считать по переднему фронту импульса SEC2. Он доступен по чтению и записи. Младший разряд счетчика CNT_SEC[0] поступает на выход модуля CNT_MKS[22]. Адрес счетчика CNT_SEC приведен в таблице 10. Диаграммы работы модуля синхронизации показаны на рисунке 3. Регистр TIME_COR должен быть доступен по чтению для внешних устройств (старший, средний и младший байт) по соответствующему разрешающему стробу EN1.2...EN1.0 (EN1.2 для старшего байта, EN1.1 для среднего байта, EN1.0 для младшего байта). При высоком логическом уровне на входе RD, выход соответствующего 8-ми битного регистра подключается к двунаправленной шине A/D. Адрес регистра TIME_COR приведен в таблице 10.

Сигналы SECA, SECB необходимо подавать вход БИС со схемы доопределения до низкого уровня (подтяжка к нулю).

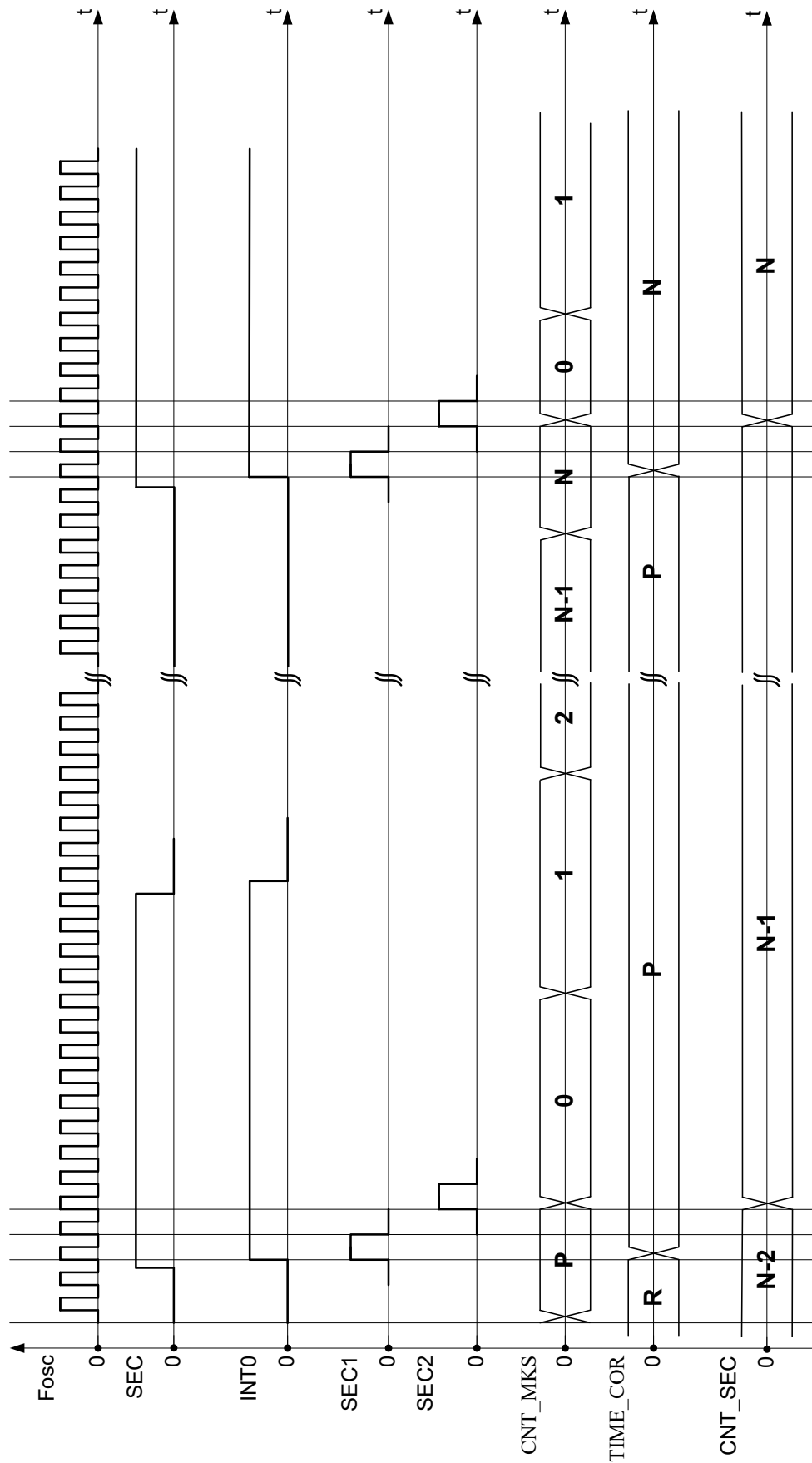


Рисунок 3 – Временная диаграмма работы модуля синхронизации

3.2 Модуль голосования и формирования сигнала события

3.2.1 Назначение модуля голосования и формирования сигнала события

Модуль голосования и формирования сигнала события предназначен для формирования сигнала события F4_int по соответствующей схеме совпадения входных сигналов F1...F4, и сигнал прерывания для микроконтроллера INT1.

3.2.2 Принцип работы модуля голосования (рис 4)

На вход модуля поступает 3 сигнала факта от соседних устройств F1...F3, собственный сигнал факта F4, опорный сигнал Fosc частотой 16 МГц и сигнал со счетчика временных интервалов CNT_MKS. На выход модуль выдает сигнал прерывания для микроконтроллера INT1 и внутренний сигнал с выходов регистра VOTUM[7:3], который входит в состав модуля и предназначен для конфигурирования схемы совпадения. Регистр VOTUM доступен для чтения и записи для внешних устройств. Он определяет тип схемы совпадения: A из 4, где A ∈ (1...4) и способ формирования сигнала события F4. В состав модуля входит 24-х разрядный регистр события EVENT, у которого старший разряд жестко соединен с шиной 0.

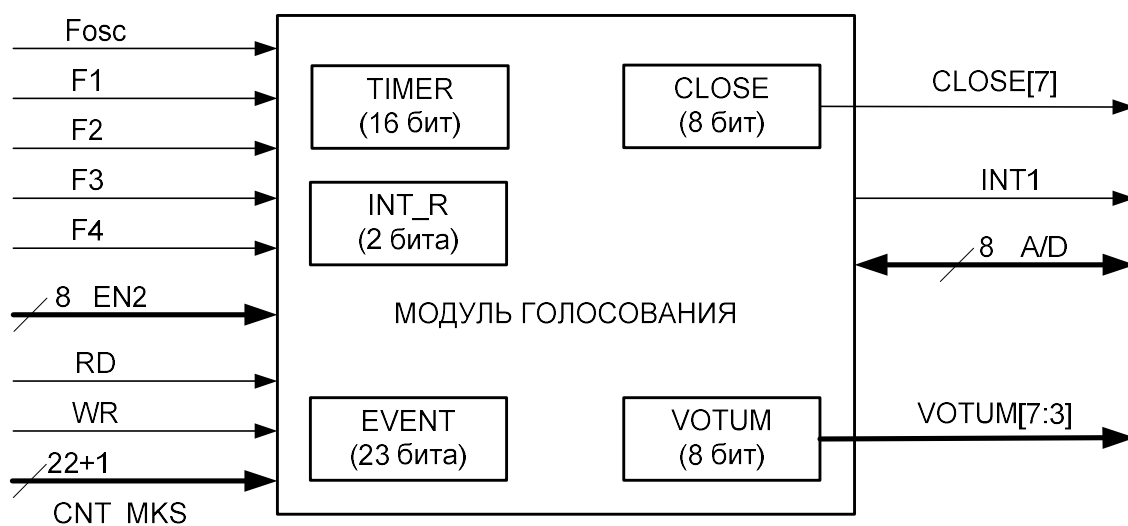


Рисунок 4 – Структурная схема модуля голосования

Режим схемы совпадения, определяемый значением регистра VOTUM, приведен в таблице 1. В качестве тактирующего сигнала для модуля голосования выступает сигнал Fosc, который предназначен для привязки сигналов событий F1...F4 к внутренней частотной сетке.

Таблица 1 - Режим схемы совпадения, определяемый значением регистра VOTUM

VOTUM[1:0]	Режим совпадения
00	1 из 4
01	2 из 4
10	3 из 4
11	4 из 4

Сигналы F1...F4 поступают на регистры, тактируемые частотой Fosc, кроме того, у этих регистров должен быть вход асинхронного сброса, на который поступает внутренний сигнал CLOSE_VOTING. Регистр VOTUM должен быть доступен по чтению и записи для внешних устройств по разрешающему стробу EN2.0. Регистр CLOSE должен быть доступен по чтению и записи для внешних устройств по разрешающему стробу EN2.4. Регистр EVENT должен быть доступен по чтению по соответствующему разрешающему стробу EN2.3...EN2.1 (EN2.3 для старшего байта, EN2.2 для среднего байта, EN2.1 для младшего байта).

При записи любого значения, отличного от 0000H в регистр-счетчик TIMER, запускается декрементирующий счет. При достижении значения 0000H, счетчик останавливается, и выдает сигнал OVF, который устанавливает бит INT_R[1] регистра признака прерывания INT_R (см. рис.7). Кроме того, сигнал OVF поступает на вход В схемы формирования. Счетчик TIMER считает с частотой 1 МГц. Доступен по записи на шине A/D.

При высоком логическом уровне на входе RD, выход соответствующего 8-ми битного регистра подключается к двунаправленной шине A/D. Адреса всех внутренних регистров модуля голосования приведены в таблице 10.

Принцип работы схемы совпадения состоит в следующем. Например, если задана схема совпадения 3 из 4. В этом случае имеется 3 входных сигнала F1...F3 и

сигнал собственного факта F4. Сигнал F4 формируется из сигнала F4_int в зависимости от бита VOTUM.2 по логической схеме, приведенной на рисунке 5 (при VOTUM.2 = лог.0 (по умолчанию)) либо рисунке 6 (при VOTUM.2 = лог.1).

Сигнал F4_int поступает на вход А схемы формирования. Схема формирования формирует на выходе О сигнал INT1 длительностью 1 мкс относительно переднего фронта сигнала на входе А или В (см. рис. 7). По переднему фронту сигнала F4_int в регистр EVENT записывается значение счетчика CNT_MKS[22:0] и устанавливается бит INT_R[0]. Кроме того, относительно переднего фронта сигнала F4_int формируется сигнал закрытия входов F1...F4 для схемы совпадения CLOSE_VOTING длительностью, определяемой значением регистра CLOSE[6:0] согласно таблице 2. Выход регистра CLOSE[7] транслируются на выход модуля.

Таблица 2 – Длительность сигнал закрытия входов F1...F4, определяемая значением регистра CLOSE[6:0]

CLOSE[6:0]	Длительность, мкс
00h	0
01h	50
02h	100
...	...
7Fh	6350

Таблица истинности для схемы совпадения приведена ниже (таблица 3). Функциональная схема работы модуля голосования приведена на рисунке 3.3. Временная диаграмма работы модуля голосования для значения VOTUM.2 = лог.0 приведена на рисунке 8.

Регистр признака прерывания INT_R доступен по чтению на шине A/D. После завершения операции чтения данных из него, разряды INT_R[1:0] обнуляются.

Старшие разряды INT_R[7:2] соединены с GND.

Сигналы F1, F2, F3 необходимо доопределять до низкого уровня.

Таблица 3 - Таблица истинности для схемы совпадения

F1	F2	F3	F4	1 из 4		2 из 4		3 из 4		4 из 4	
VOTUM.2				0	1	0	1	0	1	0	1
0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	1	1	1	0	0	0	0	0	0
0	0	1	0	0	1	0	0	0	0	0	0
0	0	1	1	1	1	1	1	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0	0
0	1	0	1	1	1	1	1	0	0	0	0
0	1	1	0	0	1	0	1	0	0	0	0
0	1	1	1	1	1	1	1	1	1	0	0
1	0	0	0	0	1	0	0	0	0	0	0
1	0	0	1	1	1	1	1	0	0	0	0
1	0	1	0	0	1	0	1	0	0	0	0
1	0	1	1	1	1	1	1	1	1	0	0
1	1	0	0	0	1	0	1	0	0	0	0
1	1	0	1	1	1	1	1	1	1	0	0
1	1	1	0	0	1	0	1	0	1	0	0
1	1	1	1	1	1	1	1	1	1	1	1

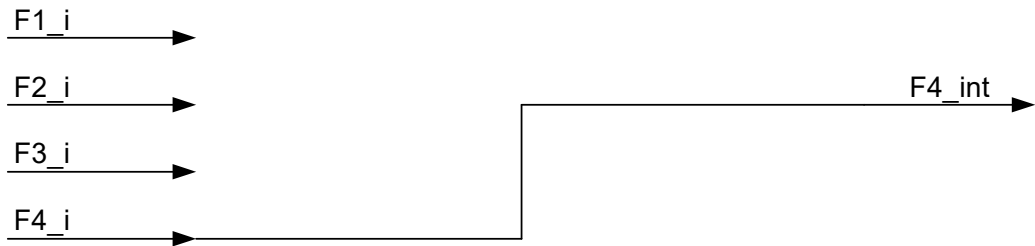


Схема совпадения 1 из 4

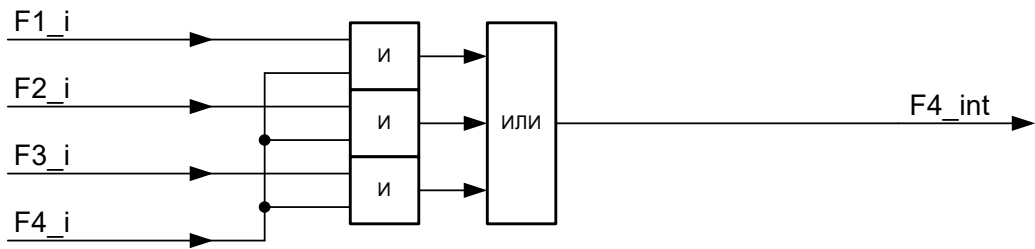


Схема совпадения 2 из 4

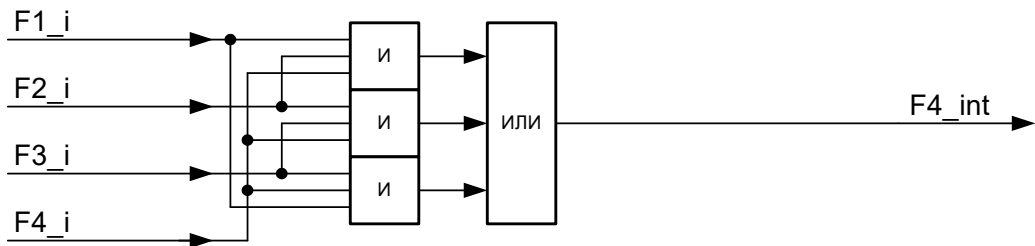


Схема совпадения 3 из 4

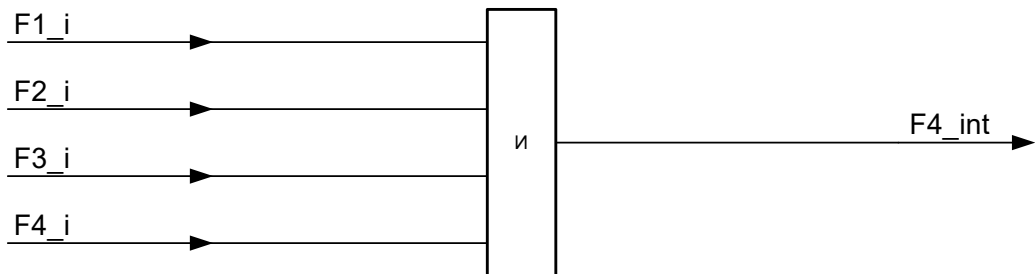


Схема совпадения 4 из 4

Рисунок 5 – Логическая схема формирования сигнала F4_int

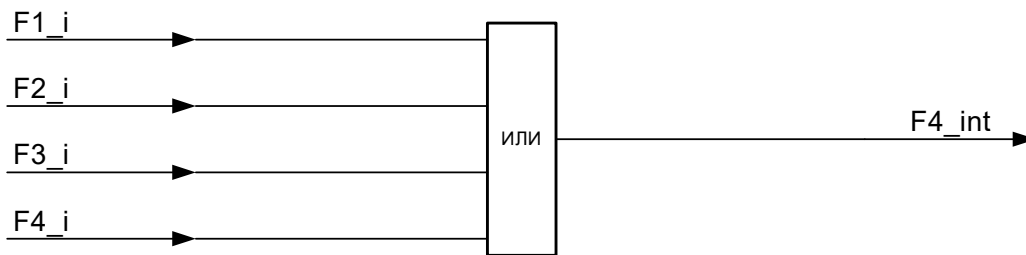


Схема совпадения 1 из 4

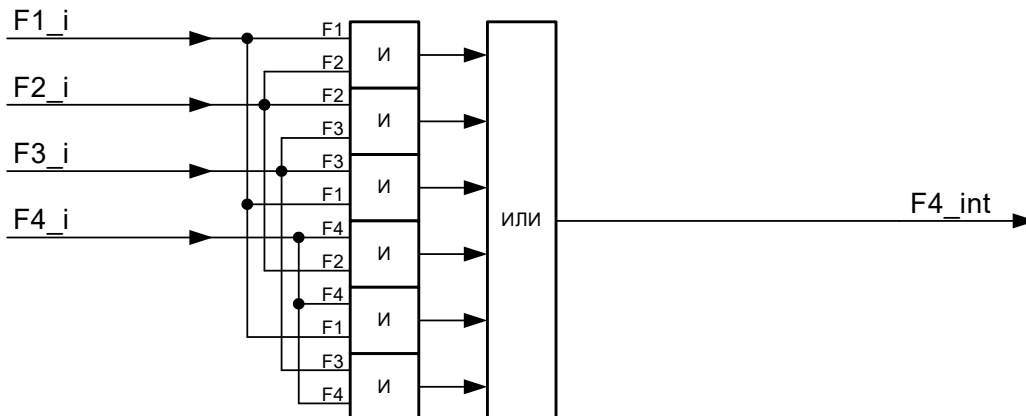


Схема совпадения 2 из 4

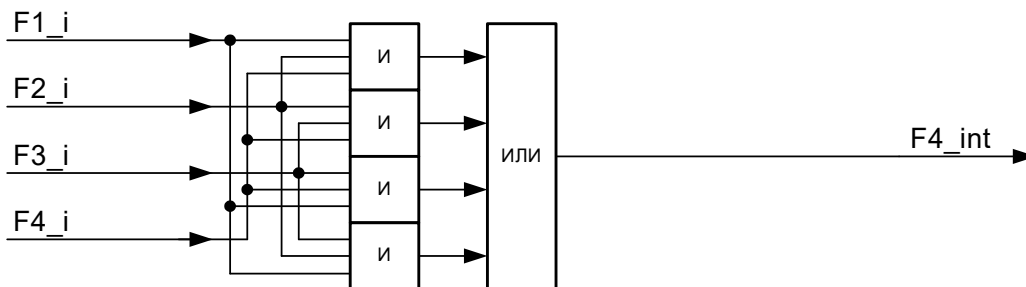


Схема совпадения 3 из 4

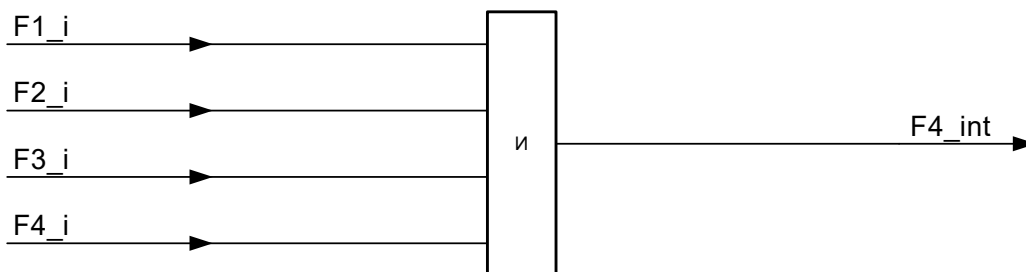


Схема совпадения 4 из 4

Рисунок 6 – Логическая схема формирования сигнала F4_int (VOTUM.2=1)

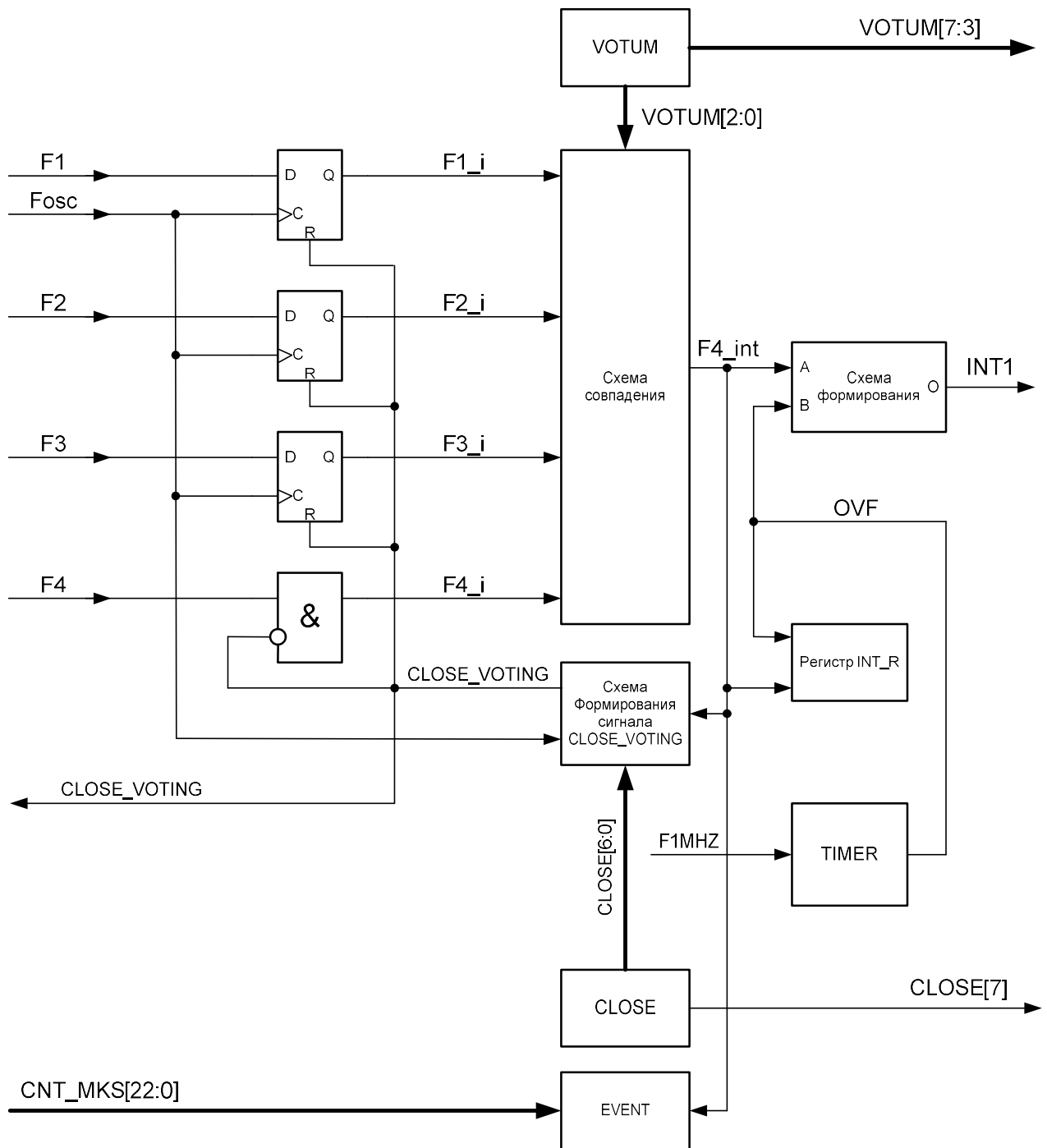


Рисунок 7 – Структурная схема работы модуля

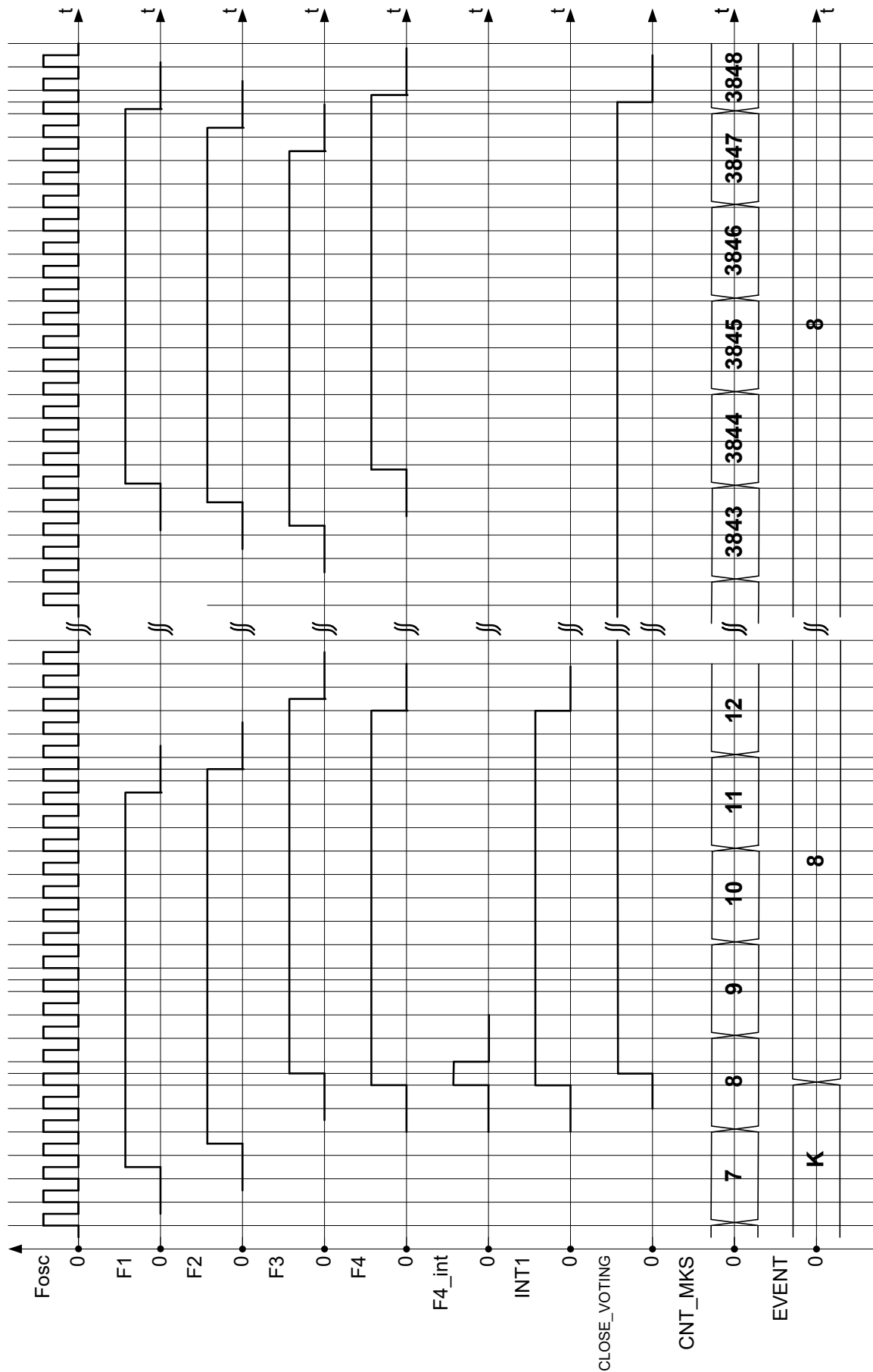


Рисунок 4. Временная диаграмма работы модуля голосования (режим 3 из 4), CLOSE = 1EH

3.3 Модуль формирования факта

3.3.1 Назначение модуля формирования факта

Модуль формирования факта предназначен для формирования сигнала факта F4 длительностью 0...7 мкс и сигнала F. Тип формирования F определяется разрядами VOTUM[4:3] регистра модуля голосования. Длительность сигнала F4 определяется VOTUM[7:5]. В качестве тактирующего сигнала используется сигнал Fosc.

3.3.2 Принцип работы модуля формирования факта (рис. 9)

На вход модуля поступают сигналы C1 и C2 от внешних компараторов. Далее в зависимости от значений VOTUM[4:3] модуля голосования формируется внутренний сигнал F (см. таблицу 4).

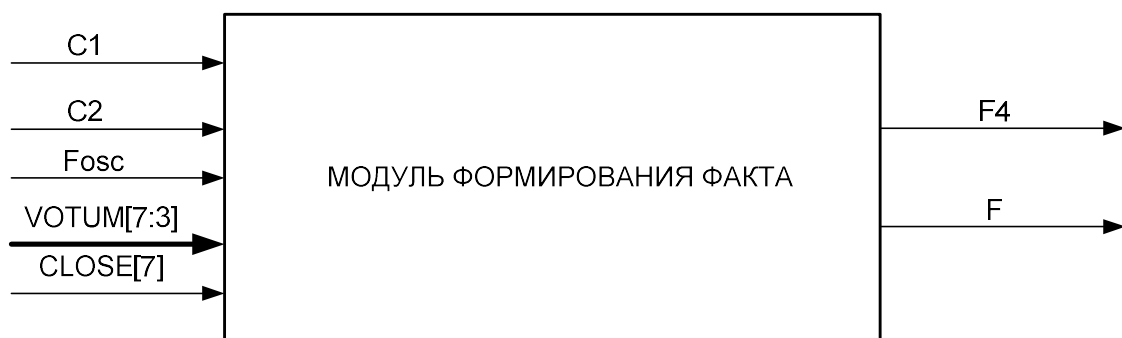


Рисунок 9 Структурная схема модуля формирования факта

Таблица 4 – Формирование внутреннего сигнала F

VOTUM[4:3]	F
00	$F \leq C1$
01	$F \leq C2$
10	$F \leq C1 \text{ OR } C2$
11	$F \leq C1 \text{ AND } C2$

Затем относительно переднего фронта сигнала F формируется сигнал F4, длительностью, заданной в регистре VOTUM[7:5] (см. таблицу 5). Сигнал F4

является выходным для БИС, а также поступает на модуль голосования внутри БИС. При сигнале $CLOSE[7] = \text{лог. 1}$, сигнал F4 формируется, иначе $F4 = 0$.

Таблица 5 – Длительность сигнала F4, задаваемая регистром VOTUM[7:5]

VOTUM[7:5]	Длительность сигнала F4
000	0,5 мкс
001	1,0 мкс
010	1,5 мкс
011	2,0 мкс
100	2,5 мкс
101	3,0 мкс
110	3,5 мкс
111	4,0 мкс

Сигналы C1, C2 необходимо подавать на вход БИС со схемы доопределения до низкого уровня (подтяжка к нулю).

Временная диаграмма формирования сигналов F4 и F приведена на рисунке 10.

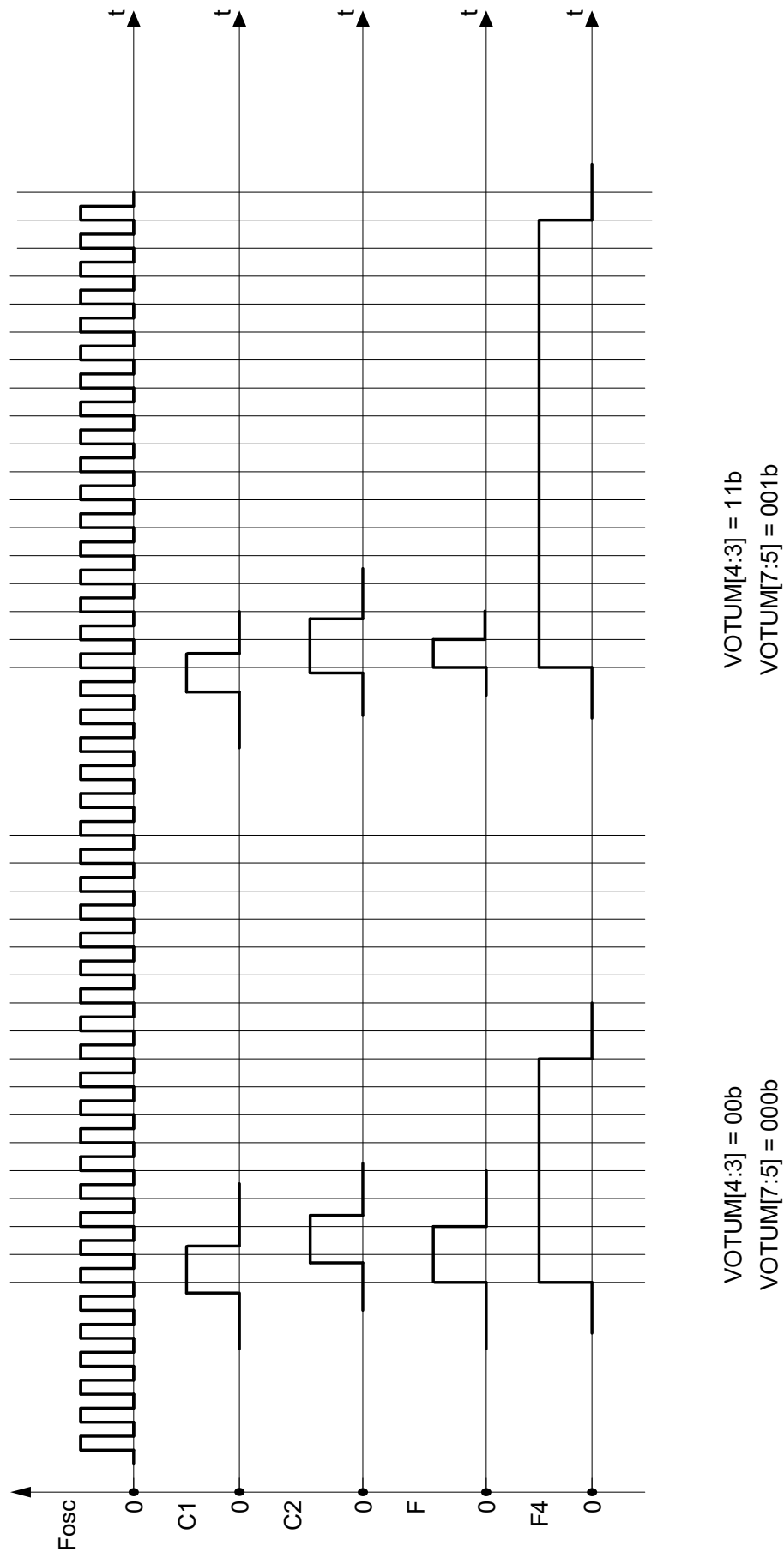


Рисунок 10 – Временная диаграмма формирования факта F4 и сигнала F

3.4 Модуль статистики

3.4.1 Назначение модуля статистики

Модуль статистики предназначен для подсчёта импульсов факта F4 в течение заданного временного интервала (накопление статистики). Время накопления статистики (количество секунд) определяется значением, которое записывается в регистр TIME_STAT разрядностью 8 бит (т.е. от 0 до 255 секунд). Размер регистра статистики STAT 16 бит. Адреса регистров TIME_STAT, и STAT (старшего, среднего и младшего байта) приведены в таблице 10.

3.4.2 Принцип работы модуля статистики (см. рис.11)

На вход модуля поступают следующие сигналы: F от модуля формирования факта, секундные стробы SEC1 и SEC2. На выход модуль выдаёт данные только по коммутируемой шине A/D.

Регистр TIME_STAT должен быть доступен по чтению и записи для внешних устройств по разрешающему стробу EN3.0. Регистр STAT должен быть доступен по чтению по соответствующему разрешающему стробу EN3.2...EN3.1 (EN3.2 для старшего байта, EN3.1 для младшего байта). При высоком логическом уровне на входе RD, выход соответствующего 8-ми битного регистра подключается к двунаправленной шине данных DATA. При высоком логическом уровне на входе WR, вход регистра TIME_STAT подключается к двунаправленной шине данных DATA и значение на шине данных переписывается в регистр TIME_STAT. Адреса внутренних регистров модуля TIME_STAT и STAT приведены в таблице 10.

В состав модуля должен входить также внутренний 8-ми разрядный счетчик секунд CNT_SEC, на вход которого поступают импульсы SEC1 и внутренний 16-разрядный счетчик событий CNT_STAT, который считает по переднему фронту сигнала F. В момент когда значение счетчика CNT_SEC совпадет с значением, записанным в регистр TIME_STAT, значение счетчика событий CNT_STAT защелкивается в регистре STAT по положительному уровню сигнала SEC1, а по положительному уровню сигнала SEC2 происходит обнуление счетчика событий CNT_STAT и счетчика секунд CNT_SEC.

В случае достижения максимального значения (FFFF hex) счетчик CNT_STAT должен остановиться.

Если значение регистра TIME_STAT равно 00H, то статистика не копится, т.е. запрещен счет счетчика CNT_STAT и все регистры модуля находятся в состоянии сброса.

Временная диаграмма работы модуля статистики приведена на рисунке 12.



Рисунок 11 – Структурная схема модуля статистики

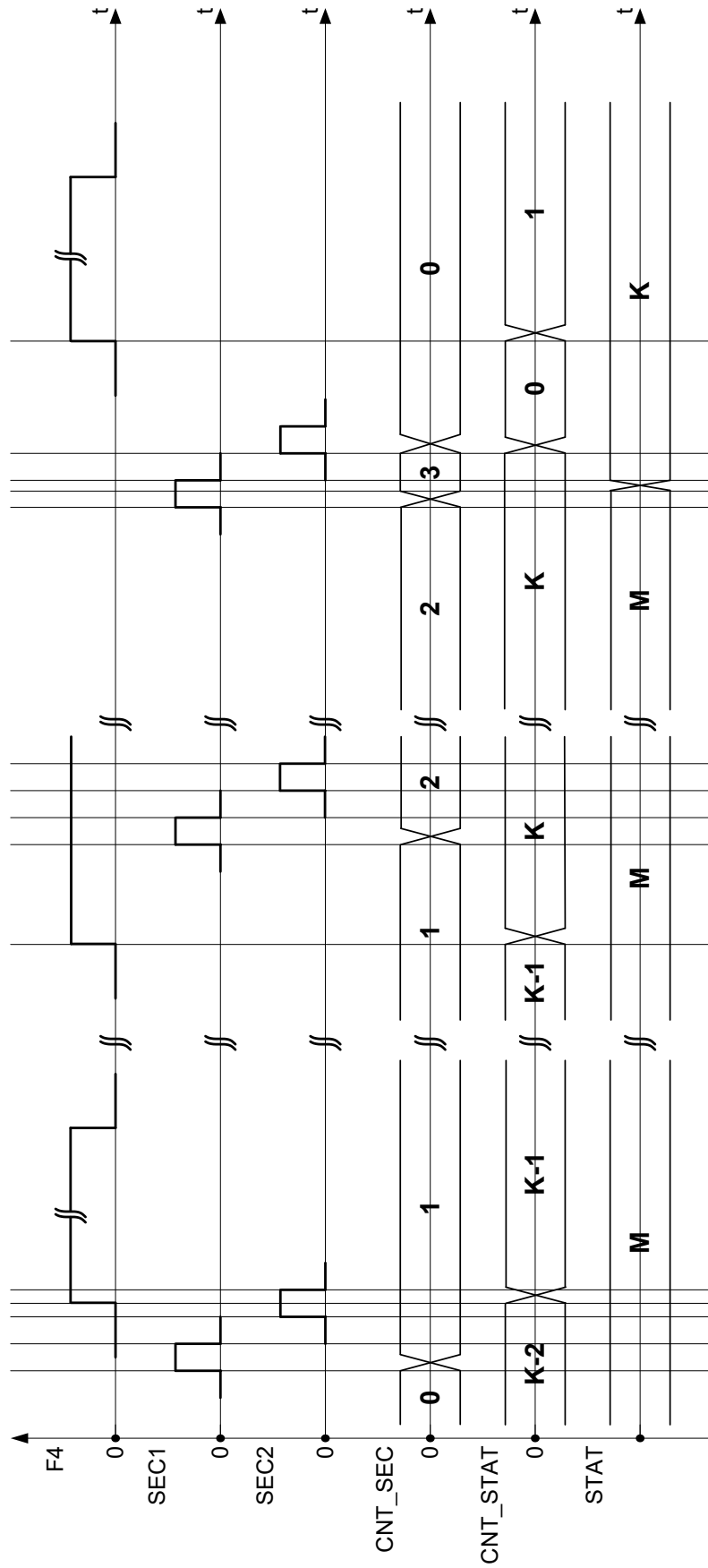


Рисунок А.12 – Временная диаграмма работы модуля статистики (TIME_STAT=0x03H)

3.5 Модуль управления чтением и записью

3.5.1 Назначение модуля управления чтением и записью

Модуль управления чтением и записью предназначен для формирования внутренних сигналов чтения/записи для внутренних модулей БИС. Кроме того, он должен дешифровать внешние адреса в управляющие стробы доступа к внутренним регистрам БИС, т.е. разделять адресное пространство между адресами внутренних модулей БИС и адресами внешних устройств адресного пространства микроконтроллера, осуществлять запись и чтение во внутренние регистры модулей БИС, осуществлять обмен данными с внешними устройствами, осуществлять защелку младшего байта адреса $A[7:0]$.

3.5.2 Принцип работы модуля управления чтением и записью (см. рис. 14)

На вход модуля извне поступают следующие сигналы: двунаправленная шина адреса/данных $A/D[7:0]$, старшая часть шины адреса $A[15:8]$, сигнал защелки адреса ALE , управляющие стробы записи и чтения \overline{WR} и \overline{RD} . Внутри модуля должен быть 8-ми разрядный регистр ADR защелки младшей части шины адреса $A[7:0]$, в который по положительному уровню сигнала ALE записывается значение на шине $A/D[7:0]$. Модуль должен декодировать внешние адреса (16-ти разрядные) в сигналы разрешения доступа к каждому внутреннему регистру модуля побайтно. Таблица формирования сигналов разрешения доступа $EN1 - EN5$ из внешних адресов для дешифратора адреса приведена ниже (см. табл. 6).

Кроме того, если защелкнутый адрес лежит в диапазоне $2000H...9FFFH$, формируется внутренний строб $EN5[3]$.

Таблица 6 - Формирование сигналов разрешения доступа EN1 – EN5 из внешних адресов для дешифратора адреса

Адрес	Регистр / Память	EN1[3:0]	EN2[7:0]	EN3[2:0]	EN4[3:0]	EN5[3:0]
FF00h	TIME_STAT[7:0]	0000	00000000	001	0000	0000
FF01h	VOTUM[7:0]	0000	00000001	000	0000	0000
FF02h	STAT[7:0]	0000	00000000	010	0000	0000
FF03h	STAT [15:8]	0000	00000000	100	0000	0000
FF04h	EVENT[7:0]	0000	00000010	000	0000	0000
FF05h	EVENT[15:8]	0000	00000100	000	0000	0000
FF06h	EVENT[23:16]	0000	00001000	000	0000	0000
FF07h	CNT_SEC[7:0]	1000	00000000	000	0000	0000
FF08h	TIME_COR[7:0]	0001	00000000	000	0000	0000
FF09h	TIME_COR [15:8]	0010	00000000	000	0000	0000
FF0Ah	TIME_COR [23:16]	0100	00000000	000	0000	0000
FF0Bh	UPR_FC[7:0]	0000	00000000	000	1000	0000
FF0Ch	START_FC[7:0]	0000	00000000	000	0001	0000
FF0Dh	START_FC[15:8]	0000	00000000	000	0010	0000
FF0Eh	START_FC[23:16]	0000	00000000	000	0100	0000
FF0Fh	CLOSE[7:0]	0000	00010000	000	0000	0000
FF10h	REG [7:0]	0000	00000000	000	0000	0001
FF11h	REG_CFG [7:0]	0000	00000000	000	0000	0010
FF12h	TIMER[7:0]	0000	00100000	000	0000	0000
FF13h	TIMER[15:8]	0000	01000000	000	0000	0000
FF14h	WDT [7:0]	0000	00000000	000	0000	0100
FF15h	INT_R [1:0]	0000	10000000	000	0000	0000
2000h...9 FFFh	Память программ	0000	00000000	000	0000	1000

Выходные сигналы WR и RD это проинвертированные входные \overline{WR} и \overline{RD} . Входная шина AD[7:0] должна транслироваться напрямую на внутреннюю шину данных DATA внутри БИС. Выходные сигналы младшей части адреса A[7:0] с выхода регистра защелки адреса поступают на соответствующие выводы БИС и на дешифратор адреса внутри модуля.

В состав модуля должен входить 8-ми разрядные регистр REG и REG_CFG с адресами, указанными в таблице 10.

Выводы регистра REG соединены с выводами БМК. Регистр REG может конфигурироваться как на запись, так и на чтение данных с выводов БМК. Регистр REG_CFG управляет конфигурацией каждого разряда регистра REG. Например: если REG_CFG[0] = 1, то REG[0] сконфигурирован как выход, а если REG_CFG[0] = 0, то REG[0] сконфигурирован на вход. Аналогично и для остальных разрядов. Любой разряд регистра REG может быть либо входом либо выходом.

Вывод \overline{RESPRC} двунаправленный. По умолчанию настроен как входной. В процессоре этот сигнал дотянут до лог.1

После запуска и инициализации БМК, выход \overline{RESPRC} модуля управления переводиться в состояние лог. 0 на время, равное 1 мс. Затем выход \overline{RESPRC} становится входным для БМК.

В состав модуля управления входит регистр-счетчик сторожевого таймера WDT. При записи любого значения, отличного от 00H в регистр-счетчик WDT, запускается декрементирующий счет. При достижении значения 00H, счетчик останавливается, и вывод \overline{RESPRC} становится выходным и устанавливается в лог 0. на время, равное 1 мс. Затем выход \overline{RESPRC} снова становится входным для БМК.

Счетчик WDT считает с частотой ~100 Гц. Доступен по чтению и записи на шине A/D.

Модуль управления должен выполнять функции мажоритарного чтения внешней памяти программ. Для выполнения этой функции в составе модуля должны быть предусмотрены 3 дополнительных 8-ми разрядных регистра: MREG1, MREG2, MREG3. В регистр MREG1 записываются данные из ROM при 1-ом

чтении, в регистр MREG2 при 2-ом, в MREG3 при третьем. Операция мажорирования (см. рис 13) осуществляется по формуле:

$$M[i] = (MREG1[i] \text{ AND } MREG2[i]) \text{ OR } (MREG1[i] \text{ AND } MREG3[i]) \text{ OR } (MREG2[i] \text{ AND } MREG3[i]).$$

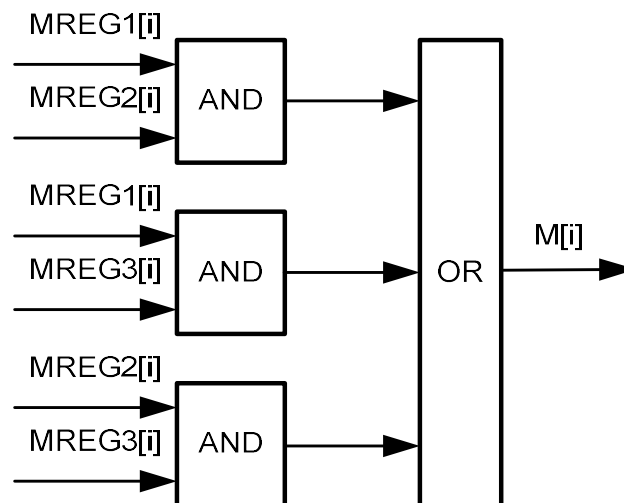


Рисунок 13 – Структурная схема реализации операции мажорирования

Диаграмма чтения внешней памяти в режиме мажорирования показана на рисунке 15.

Режим мажорирования задается старшим разрядом регистра START_FC[23]. Если START_FC[23] = лог.1 то режим включен, если лог. 0 то выключен.

При формировании БМК сигнала \overline{RESPRC} , бит START_FC[23] сбрасывается в лог.0, сигнал \overline{READY} переводится в состояние лог.1.

Так же, в случае если вывод \overline{RESPRC} был настроен как вход и на нем возник перепад из состояния лог.1 в состояние лог. 0, бит START_FC[23] сбрасывается в лог.0, сигнал \overline{READY} переводится в состояние лог.1.

При отключенном режиме мажорирования (START_FC[23] = лог.0):

Сигнал \overline{READY} **всегда** находится в состоянии лог.1, сигнал \overline{ENROM} вырабатывается 1 раз и не изменяется в течение всего цикла ALE. Регистры MREG1...MREG3 находятся в отключенном состоянии. Захваты шины A/D БМК не производит.

При включенном режиме мажорирования в момент положительного фронта сигнала \overline{READY} должно проверяться условие:

$$MREG1[i] = MREG2[i] = MREG3[i], i = 0...7.$$

В случае невыполнения этого условия, на выходе модуля формируется сигнал SET_FC22 положительной полярности длительностью 1 такт Fosc.

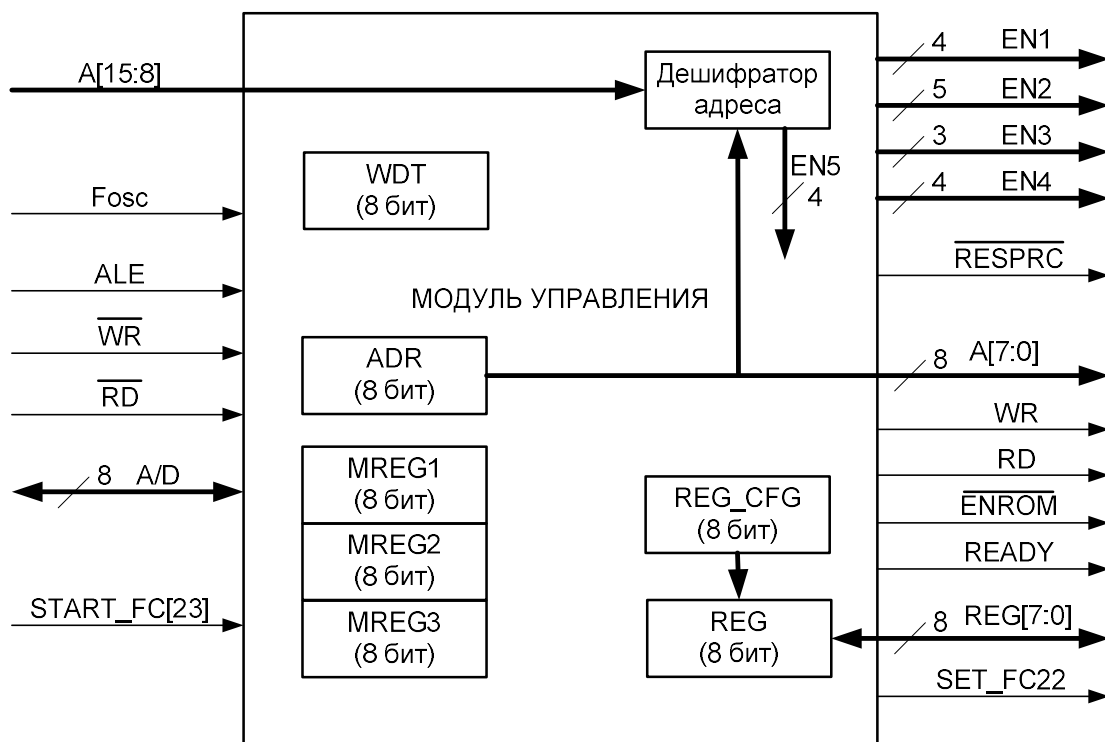


Рисунок 14 – Структурная схема модуля управления

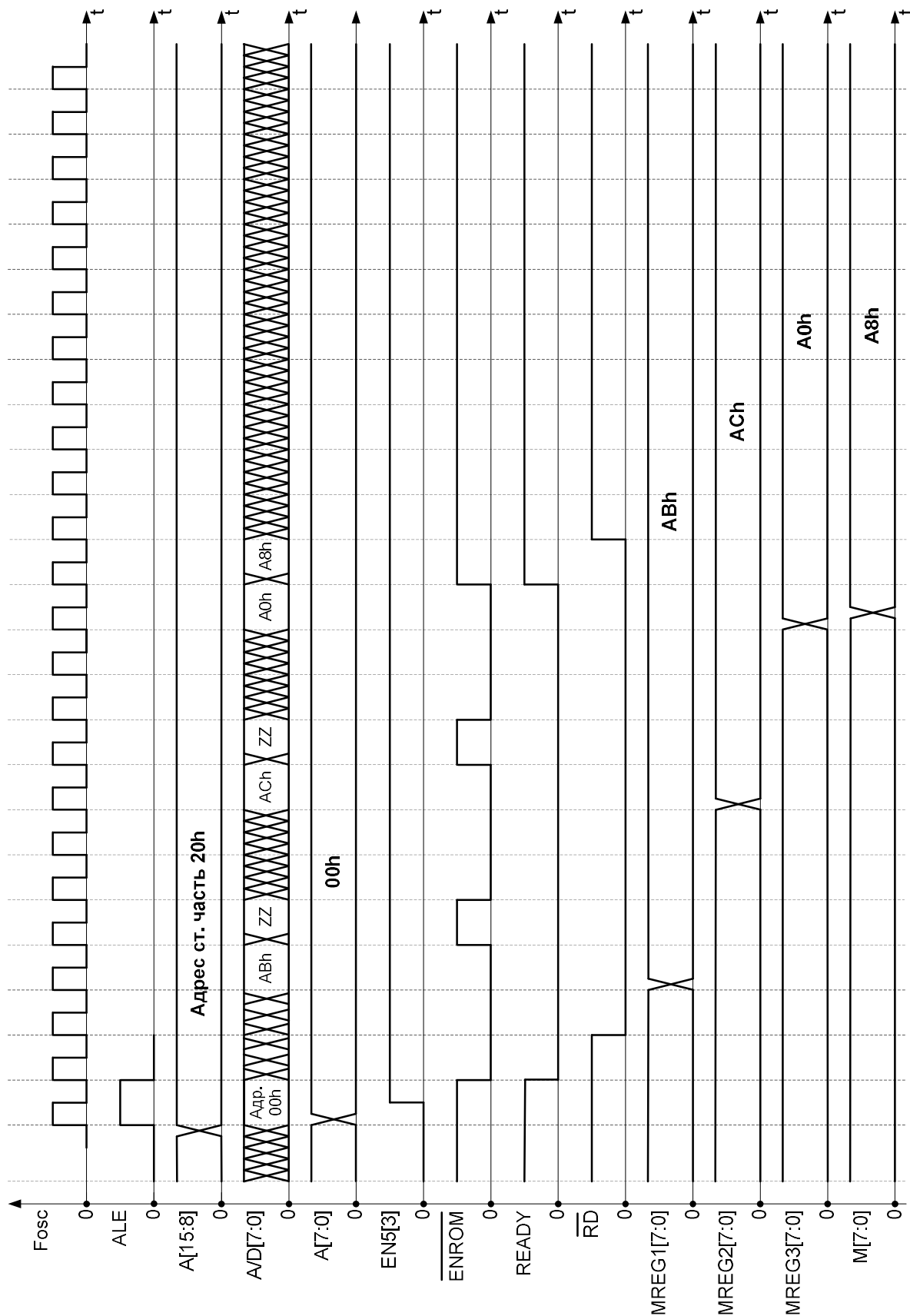


Рисунок 15 – Временная диаграмма работы модуля управления

3.6 Модуль функционального контроля

3.6.1 Назначение модуля функционального контроля

Модуль функционального контроля (ФК) должен формировать 4 внешних сигнала FC1, FC2, EFC1 и EFC2.

3.6.2 Принцип работы модуля функционального контроля (см. рис. 16)

На вход модуля поступают следующие сигналы: двунаправленная внутренняя шина A/D, внутренние управляющие стробы разрешения обращения к байтам модуля EN4, секундный строб SEC1, значение счетчика CNT_MKS, сигнал опорной частоты Fosc и сигнал FC широковещательного ФК. Выходные сигналы модуля: импульсы поджига светодиодов FC1, FC2 длительностью до 1 мкс и сигналы разрешения поджега EFC1 и EFC2. В состав модуля входят 2 регистра: START_FC 24-х разрядный и регистр UPR_FC 8-ми разрядный.

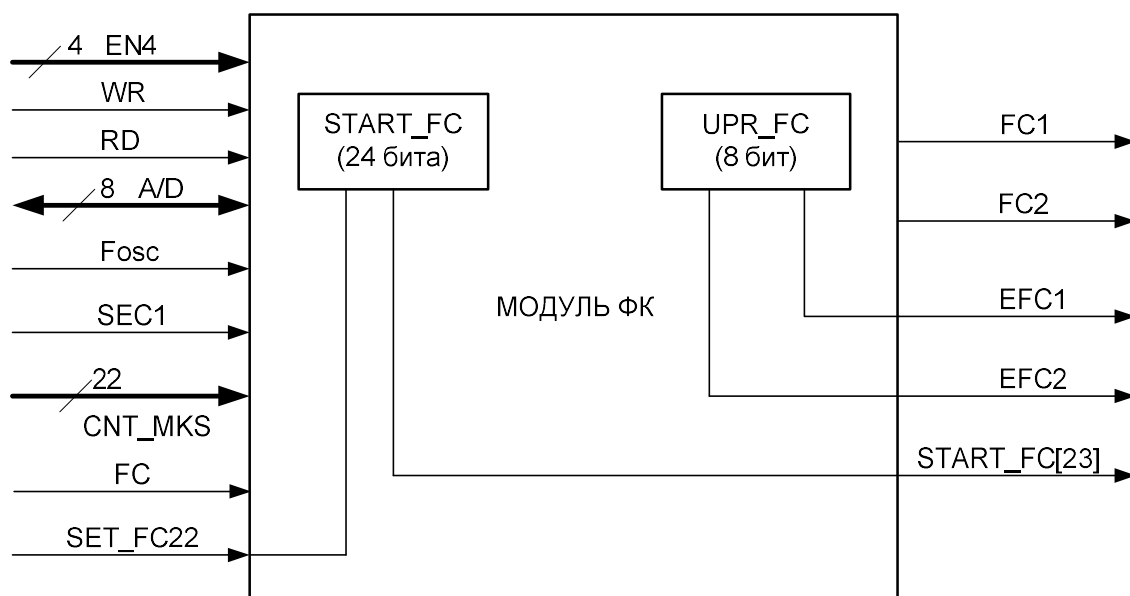


Рисунок 16 – Структурная схема модуля функционального контроля

Во внутренние 22 разряда регистр START_FC записывается значение временного интервала. Регистр START_FC должен быть доступен по чтению и записи по соответствующему разрешающему стробу EN4.2...EN4.0. (EN4.2 для старшего байта, EN4.1 для среднего байта, EN4.0 для младшего байта). При

высоком логическом уровне на входе WR, вход соответствующего байтного регистра START_FC подключается к двунаправленной шине данных A/D и значение на шине данных переписывается в регистр. При высоком логическом уровне на входе RD выход соответствующего 8-ми битного регистра START_FC подключается к двунаправленной шине A/D. Регистр UPR_FC должен быть доступен по чтению и записи по соответствующему разрешающему стробу EN4.3. При высоком логическом уровне на входе WR, вход регистра UPR_FC подключается к двунаправленной шине данных A/D и значение на шине данных переписывается в регистр. При высоком логическом уровне на входе RD выход регистра UPR_FC подключается к двунаправленной шине A/D. Адреса байтов внутреннего регистра модуля START_FC и регистра UPR_FC приведены в таблице 10.

В регистр START_FC записывается побайтно значение времени начала функционального контроля, т.е. времени момента формирования импульсов ФК FC1, FC2. Затем в регистр UPR_FC записывается значение, определяющее разрешение формирования импульсов ФК на соответствующем выходе согласно таблице 7. Старшие биты регистра UPR_FC[7:4] определяют длительность в тактах сигнала Fosc формируемых импульсов ФК (0000 – 1 такт, 0001 – 2 такта, 0010 – 3 такта, ... , 1111 – 16 тактов (см. таблицу 9)). В момент времени, когда сигнал SEC1 равен лог. 1, формируется внутренний сигнал EN_FC, если в регистре UPR_FC записано значение, отличное от нуля, иначе EN_FC будет в состоянии лог. 0 и сигналы FC1, FC2 не будут формироваться ни при каких условиях. В момент времени, когда значение записанное в регистр START_FC совпадет со значением на входе CNT_MKS, на выходе модуля формируются сигналы длительностью определяемой четырьмя старшими разрядами регистра UPR_FC на тех выводах FC1, FC2, где есть разрешение на формирование. По окончании формирования импульсов ФК, обнуляются 2 младших разряда регистра UPR_FC[1:0]. Сигнал FC транслируется напрямую на выходы FC1 и FC2 вне зависимости от разрядов регистра UPR_FC[1:0]. Сигналы EFC2 и EFC1 транслируются с разрядов регистра UPR_FC[3:2] соответственно на выход БИС (см. таблицу 8).

По положительному уровню сигнала SET_FC22, устанавливается бит START_FC[22] в лог.1. При EN4[4] = лог.1, по положительному фронту сигнала \overline{RD} , с задержкой 1 такт Fosc, бит START_FC[22] должен сбрасываться в лог.0.

Сигнал FC необходимо доопределять до низкого уровня (подтяжка к нулю). Сигналы FC1 и FC2 необходимо выдавать на выход БИС со схемы доопределения до низкого уровня (подтяжка к нулю). Временная диаграмма работы модуля ФК приведена на рисунке 17.

Таблица 7 - Алгоритм формирования импульсов ФК на выходе

UPR_FC[1:0]	FC2	FC1
00	Запрещен	Запрещен
01	Запрещен	Разрешен
10	Разрешен	Запрещен
11	Разрешен	Разрешен

Таблица 8 – Алгоритм формирования сигналов EFC2 и EFC1 с разрядов регистра UPR_FC[3:2]

UPR_FC[3:2]	EFC2	EFC1
00	0	0
01	0	1
10	1	0
11	1	1

Таблица 9 – Определение длительности старшими битами регистра UPR_FC[7:4]

UPR_FC[7:4]	Длительность FC1, FC2
0000	62,5 нс
0001	125 нс
0010	187,5 нс
0011	250 нс
0100	312,5 нс
0101	375 нс
0110	437,5 нс
0111	500 нс
1000	562,5 нс
1001	625 нс
1010	687,5 нс
1011	750 нс
1100	812,5 нс
1101	875 нс
1110	937,5 нс
1111	1000 нс

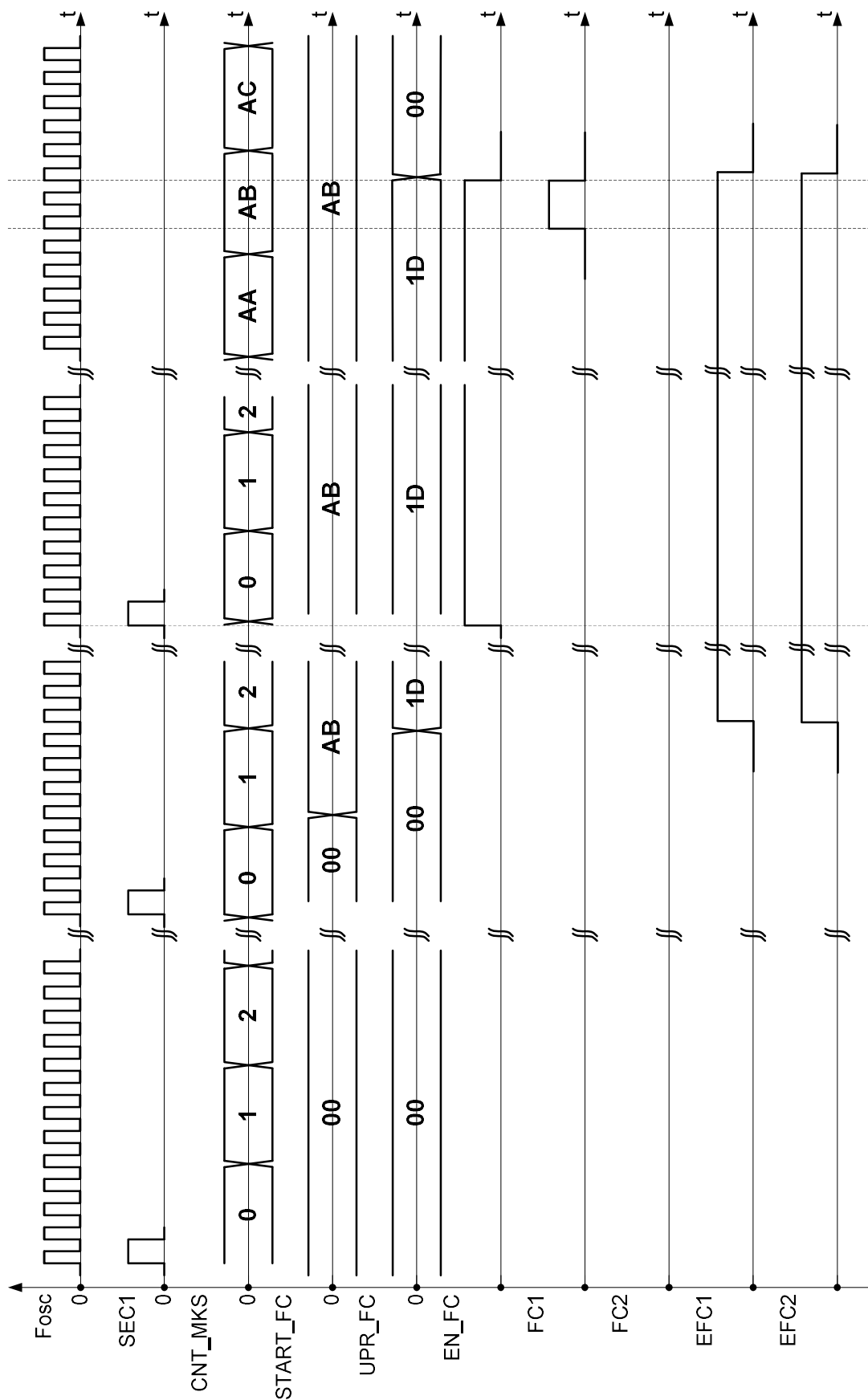


Рисунок 17 – Временная диаграмма работы модуля ФК

Таблица 10 - Карта адресов и название регистров внутри БИС

Наименование области памяти	Адрес	Примечание
Регистр времени накопления статистики шумов TIME_STAT	0xFF00	чтение, запись
Регистр управления схемой совпадения VOTUM	0xFF01	чтение, запись
Регистр статистики шумов (мл. часть) STAT[7:0]	0xFF02	чтение
Регистр статистики шумов (ст. часть) STAT[15:8]	0xFF03	чтение
Регистр события (мл. часть) EVENT[7:0]	0xFF04	чтение
Регистр события (ср. часть) EVENT[15:8]	0xFF05	чтение
Регистр события (ст. часть) EVENT[23:16]	0xFF06	чтение
Счетчик секунд CNT_SEC	0xFF07	чтение, запись
Регистр коррекции (мл. часть) TIME_COR[7:0]	0xFF08	чтение
Регистр коррекции (ср. часть) TIME_COR[15:8]	0xFF09	чтение
Регистр коррекции (ст. часть) TIME_COR[23:16]	0xFF0A	чтение
Регистр управления ФК UPR_FC	0xFF0B	чтение, запись
Регистр времени начала ФК (мл. часть) START_FC[7:0]	0xFF0C	чтение, запись
Регистр времени начала ФК (ср. часть) START_FC[15:8]	0xFF0D	чтение, запись
Регистр времени начала ФК (ст. часть) START_FC[23:16]	0xFF0E	чтение, запись
Регистр длительности сигнала закрытия CLOSE	0xFF0F	чтение, запись
Регистр REG[7:0]	0xFF10	чтение, запись
Регистр REG_CFG[7:0]	0xFF11	чтение, запись
Регистр TIMER[7:0]	0xFF12	запись
Регистр TIMER[15:8]	0xFF13	запись
Регистр WDT[7:0]	0xFF14	чтение, запись
Регистр INT_R [1:0]	0xFF15	чтение