

Техническое описание.

Калькодержателем карты заказа является ФГУП ЦНИИ «Субмикрон»

1 Назначение МБИС

1.1 МБИС предназначена для обнаружения и исправления ошибочных сигналов путем их мажорирования.

2 Состав МБИС

2.1 В состав микросхемы входят следующие составные части:

- блок усилителя сигнала (УС);
- 8 двунаправленных мажоритарных блоков МЭ [0-7];
- однонаправленный мажоритарный блок МЭ8 ;
- однонаправленный мажоритарный блок МЭ9 с автоподбросом;
- буферные элементы (БЭ);
- блок диагностики (БД).

Структурная схема МБИС приведена на рисунке 1

Номера, обозначения и назначение внешних выводов приведено в Таблице 1.

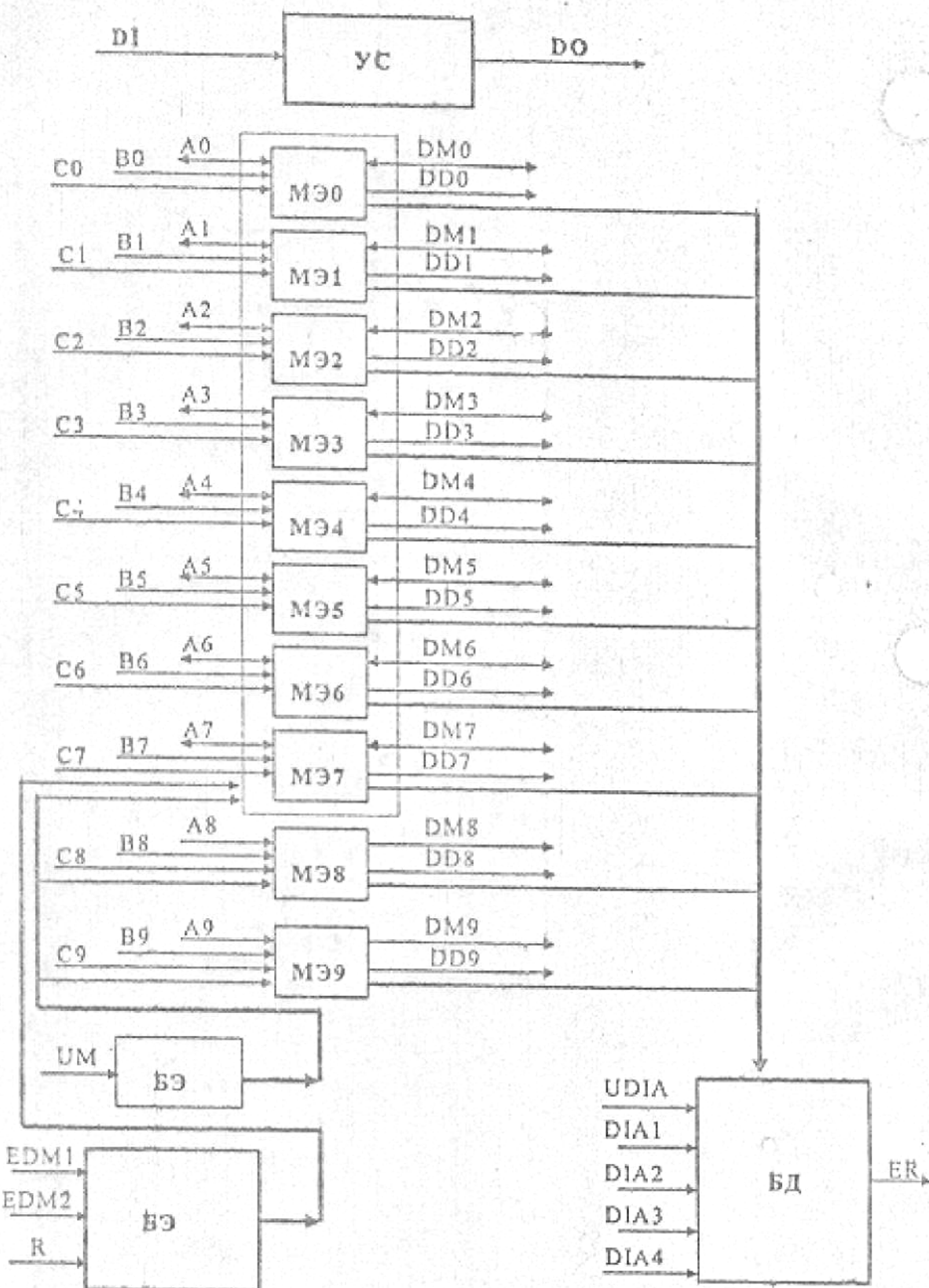


Рисунок 1 - Структурная схема МБИС

Таблица 1. Внешние выводы МБИС

ВЫВОДЫ		ИСПОЛЬЗОВАНИЕ СОСТОЯНИЯ		НАЗНАЧЕНИЕ
НОМЕР	УСЛОВНОЕ ОБОЗНАЧЕНИЕ	ВХОД	ВЫХОД	
1	B2	10		второй разряд шины B
2	C2	10		второй разряд шины C
3	B3	10		третий разряд шины B
4	C3	10		третий разряд шины C
5	B4	10		четвертый разряд шины B
6	C4	10		четвертый разряд шины C
7	B5	10		пятый разряд шины B
8	C5	10		пятый разряд шины C
9	A9	10		девятый разряд шины A
10	A8	10		восьмой разряд шины A
11	A7	10	HLZ	седьмой разряд шины A
12	A6	10	HLZ	шестой разряд шины A
13	A5	10	HLZ	пятый разряд шины A
14	A4	10	HLZ	четвертый разряд шины A
15	A3	10	HLZ	третий разряд шины A
16	A2	10	HLZ	второй разряд шины A
17	A1	10	HLZ	первый разряд шины A
18	A0	10	HLZ	нулевой разряд шины A
19	DD9		HL	девятый разряд шины DD
20	DD8		HL	восьмой разряд шины DD
21	DD7		HL	седьмой разряд шины DD
22	DD6		HL	шестой разряд шины DD
23	DD5		HL	пятый разряд шины DD
24	B6	10		шестой разряд шины B
25	C6	10		шестой разряд шины C
26	B7	10		седьмой разряд шины B
27	C7	10		седьмой разряд шины C
28	B8	10		восьмой разряд шины B
29	C8	10		восьмой разряд шины C
30	B9	10		девятый разряд шины B
31	C9	10		девятый разряд шины C
32	DIA4	10		вход
33	DIA3	10		вход
34	ER		H Z	выход блока диагностики
35	DIA2	10		вход
36	DIA1	10		вход
37	UDIA	10		вход выбора диагностики
38	EDM1	10		вход выбора передачи информации
39	EDM2	10		вход выбора передачи информации
40	UM	10		вход включения маскирования
41	DD4		HL	четвертый разряд шины DD
42	DD3		HL	третий разряд шины DD
43	DD2		HL	второй разряд шины DD
44	DD1		HL	первый разряд шины DD
45	DIO		HL	нулевой разряд шины DD
46	DM0	10	HLZ	нулевой разряд шины DM
47	DM1	10	HLZ	первый разряд шины DM
48	DM2	10	HLZ	второй разряд шины DM

Продолжение таблицы 1.

ВЫВОДЫ		ИСПОЛЬЗУЕМЫЕ СОСТОЯНИЯ		НАЗНАЧЕНИЕ
НОМЕР	УСЛОВНОЕ ОБОЗНАЧЕНИЕ	ВХОД	ВЫХОД	
50	DM2	10	NLZ	третий разряд шины DM
51	DM1	10	NLZ	четвертый разряд шины DM
52	DM5	10	NLZ	пятый разряд шины DM
53	DM6	10	NLZ	шестой разряд шины DM
54	DM7	10	NLZ	седьмой разряд шины DM
55	DM8		NL	восьмой разряд шины DM
56	DM9		NLZ	девятый разряд шины DM
57	PO	10		нулевой разряд шины P
58	CO	10		нулевой разряд шины C
59	B1	10		первый разряд шины B
60	C1	10		первый разряд шины C
61	D1	10		вход блока усилителя сигнала
62	BO		NL	выход блока усилителя сигнала
63	P	10		вход управления внутренними регистрами

3 Функционирование МБИС

3.1 Функционирование двунаправленных мажоритарных блоков МЭі, (і=0-7) В МБИС
выбор направления передачи информации осуществляется сигналами EDM1 и EDM2.

Выбор направления передачи информации приведен в таблице 1

Таблица 1

EDM1	EDM2	Ai	DMi
0	0	откл	откл
0	1	вх	вых
1	0	вых	вх
1	1	запр	запр

Выводы Ai, DMi (і=0-7) доопределены внутренними резисторами, управляемыми потенциалом на входе «R». Доопределение осуществляется до потенциала «общего» провода (при R= «лог.0») или до потенциала питания (при R= «лог.1»)

3.1.1 Сигналы «EDM1»=0, «EDM2»=0

Выводы Ai и DMi отключены, DDi=DMi.

3.1.2 Сигналы «EDM1»=1, «EDM2»=0

Сигнал выхода DMi является результатом мажорирования сигналов на входах Ai, Bi, Ci (і=0-7) или повторяет сигнал на входе Ai, в зависимости от состояния входа UM. Сигналы на выходах DDi повторяют сигналы на входах Ai, независимо от состояния входа UM.

Если мажорирование включено (UM= «лог.1»), то состояние выводов DMi, DDi определяется формулами (1) и (2):

$$DMi = (Ai \wedge Bi \vee Ai \wedge Ci \vee Bi \wedge Ci). \quad (1)$$

$$DDi = Ai, (i=0-7), \quad (2)$$

Если мажорирование отключено (UM= «лог.0») то состояние выводов DMi, DDi определяется формулами (3) и (4):

$$DMi = Ai \quad (3)$$

$$DDi = Ai, (i=0-7). \quad (4)$$

3.1.3 Сигналы «EDM1»=0, «EDM2»=1

Сигнал выхода Ai является результатом мажорирования сигналов на входах DMi, Bi, Ci (і=0-7). Сигналы на выходах DDi повторяют сигналы на входах Ai, независимо от состояния входа UM.

Если мажорирование включено (UM= «лог.1»), то состояние выводов Ai, DDi определяется формулами {5) и (6):

$$A_i = (DM_i \wedge B_i \vee A_i \wedge C_i \vee B_i \wedge C_i), \quad (5)$$

$$DD_i = DM_i, (i=0-7). \quad (6)$$

Если мажорирование отключено (UM= «лог.0»), то состояние выводов Ai, DDi определяется формулами (7) и (8):

$$A_i = DM_i, \quad (7)$$

$$DD_i = DM_i, (i=0-7); \quad (8)$$

3.1.4 Состояние сигналов «EDM1»=1, «EDM2»=1 является запрещенным состоянием;

.3.2 Функционирование однонаправленного мажоритарного блока МЭ8;

A8 является входом; DM8 – выходом.

В соответствии с тем, если мажоритирование включено (UM= «лог.1»), то состояние выходов DM8, DD8 определяется формулами (9) и (10):

$$DM8 = (A8 \wedge B8 \vee A8 \wedge C8 \vee B8 \wedge C8), \quad (9)$$

$$DD8 = A8. \quad (10)$$

Если мажоритирование отключено (UM= «лог.0»), то состояние выходов DM8, DD8 определяется формулами (11) и {12):

$$DM8 = A8, \quad (11)$$

$$DD8 = A8. \quad (12)$$

3.3 Функционирование однонаправленного мажоритарного блока МЭ9 с автоподбросом

A9 является входом; DM9 - выходом.

В соответствии с тем, если мажоритирование включено (UM= «лог.1»), то состояние выходов DM9, DD9 определяется формулами (13) и (14):

$$DM9 = (A \wedge B9 \vee A9 \wedge C9 \vee B9 \wedge C9), \quad (13)$$

$$DD9 = A9. \quad (14)$$

Если мажоритирование отключено (UM= «лог.0»), то состояние выходов DM9, DD9 определяется формулами (15) и (16):

$$DM9 = A9, \quad (15)$$

$$DD9 = A9. \quad (16)$$

Выход DM9 построен на схеме с открытым стоком, при этом состояние "лог.1" на выходе обеспечивается встроенным доопределяющим резистором, подключенным к шине питания. Для ускоренного переключения выхода DM9 из состояния "лог.0" в состояние "лог.1" на выход DM9 выдается активная "лог.1" до тех пор, пока напряжение на выходе DM9 не достигнет порогового напряжения, после чего выход DM9 переводится в отключенное состояние.

Временная диаграмма работы мажоритарного блока МЭ8 и однонаправленного мажоритарного блока МЭ9 с автоподбросом представлена на рисунке 2

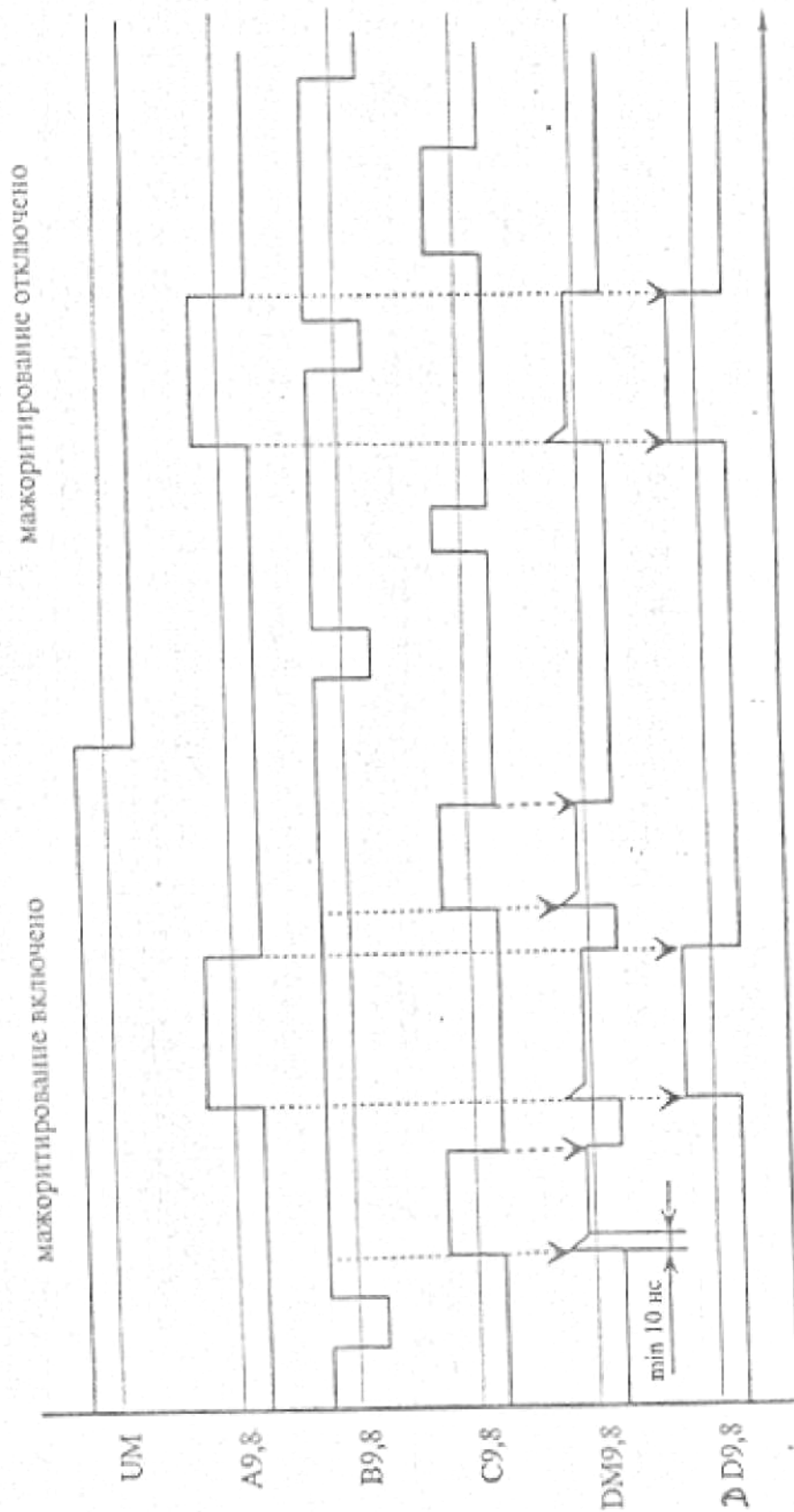


Рисунок А.2 –
Временная диаграмма работы мажоритарного блока МЭ8 и однонаправленного мажоритарного блока МЭ9 с автоподбросом представлена на рисунке А.2

3.4 Блок диагностики (БД)

Блок диагностики формирует признак рассогласования входной и выходной информации путем сравнения сигналов на выводах A_i и DM_i ($i=0-9$) в определенные моменты времени. Для каждой пары сигналов « A_i », « DM_i » формируется внутренний сигнал рассогласования « ER_i ».

Выходной сигнал "ER" является логической суммой сигналов "ER" $_i$ ($i=0-9$). Наличие рассогласования соответствует активной «лог.1» на выходе ER. Отсутствие рассогласования

соответствует отключенному состоянию на выходе ER.

3.4.1 Для выводов A_i , DM_i ($i=0-7$) сравнение производится либо по передним фронтам сигналов "DIA1", "DIA2", "DIA3" в случае сигнала «UDIA»= «лог.0», либо по переднему фронту сигнала "DIA4" при сигнале "UDIA"= «лог.1».

При сигнале «UDIA»= «лог.0» сигнал "ER" $_i$ формируется по переднему фронту любого из входных сигналов "DIA1", "DIA2", "DIA3" при несовпадении сигналов на соответствующей паре A_i , DM_i ($i=0-7$), ER_i ($i=0-7$) сбрасывается из «лог.1» в «лог.0», когда сигналы на соответствующей паре выводов A_i и DM_i совпадают.

При сигнале «UDIA»= «лог.1» сигнал ER_i формируется по переднему фронту входного сигнала «DIA4», при несовпадении сигналов на третий такт соответствующей пары A_i , DM_i ($i=0-7$).

3.4.2 Для выводов A_i , DM_i ($i=8,9$) сравнение производится по переднему фронту сигнала "DIA4", при сигнале «UDIA»= «лог.1».

При сигнале «UDIA»= «лог.1» сигнал ER_i формируется по переднему фронту входного сигнала DIA4 на третий такт при несовпадении сигналов на соответствующей паре A_i , DM_i). ER_i ($i=8,9$) сбрасывается из «лог.1» в «лог.0», когда сигналы на соответствующей паре выводов A_i и DM_i совпадают. Временная диаграмма формирования сигнала "ER" представлена на рисунке 3.

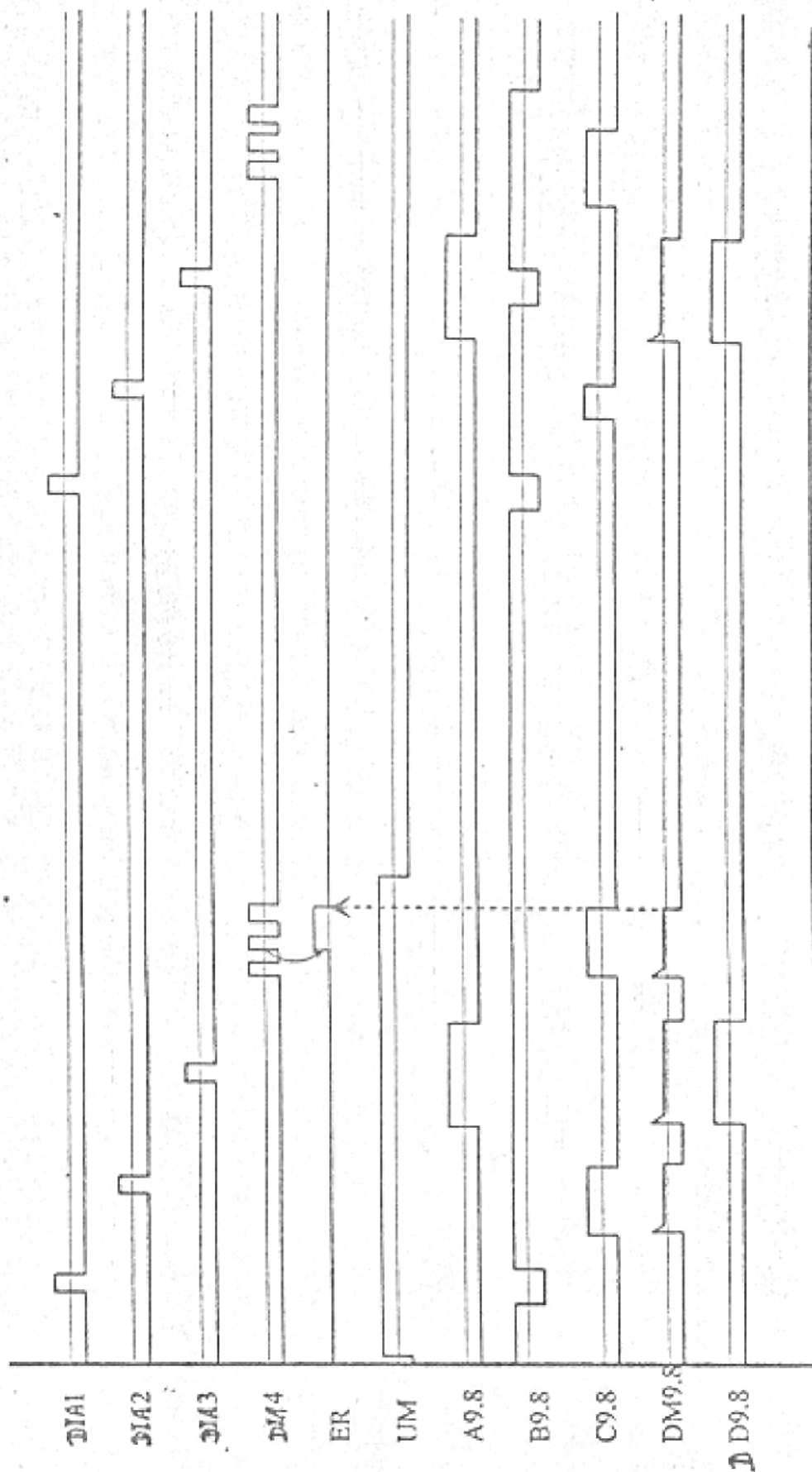


Рисунок А.3. Временная диаграмма формирования сигнала ER

4 Условное графическое изображение МБИС

4.1. Условное графическое изображение МБИС приведено на рисунке 4

18	AO	22	DM10	47
17	A1		DM11	48
16	A2		DM12	49
15	A3		DM13	50
14	A4		DM14	51
13	A5		DM15	52
12	A6		DM16	53
11	A7		DM17	54
10	A8		DM18	55
9	A9		DM19	56
57	B0		DD0	46
59	B1		DD1	45
1	B2		DD2	44
3	B3		DD3	43
5	B4		DD4	42
7	B5		DD5	23
24	B6		DD6	22
26	B7		DD7	21
28	B8		DD8	20
30	B9		DD9	19
58	C0			
60	C1			
2	C2			
4	C3			
6	C4			
8	C5			
25	C6			
27	C7			
29	C8			
31	C9			
39	EDM1			
40	EDM2			
41	GM			
38	UDIA			
37	DIA1			
36	DIA2		FR	35
34	DIA3			
33	DIA4			
63	R			
61	DI		DO	62

Рисунок 4 – Условное графическое изображение МБИС

