

## **Функциональные характеристики программы обеспечения доверенности проекта интегральных микросхем**

Программа обеспечения доверенности проекта интегральных микросхем предназначена для выполнения проектных операций в процессе разработки специализированных доверенных микросхем на основе семейства серий БСК (базовый структурированный кристалл) с использованием разработанных унифицированных библиотек ячеек и сложно-функциональных блоков, включая:

- а) трансляцию описания микросхемы на языке описания аппаратуры во внутренние форматы данных САПР СнК (системы-на-кристалле);
- б) моделирование поведения проекта микросхемы;
- в) синтез логической схемы микросхемы из описания на поведенческом уровне в базис библиотеки функциональных ячеек БСК;
- г) формирование структурного описания проекта микросхемы в формате языка описания аппаратуры Verilog 2005 (стандарт IEEE 1364—2005) или System Verilog (стандарт IEEE 1800-2009);
- д) компоновку кристалла микросхемы;
- е) размещение функциональных ячеек и СФ-блоков (сложно-функциональных блоков), составляющих проект микросхемы, на поле кристалла микросхемы;
- ж) формирование топологии цепей синхронизации (дерева синхронизации);
- з) формирование топологии переменных слоёв металлизации для реализации электрической схемы проекта микросхемы в формате описания топологической информации;
- и) проверку соответствия топологии микросхемы электрической схеме и конструктивно-технологическим требованиям;
- к) проверку правильности функционирования СФ-блоков и проекта микросхемы в условиях воздействия внешних факторов эксплуатации;
- л) подготовку информации для измерительного оборудования для контроля электрических параметров микросхемы в составе пластин и в корпусе.

В состав программы входят все основные подсистемы, необходимые для разработки и подготовки к производству микросхем, а именно:

- смешанный схемно-текстовый графический редактор;

- подсистема синтеза логической схемы из описания на поведенческом уровне;
- специализированный транслятор с языка высокого уровня;
- подсистема функционального моделирования микросхем;
- подсистема функционально-логического моделирования;
- подсистема компоновки и размещения ячеек и СФ-блоков на поле БСК;
- подсистема синтеза топологии;
- специализированный топологический редактор;
- подсистема верификации;
- подсистема расчета параметров топологии;
- подсистема аттестации СФ-блоков и проекта микросхемы.