



Quasi-Delay-Insensitive Computing Device: Methodological Aspects and Practical Implementation

Yuri Stepchenkov, Yuri Diachenko, Victor
Zakharov, Yuri Rogdestvenski, Nikolai
Morozov, Dmitri Stepchenkov

{YStepchenkov, VZakharov}@ipiran.ru



Self-timed circuits

- Максимальная производительность при любых условиях эксплуатации,
- Расширенный диапазон работоспособности,
- Обнаружение константных неисправностей,
- Минимальное энергопотребление в период ожидания,
- Минимальный уровень помех
- Simplified circuits testing: functional test are simultaneously tests on malfunctions,
- High efficiency in creation of reliable products



Структурная схема вычислителя

- Функции деления и извлечения квадратного корня (по стандарту IEEE 754),
- Конвейерная структура,
- Многостадийная реализация,
- Самосинхронное запрос-ответное взаимодействие между ступенями конвейера,
- Оптимальное количество стадий вычислителя
- Синхронное запрос-ответное взаимодействие с основным Вычислителем
- Синхронно-самосинхронный входной и самосинхронно-синхронный выходной блоки

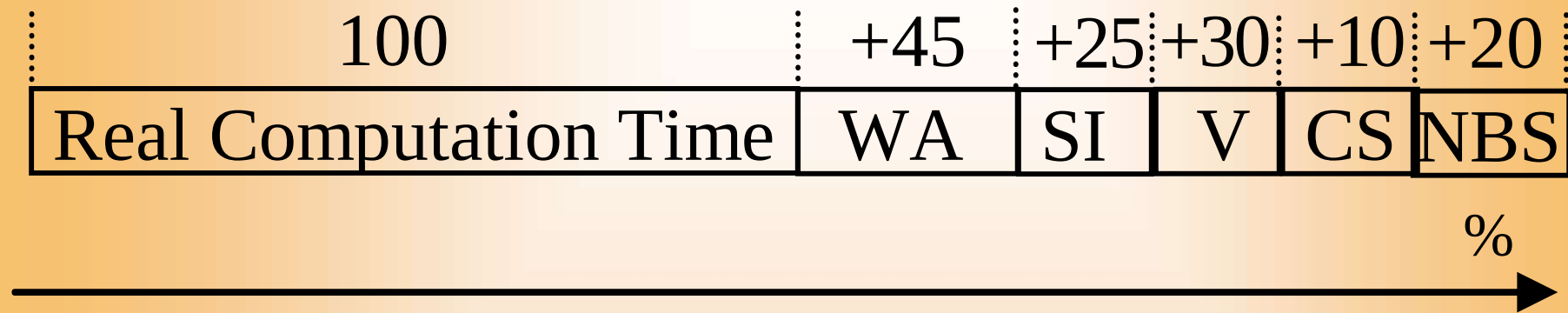


Причины интереса Заказчика к ST-divider

- Имеющийся у Заказчика синхронный Делитель 1 (SRT-алгоритм, Radix-4) не отвечал требованию быстродействия
- Имеющийся у Заказчика синхронный Делитель 2 (SPARC, алгоритм Ньютона) не отвечал требованию энергопотребления
- Заказчик хотел бы обеспечить правильную работу Делителя на необходимое время при снижении питающих батарей ниже нормы
- Разрабатываемый Делитель должен стать базой для разработки отказоустойчивого варианта



Временные потери в синхронных системах



WA – Worst Average

SI - Signal Integrity

V – Variability

CS – Clock Skew

NBS - Non Balanced Stages

Price of the correct operation for synchronous devices –
230% снижение их потенциального быстродействия



Алгоритмы деления и извлечения корня

$$P_{i+1} = r \cdot P_i - D \cdot q_i, \quad i=0, \dots, n-1,$$

P_{i+1}, P_i – промежуточные остатки от деления;

r – основание алгоритма (radix); D – делитель;

q_i – частичный результат; полученный на i -ом шаге; n – число шагов алгоритма

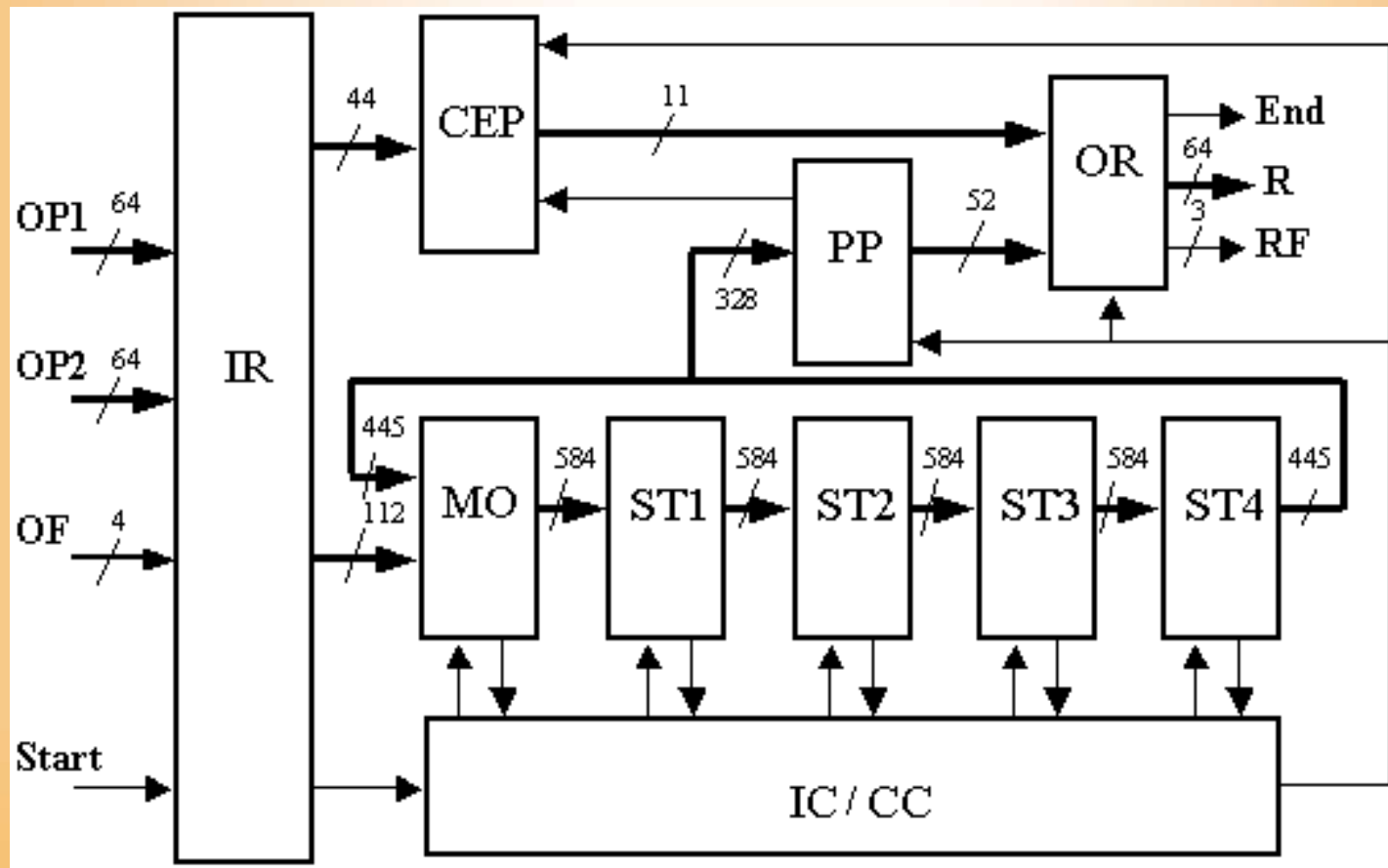
$$Q = \{q_0 q_1 q_2 \dots q_{n-1}\}$$

$$P_{i+1} = 2 \cdot P_i - (2 \cdot Q_{i-1} + q_i \cdot 2^{-i}) \cdot q_i$$

Q_{i-1} – результат извлечения корня, накопленный к i -тому шагу алгоритма

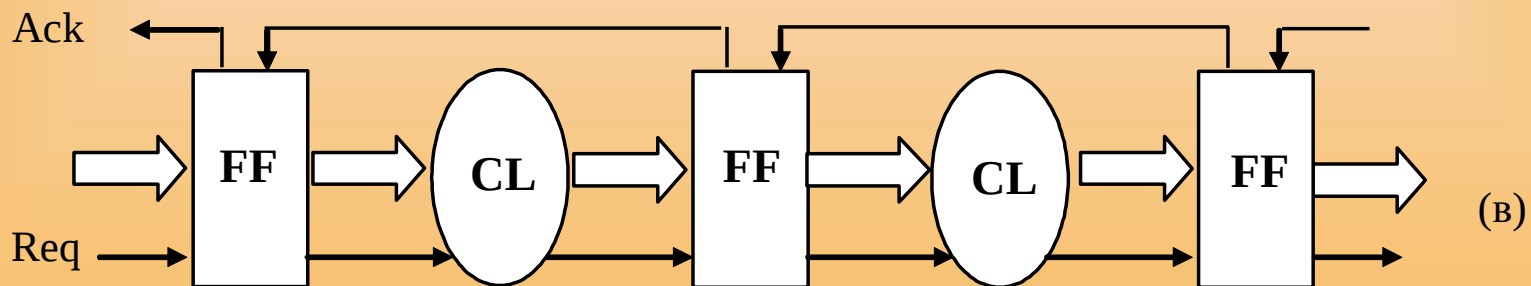
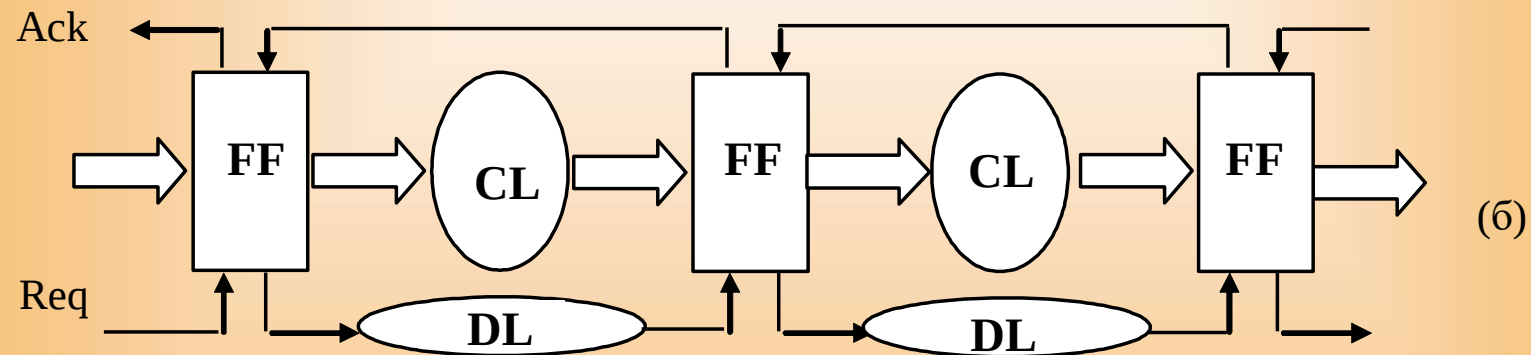
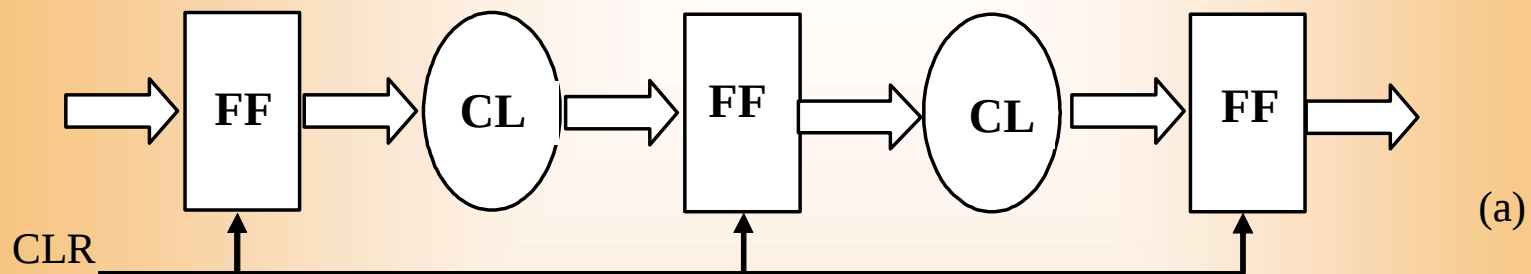


Flow chart of the computing device





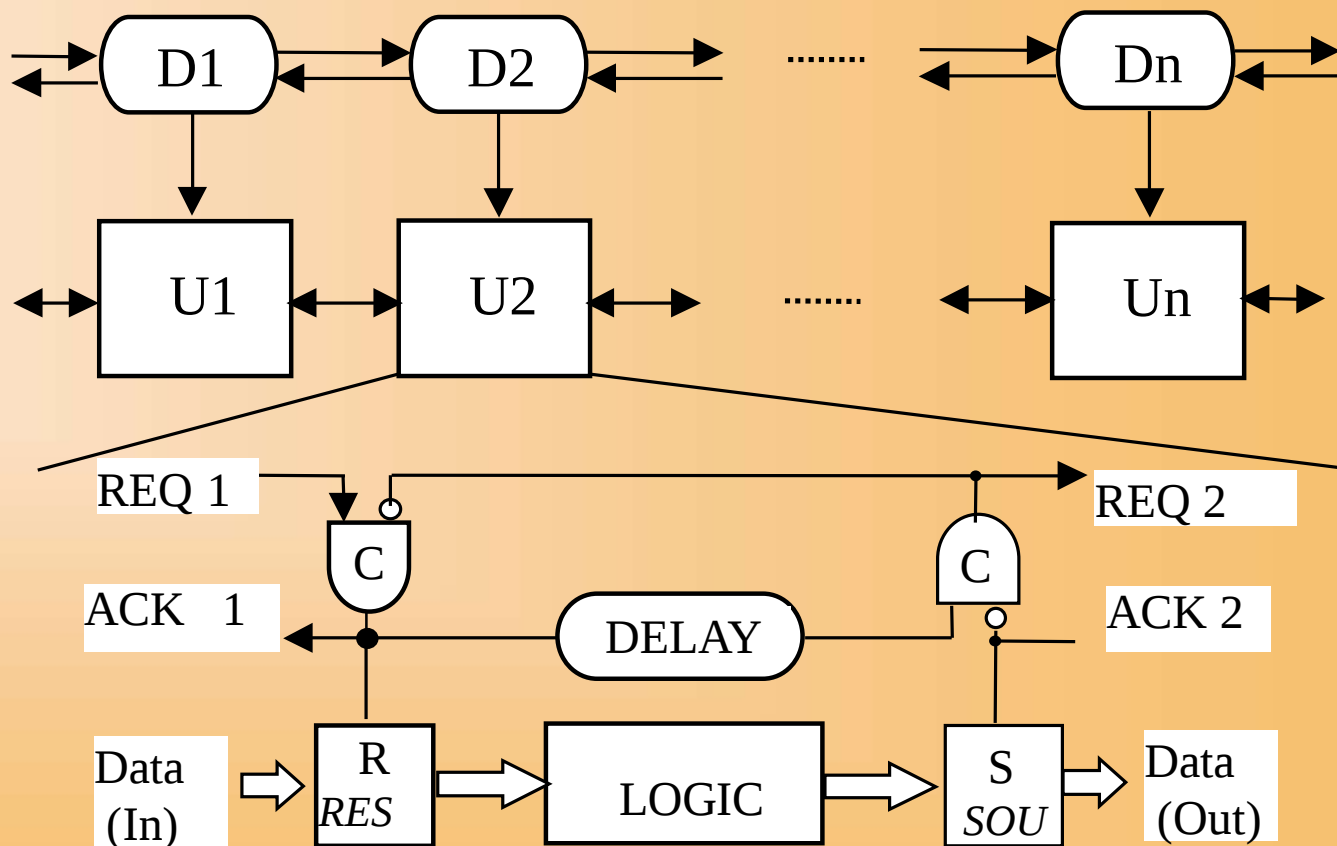
Варианты реализации конвейера



(clockless and delayness circuits)

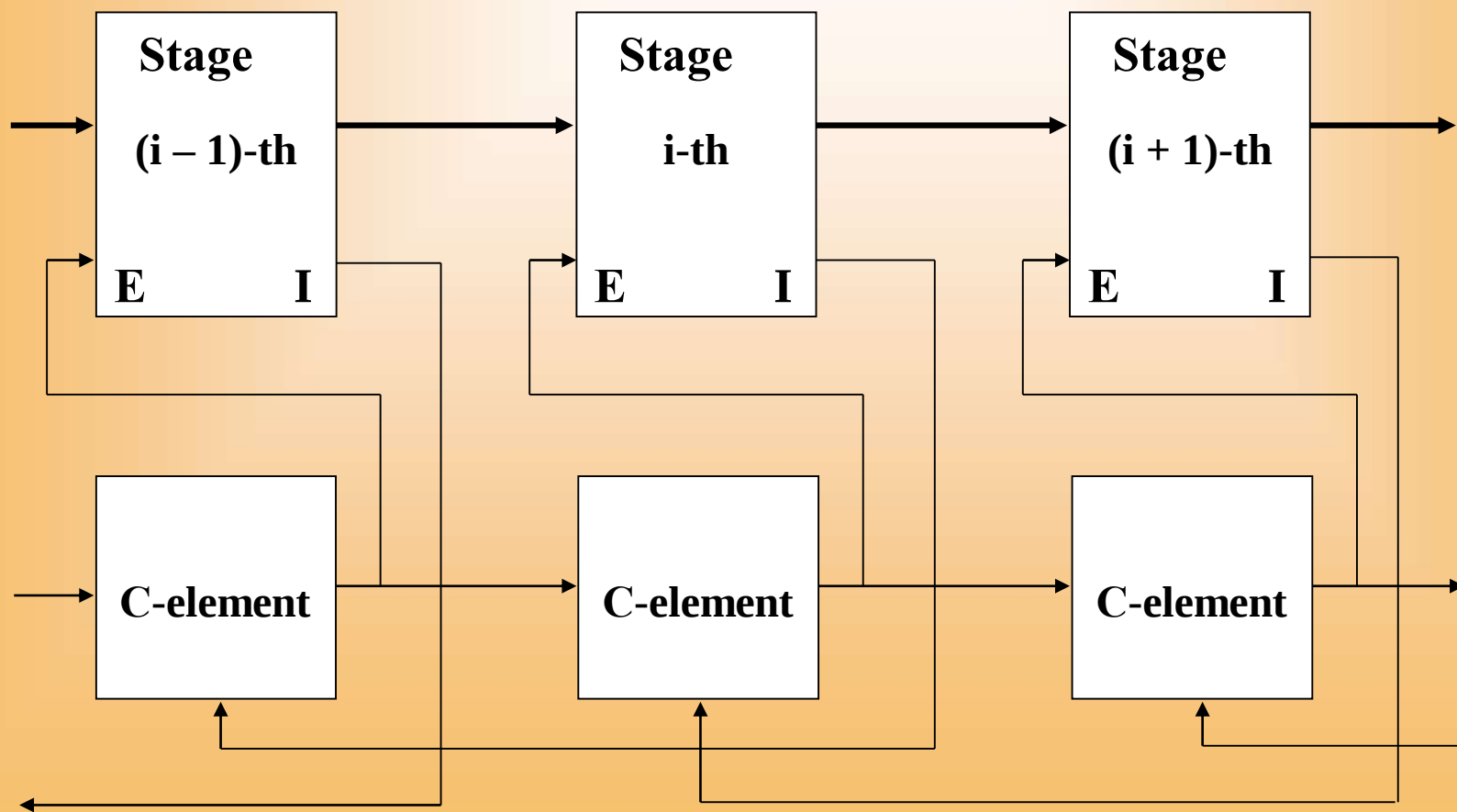


Globally and Locally *asynchronous* system



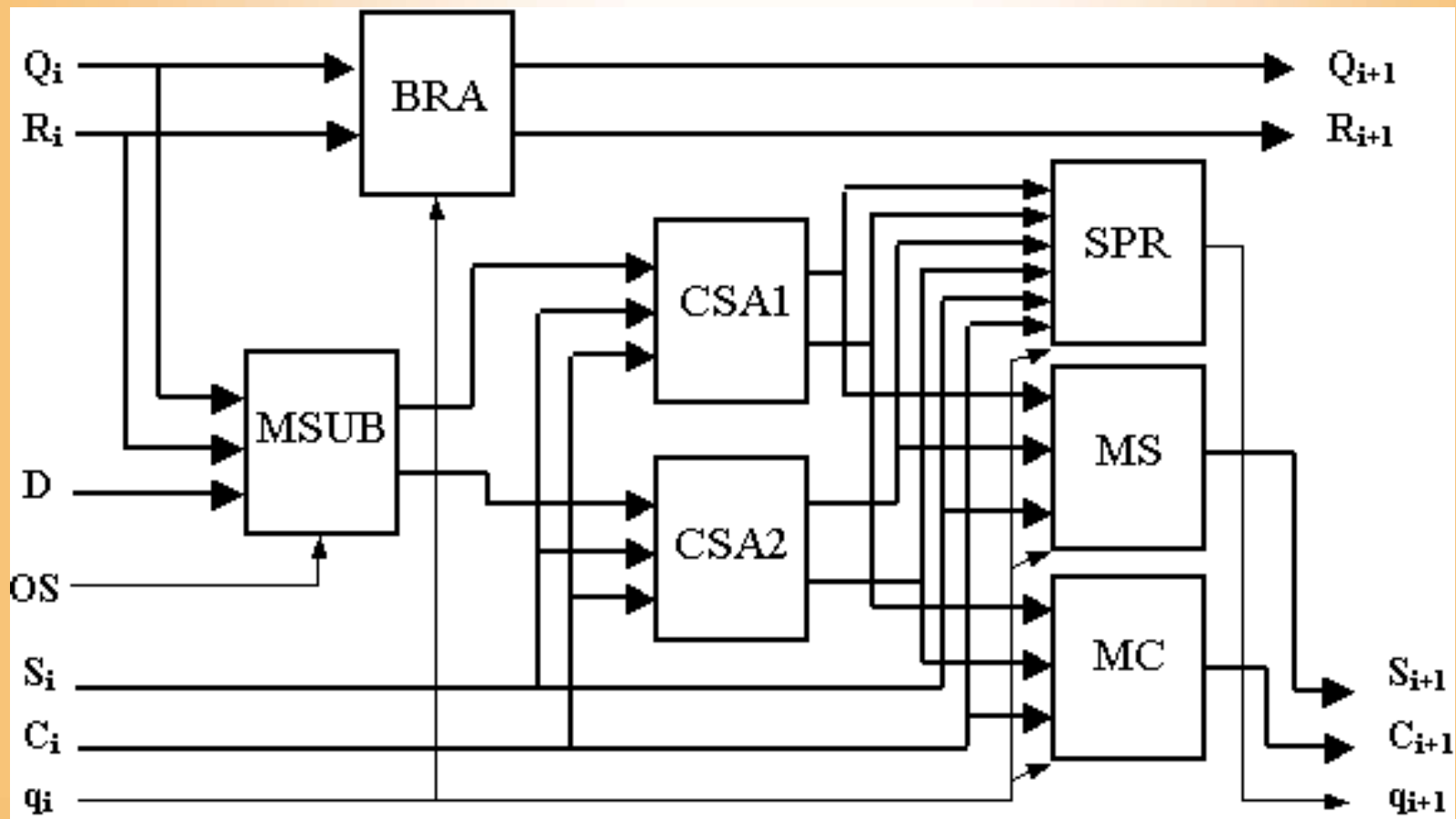


Request-acknowledge interaction between stages of computing device



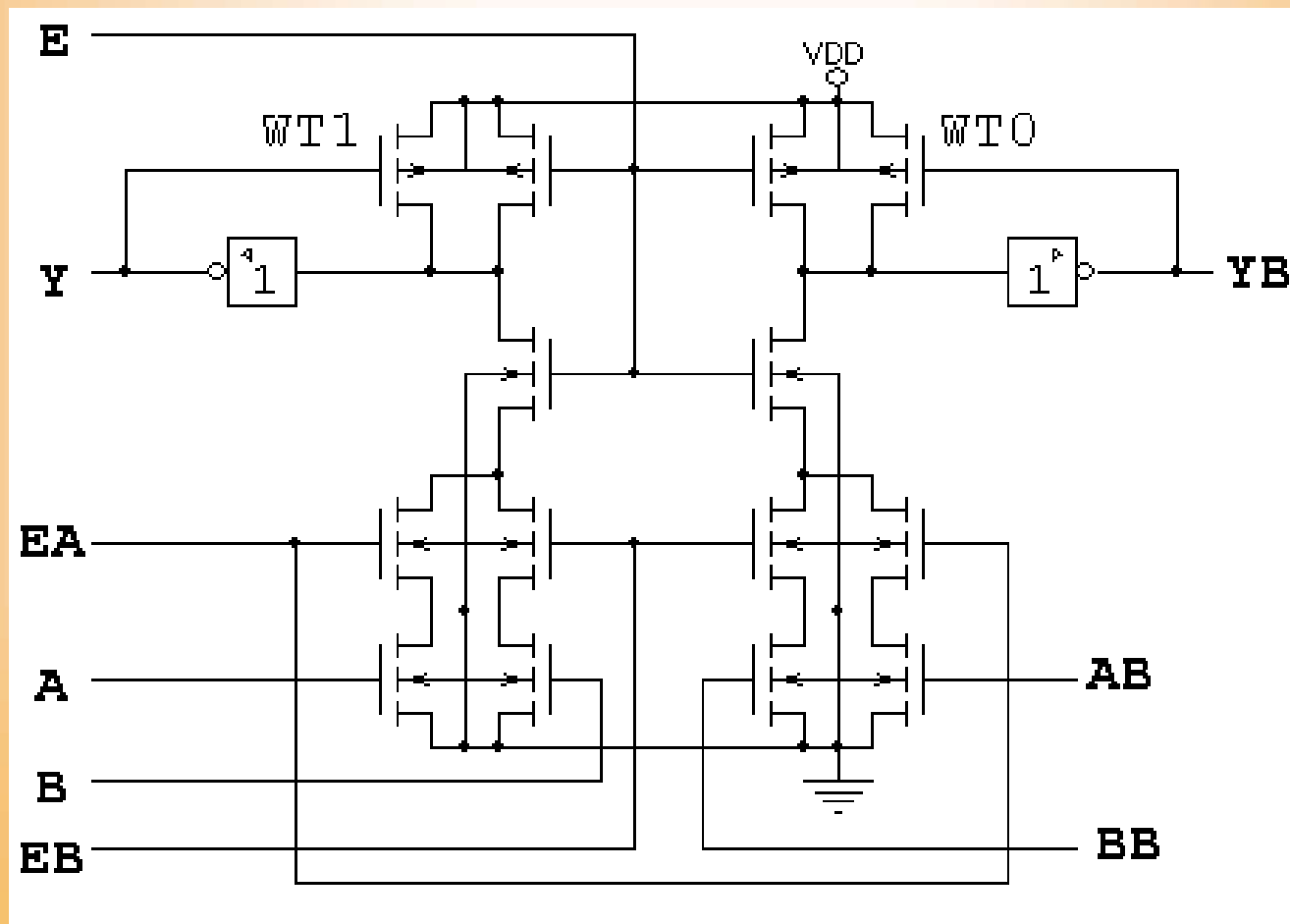


Flow chart of one stage



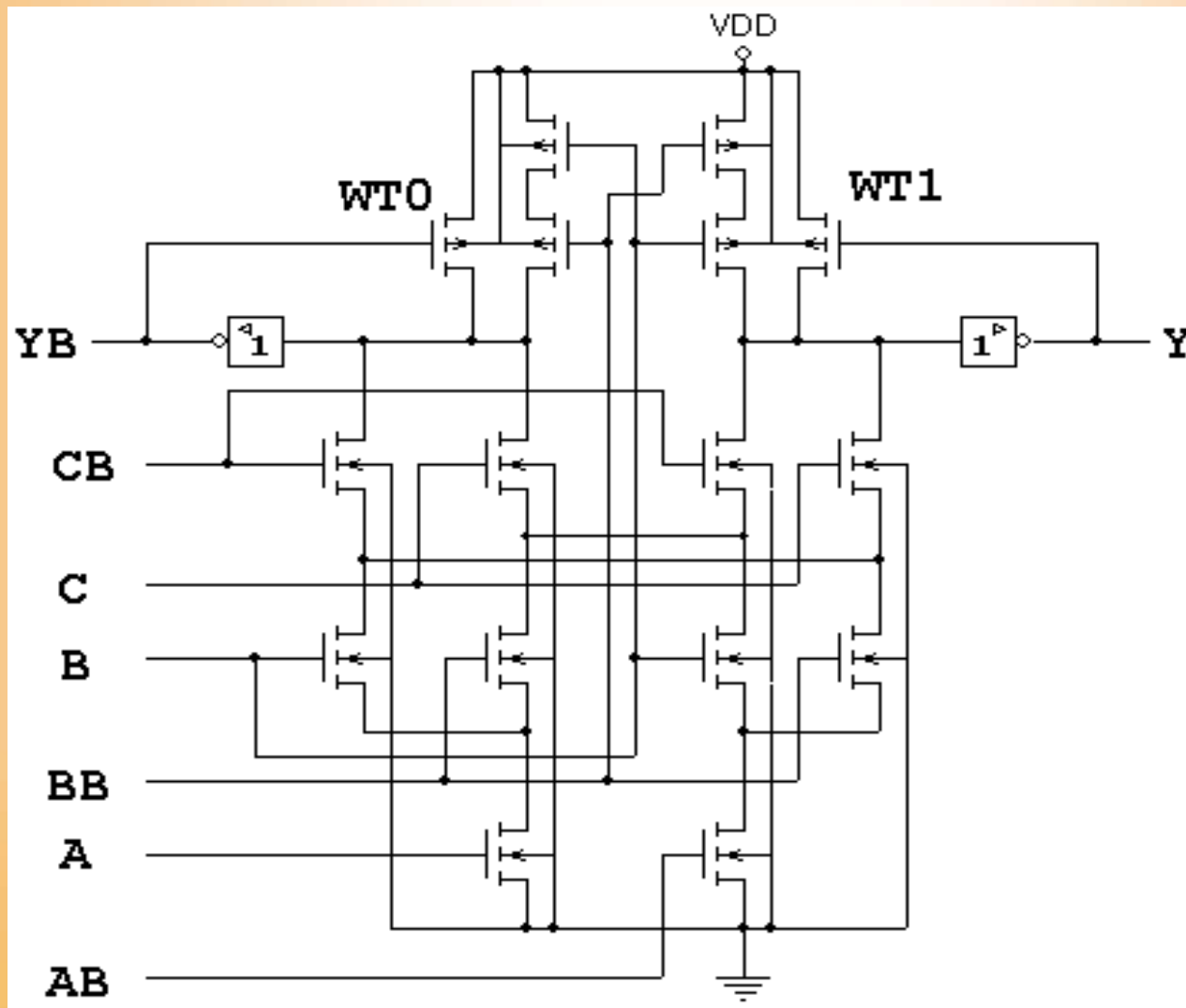


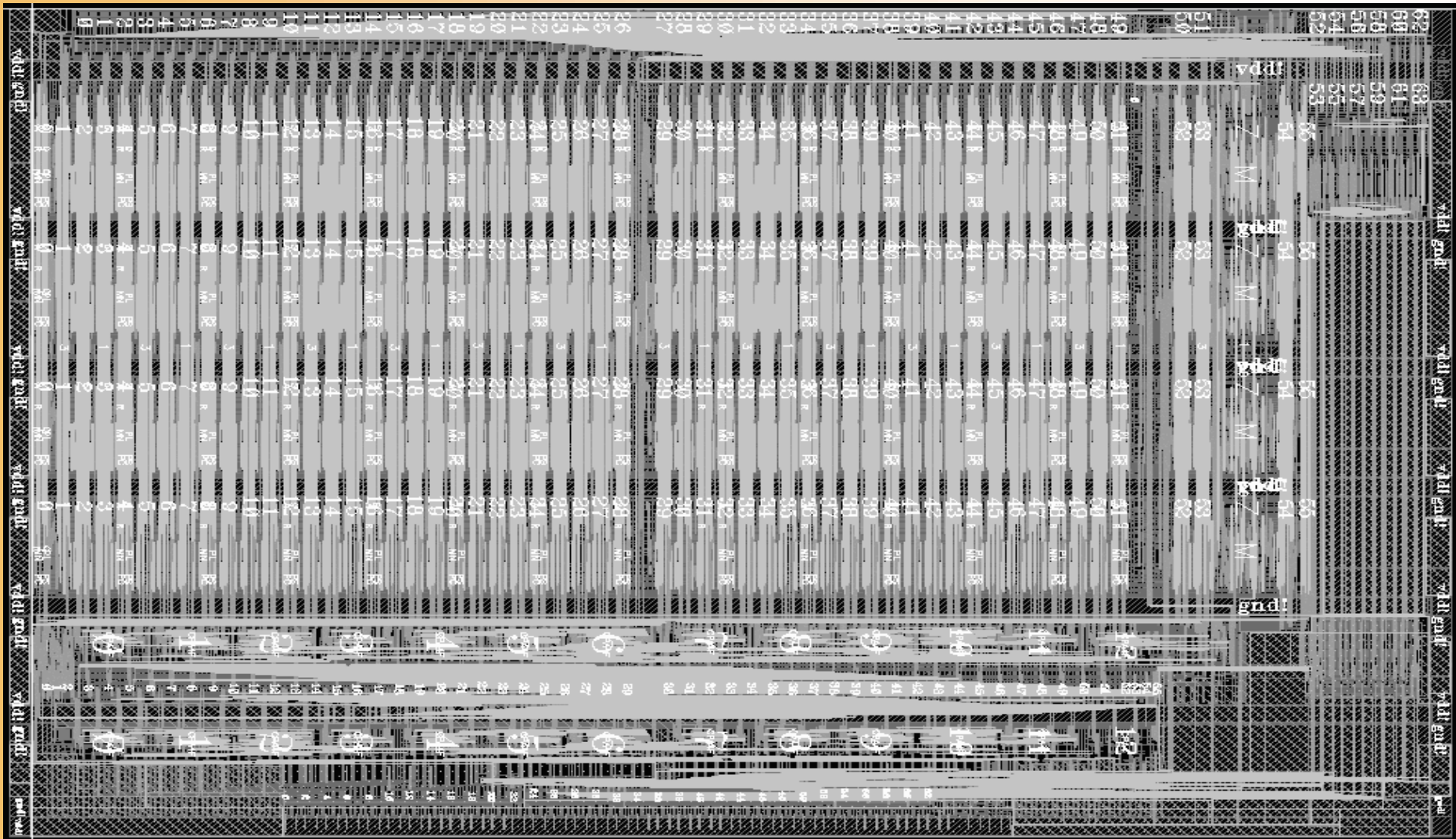
Pseudo-dynamic multiplexor 2:1





Pseudo-dynamic element XOR3M





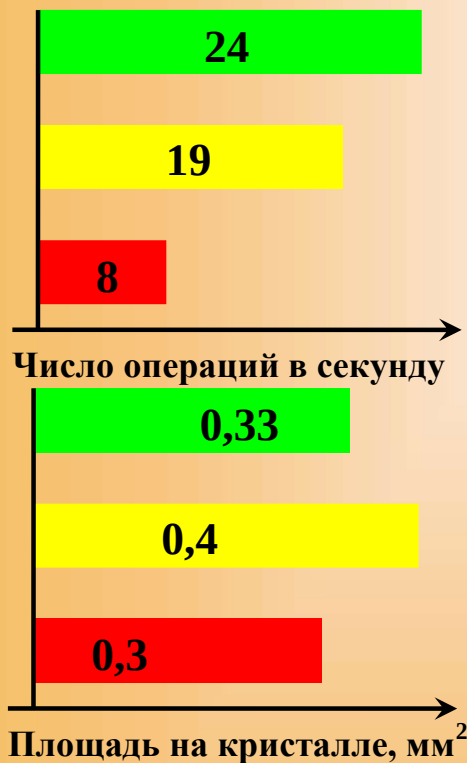


Result of simulation with Ultrasim

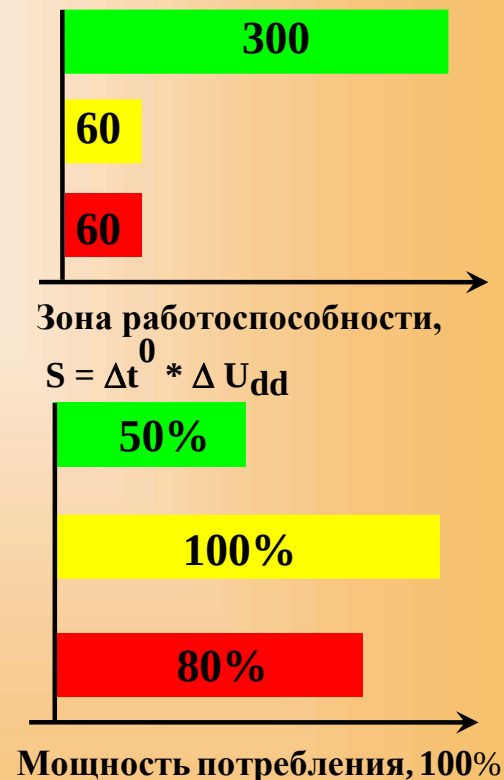
№	Conditions of simulating with Ultrasim, Udd, T ⁰ C	Division, ns		Square root, ns	
		Precision of calculation			
		single	double	single	double
1	1,98 V, - 60 ⁰ C, best	20.6	34.7	22.0	36.9
2	1.8 V, + 25 ⁰ C, typical	28.7	46.7	30.4	49.1
3	1.62 V, + 125 ⁰ C, worst	38.9	63.9	40.0	70.3
4	0.9 V, + 125 ⁰ C	139	219	125	199
5	0.8 V, + 125 ⁰ C	185	300	172	276
6	0.7 V, + 125 ⁰ C	290	480	265	422
7	0.6 V, + 125 ⁰ C	536	858	491	775
8	0.5 V, + 125 ⁰ C	1293	2100	1209	1893
9	0.4 V, + 125 ⁰ C	4656	7682	4325	6940
10	0.35 V, + 125 ⁰ C	12920	21705	9142	14440



64-разрядный сопроцессор: деление и извлечение квадратного корня (IEEE 754)



Параметр	1	2, 3
Максимальная производительность при любых условиях эксплуатации	✓	-
Расширенный диапазон работоспособности, U питания от 0,32 до 1,98В	✓	-
Обнаружение константных неисправностей	✓	-
Минимальное энергопотребление, среднее и в период ожидания	✓	-
Минимальный уровень помех	✓	-



1 ИПИ РАН, самосинхронный SRT-алгоритм, Radix2

2 SPARC, синхронный алгоритм Ньютона

3 стандартный синхронный SRT-алгоритм, Radix4

(все в заказной КМОП-технологии, 0,18мк)



Summary

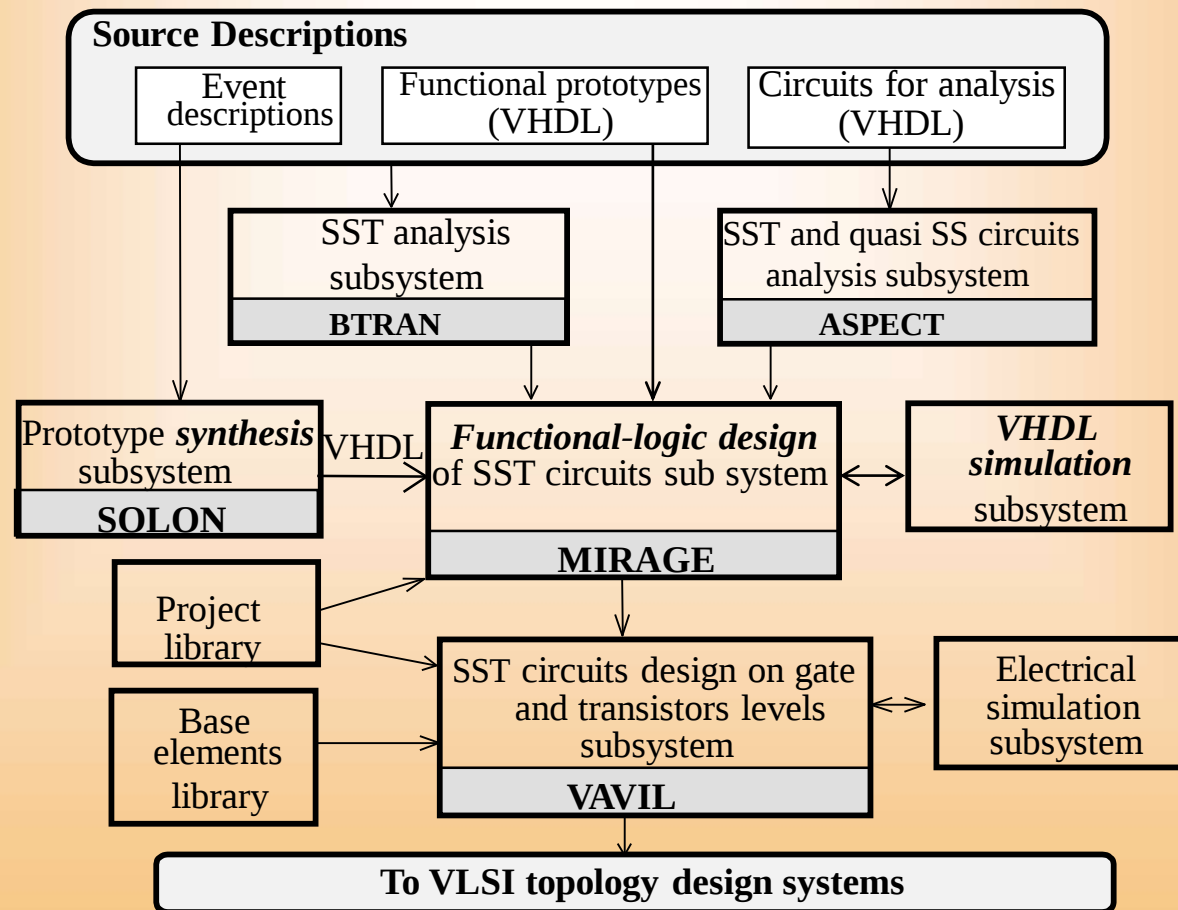
- ✓ using the methodology of QDI-circuit design allows obtaining viable and efficient solutions even for a mainly combinative device such as a divider, though traditionally combinational circuits are the least “convenient” for implementation with an QDI-basis;
- ✓ the efficient solution of computing devices with QDI-circuits basis is possible only on the base of multistage – pipeline – organization of a computational path; in our case – using four stages of the same type, each of them calculates one bit of the result;
- ✓ proposed implementation provides the same performance while execution of both operations – division and square root extraction;
- ✓ complex comparative parameters: for performance and zone of capacity for work and area occupied on the chip, the presented QDI-variant of the computing device exceeds synchronous analogues.



- 1) **Two systems for analysis** of designed circuits whether they are SST have been developed – BTRAN and ASPECT (covers also quasi-SS-circuits).
- 2) **Two systems for synthesis** of self-timed base elements
- 3) A set of base elements which allow to design SST-circuits have been chosen and investigated. **A big library of SST solutions** have been accumulated.
- 4) A number of library SST-elements are implemented **in gate array silicon**.
- 5) **Test silicon** implementing functions of calculation core of **8-bit microprocessor** (PIC18CXX of Microchip Inc.) was manufactured in two variants – S and SST. Preliminary results confirm advantages of SST variant: performance of SST variant on the mixture of instructions is twice over those of S variant.
- 5) **CAD system RONIS designed** as a subsystem of standard VLSI CAD for SST-circuits design was developed. Its main features:
 - VHDL language
 - orientation on CMOS technology
 - support of both “up-down” and “down-up” design approaches
 - no limitations on the size of designed circuit
 - optimization on performance or complexity (in transistors)



Structure of the SSS-Circuit CAD System RONIS

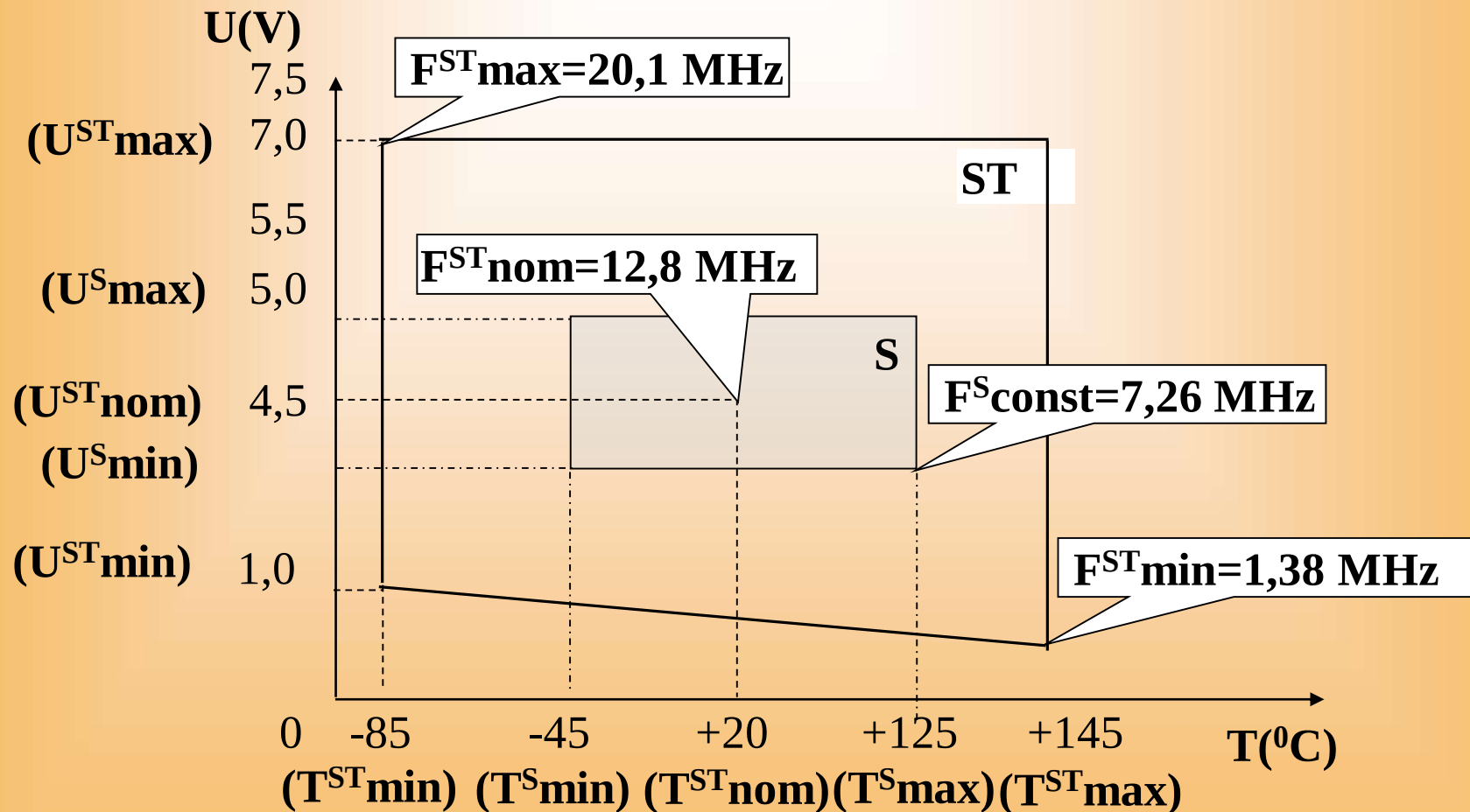


Designing as subsystem of standard VLSI CAD: interface to:

- ✓ any VHDL simulation systems
- ✓ VLSI topology design systems
- ✓ an electrical simulation system of PSPICE type.



Test LSI “Microcore of microcontroller”: Zones of maintenance for synchronous (S) и SST-variants



U - voltage, v; T – temperature, $^{\circ}C$; F – switching frequency, MHz



Information for contacts

- **General director:** Dr. Igor A. Sokolov
- **Address:** Institute of Informatics Problems Vavilova str., 44, building 2, 117900, Moscow, Russia
- **Telephone:** 7 (095) 137 3494
- **Fax:** 7 (095) 930 4505
- **E-mail:** ISokolov@ipiran.ru
- **Scientific secretary:** Victor N. Zakharov, PhD
Telephone/ E-mail: 7(499)135 6117 VZakharov@ipiran.ru
- **Head of department:** Yuri A. Stepchenkov, PhD
Telephone/E-mail: 7(095)671 1520/ YStepchenkov@ipiran.ru