

Цифровой сигнальный процессор с нетрадиционной рекуррентной поточковой архитектурой

Волчек Виктор Николаевич
Аспирант, инженер-исследователь

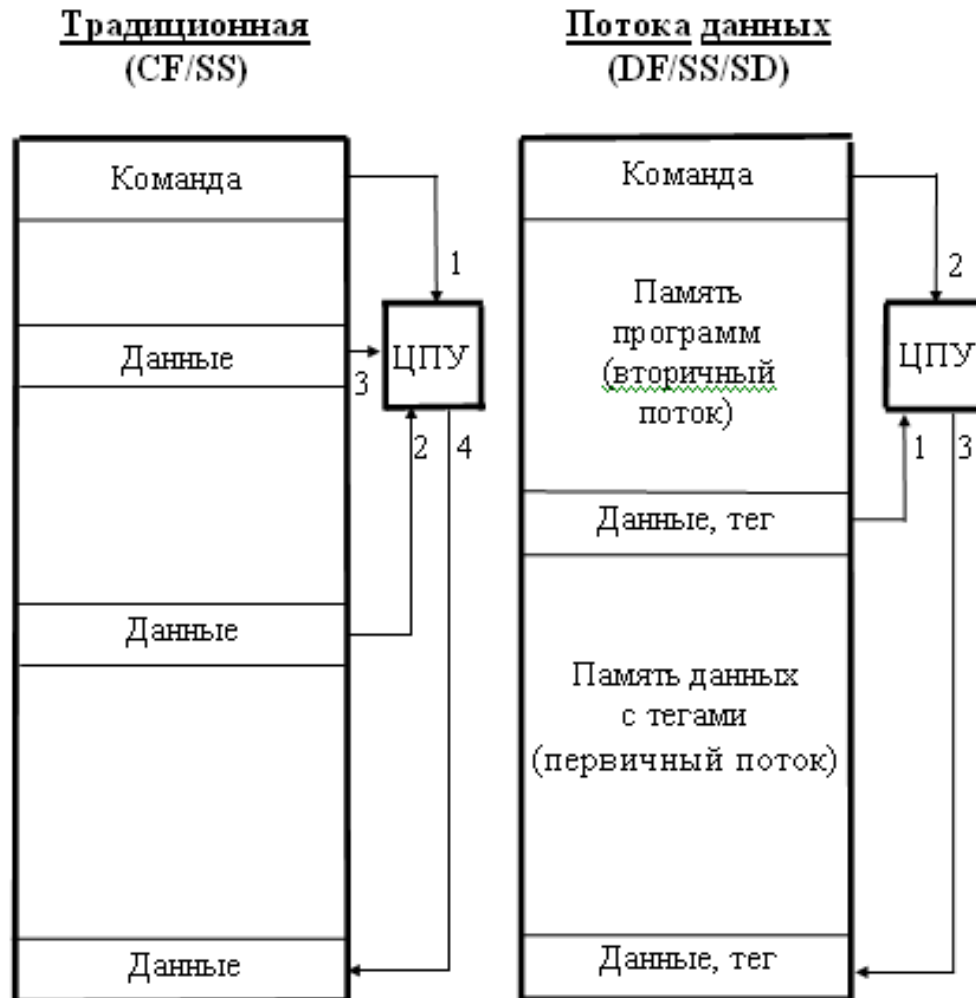


Институт Проблем Информатики РАН

Содержание

- **Вычислительные парадигмы**
- **Рекуррентная потоковая архитектура**
- **Рекуррентный обработчик сигналов (РОС)**
- **Система команд РОС**
- **Эффективность реализации алгоритмов**
- **Результаты синтеза в ПЛИС**
- **Программирование РОС**
- **Заключение**

Вычислительные парадигмы



Примеры архитектур Data Flow

Проекты прошлых лет в области ЦОС:

- * Hughes Data Flow Multiprocessor (Hughes Aircraft, США);
- * Texas Instruments Data Flow Signal Processor (США);
- * AT&T Enhanced Modular Signal Processor (США);
- * μ PD7281 фирмы NEC (Япония).

Отечественные проекты (академик В.С. Бурцев):

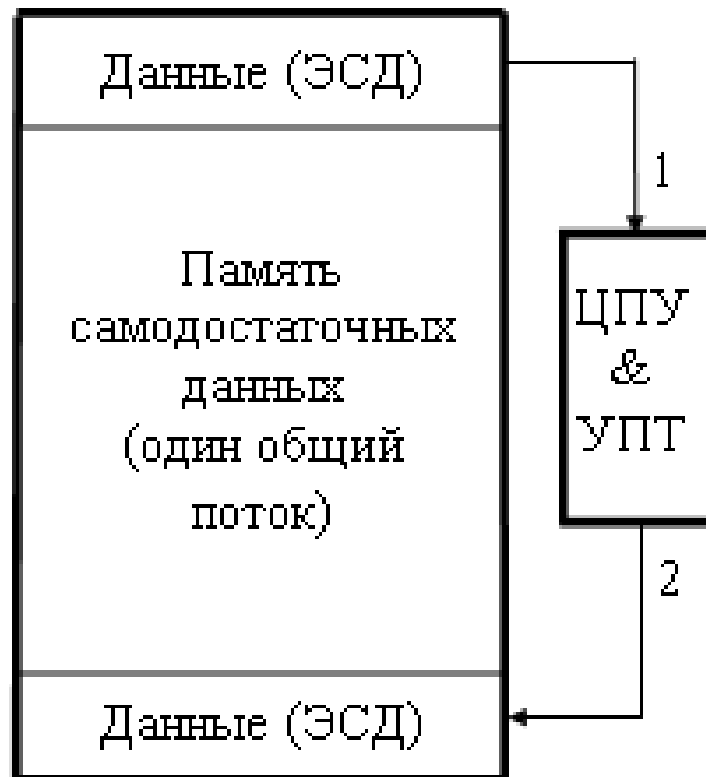
- * ОСВМ, ВЦКП РАН
- * ВСАРР, Институт Проблем Информатики РАН

Текущие проекты:

- * Scheduled Dataflow (The Pennsylvania State University, USA)
- * WaveScalar (The University of Washington, Seattle, USA)
- * EDGE (The University of Texas at Austin, USA)

Рекуррентная архитектура

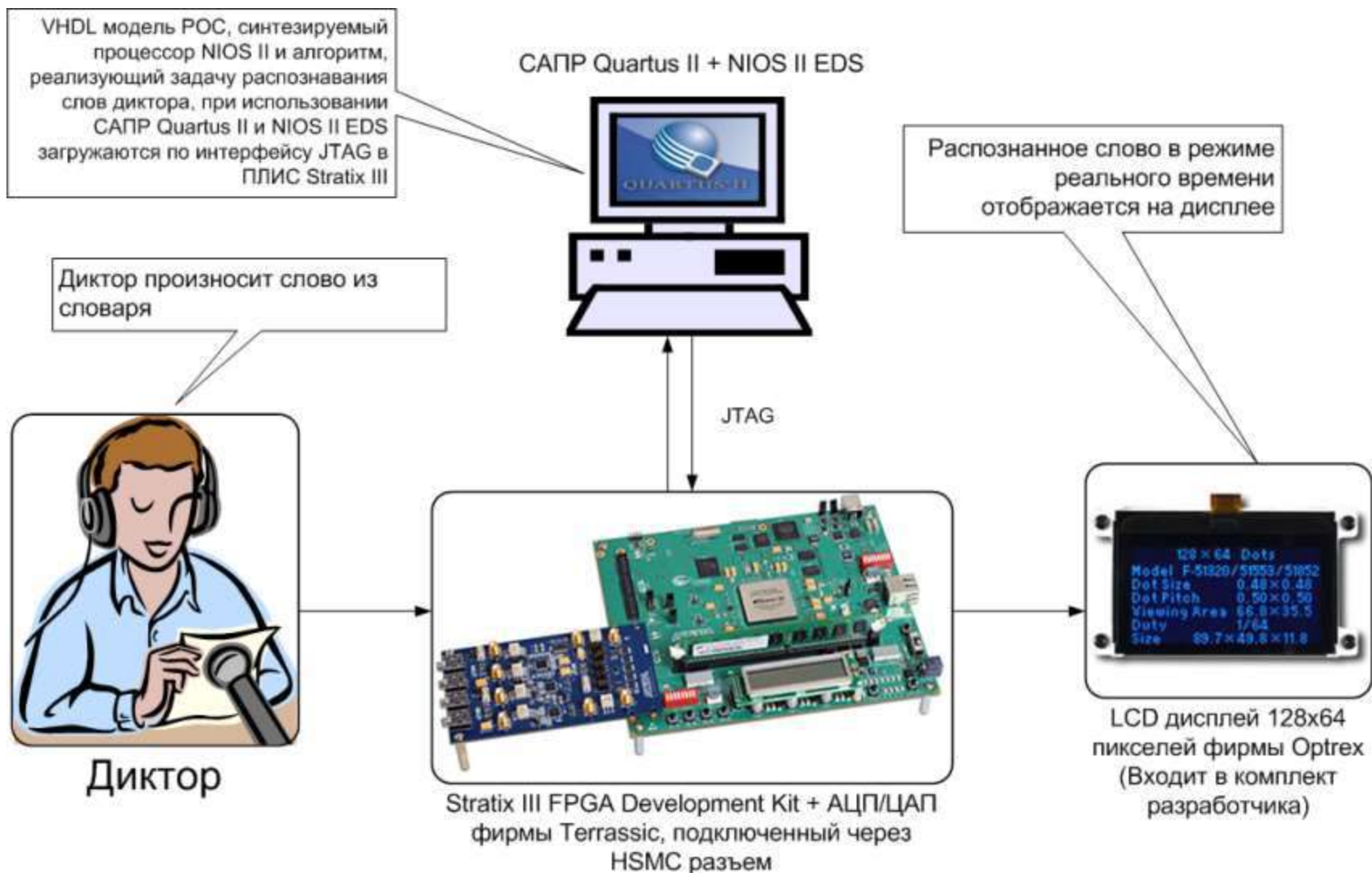
(DF/DD)



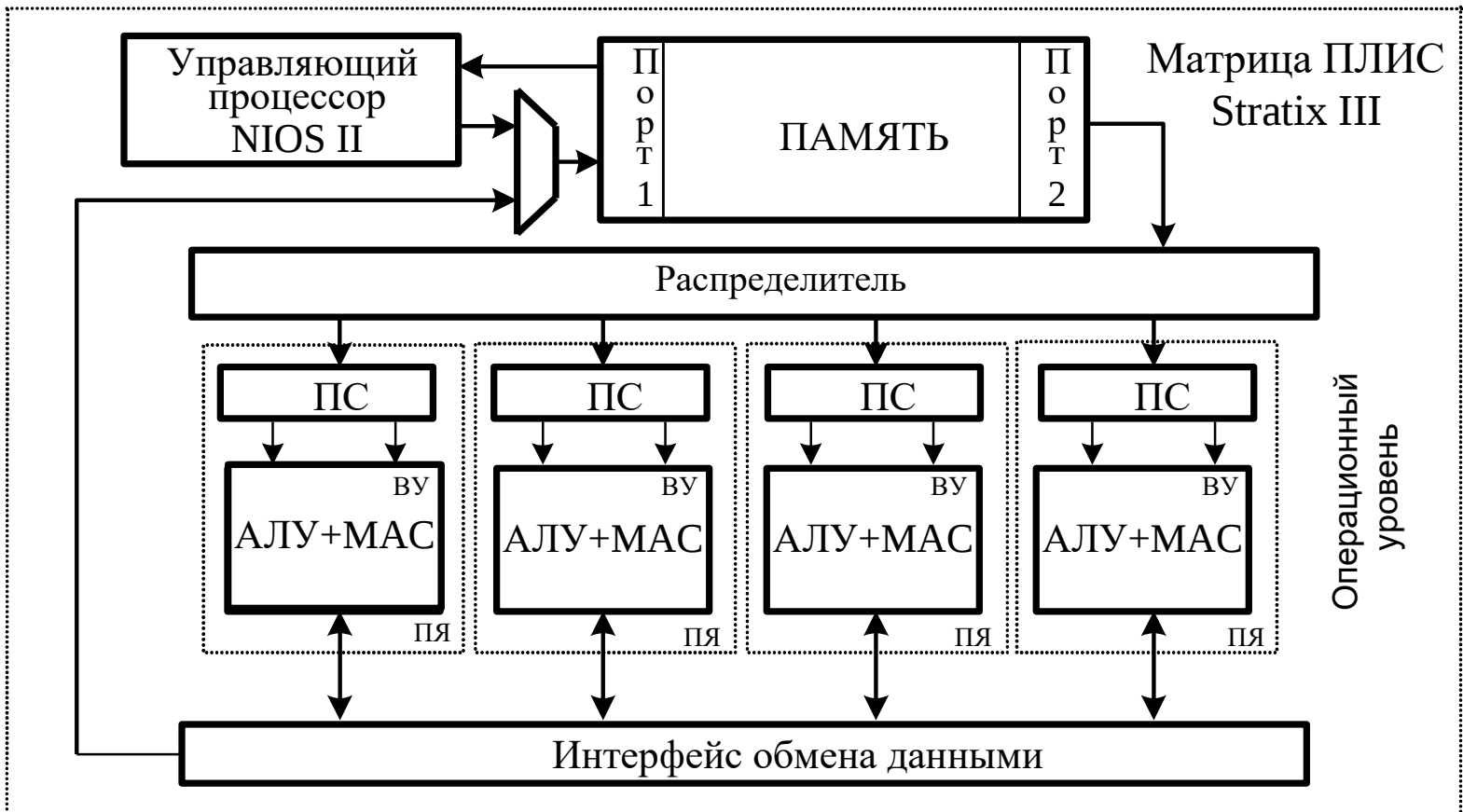
Выполнение команды в разных парадигмах



Рекуррентный обработчик сигналов



Рекуррентный обработчик сигналов



Система команд РОС

Система команд РОС включает в себя:

- арифметические команды;
- логические команды;
- сдвиги;
- управляющие команды;
- команды передачи данных;
- специальные команды:
 - * *BUTT* – Базовая операция Быстрого Преобразования Фурье «Бабочка»
 - * *ED* – Евклидово расстояние
 - * *LSP* – *LSP* - параметры

Режимы работы ВУ РОС

- **Обычный режим.**

В одну единицу времени на одном процессорном ядре исполняется одна команда.

- **Суперскалярный режим**

В одну единицу времени на одном процессорном ядре могут одновременно исполняться две команды с использованием двух регистров блока аппаратного умножения с накоплением (MAC).

- **Псевдосуперскалярный режим** позволяет выполнять команды умножения со сложением на аппаратном блоке MAC за один такт машинного времени.

Эффективность реализации алгоритмов

Алгоритм	Число шагов вычисления (ЧШВ)	Реализация		
		dsPIC30F	¼ РОС ²⁾	РОС
"Бабочка"	ЧШВ "бабочки"	9	4	4(4 бабочки)
Rasta-фильтрация	ЧШВ одного параметра	8	8	2
	Общее ЧШВ	400	-	27
Евклидово расстояние	ЧШВ одной координаты	2	1	1 (4)
	Общее ЧШВ	32	-	13
LSP-параметры	ЧШВ одного параметра	3	2	2 (4 параметра)
	Общее ЧШВ	62	-	16

Результаты синтеза в ПЛИС

ПЛИС Stratix III фирмы Altera

1) **Распределитель:**

- 1) Количество задействованных ALUT (из 38000): **640** (2%)
- 2) Количество регистров (из 38000): **1347** (4%)
- 3) Тактовая частота: **63,5 МГц**

2) **Память совпадений:**

- 1) Количество задействованных ALUT (из 38000): **250** (<1%)
- 2) Количество регистров (из 38000): **467** (1%)
- 3) Количество блоков памяти М9К (из 400): **3** (<1%)
- 4) Тактовая частота: **65,35 МГц**

3) **Вычислительное устройство:**

- 1) Количество задействованных ALUT (из 38000): **1145** (3%)
- 2) Количество регистров (из 38000): **161** (<1%)
- 3) Тактовая частота: **88.3 МГц.**

Программирование РОС

Система капсульного программирования и отладки (СКАТ) включает в себя:

- **Программный симулятор (с использованием ModelSim);**
- **Визуальный конструктор алгоритмов, исполняющихся на РОС (капсул);**
- **Средства отладки.**

Заключение

- По результатам исследований подана заявка на получение патента РФ на изобретение.
- Получено авторское свидетельство №2010610715 на систему капсульного программирования и отладки (СКАТ).
- В настоящий момент проект находится на стадии тестирования и отладки
- В перспективе планируется реализация самосинхронного варианта РОС на заказной элементной базе.
- Работы выполнены при финансовой поддержке...

• Спасибо за внимание!



**Институт Проблем Информатики РАН,
Отдел архитектур перспективных компьютерных
систем**

Юридический адрес:	119333, Москва, Вавилова, д.44, кор.2
Тел.:	+7 (499) 135-62-60
Факс:	+7 (495) 930-45-05