

СИНТЕЗ САМОСИНХРОННЫХ СХЕМ В БАЗИСЕ БМК

Плеханов Л.П., Денисов А.Н., Дьяченко Ю.Г.,
Степченков Ю.А., Мамонов Д.И., Степченков Д.Ю.



*Институт проблем информатики Федерального
исследовательского центра «информатика и управление»
Российской академии наук, Москва*



*Научно-производственный комплекс «Технологический центр»,
Москва*

СОДЕРЖАНИЕ

- ▣ **Что такое самосинхронные (СС) схемы?**
- ▣ **Маршрут проектирования СС схем**
- ▣ **Синтез СС схем**
- ▣ **Программная реализация синтеза СС схем**
- ▣ **Заключение**

КЛАССИФИКАЦИЯ СХЕМ



ПРЕИМУЩЕСТВА СС СХЕМ

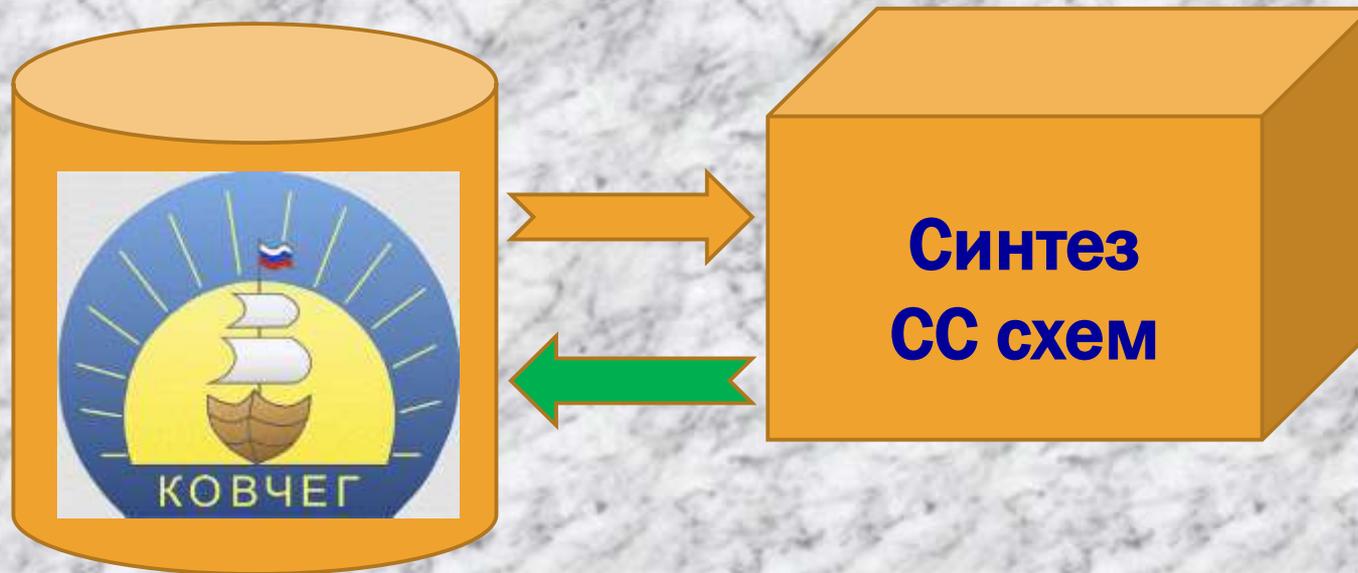
- Их работоспособность не зависит от задержек в элементах и проводах
- Отсутствие «гонок» сигналов
- Предельно широкий диапазон корректного функционирования по напряжению питания и температуре,
- Обнаружение и локализация константных неисправностей

ПРИНЦИПЫ РАБОТЫ СС СХЕМ

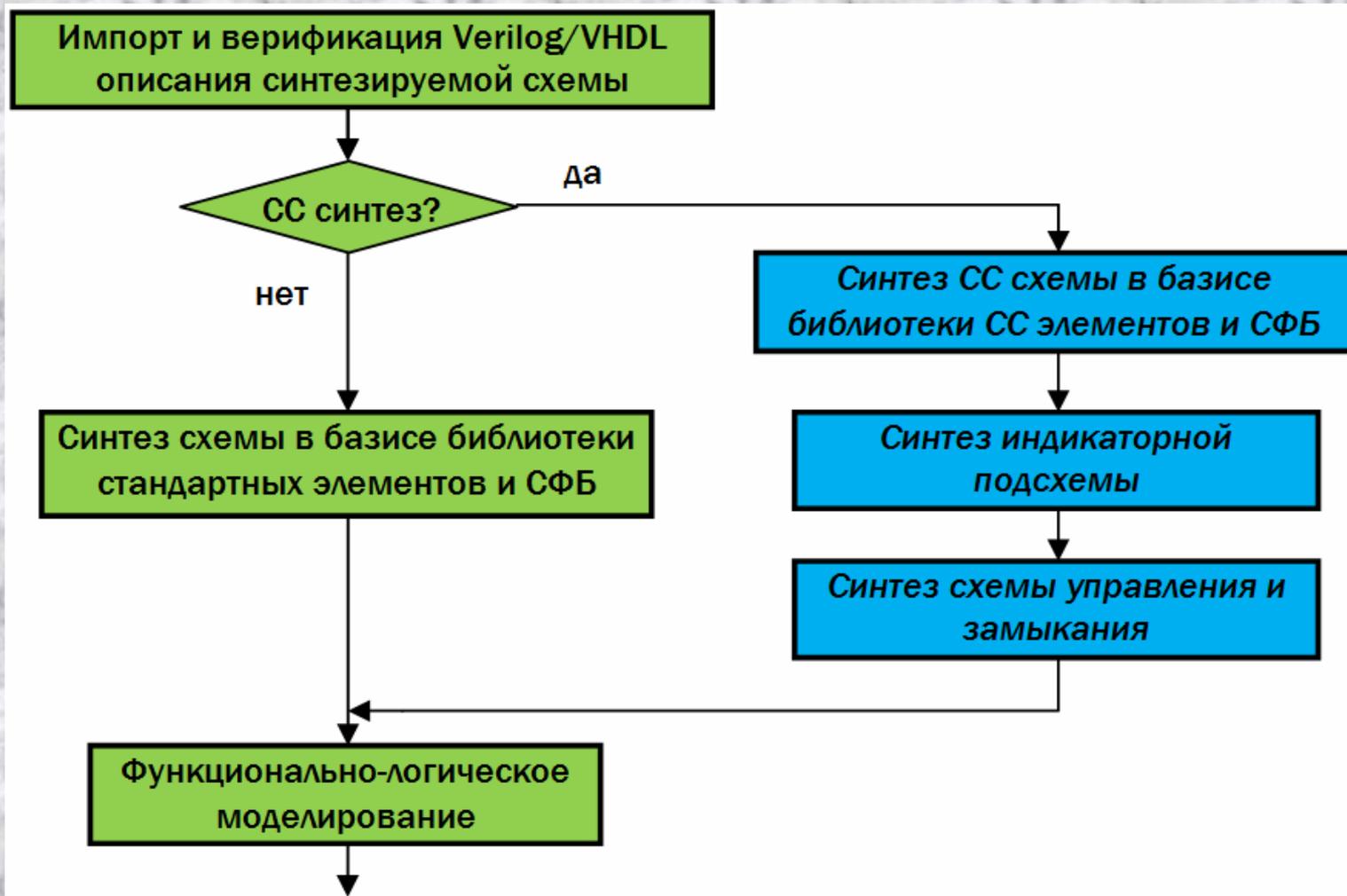
- ▣ **Двухфазная дисциплина:**
 - ❖ **Рабочая фаза (обработка данных)**
 - ❖ **Спейсер (пауза)**
- ▣ **СС кодирование сигналов**
- ▣ **Полная индикация выходов всех элементов схемы в каждой фазе**

АВТОМАТИЗАЦИЯ ПРОЕКТИРОВАНИЯ СС СХЕМ

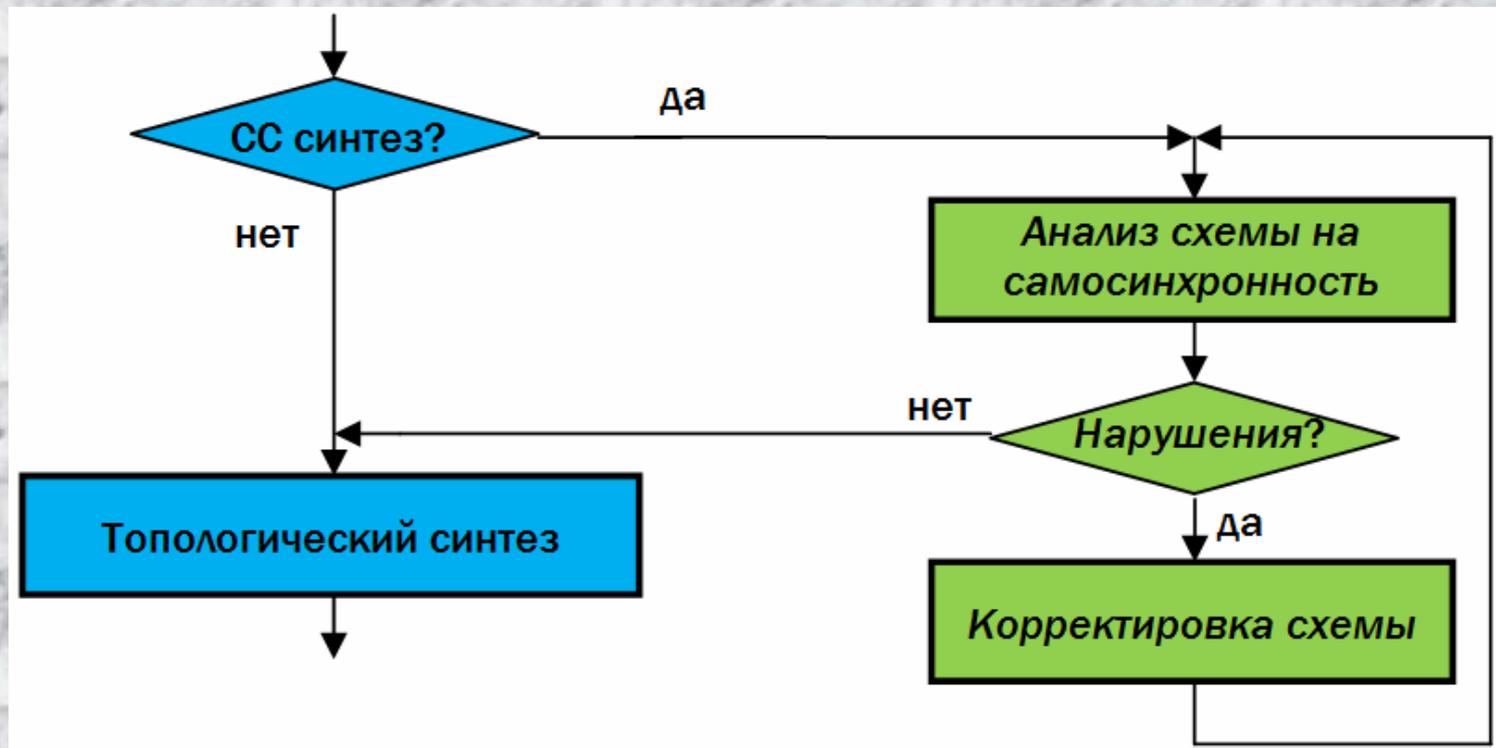
- ❖ NCL схемы – САПР «BALSA»
- ❖ Схемы Варшавского В.И. – САПР «Ковчег»



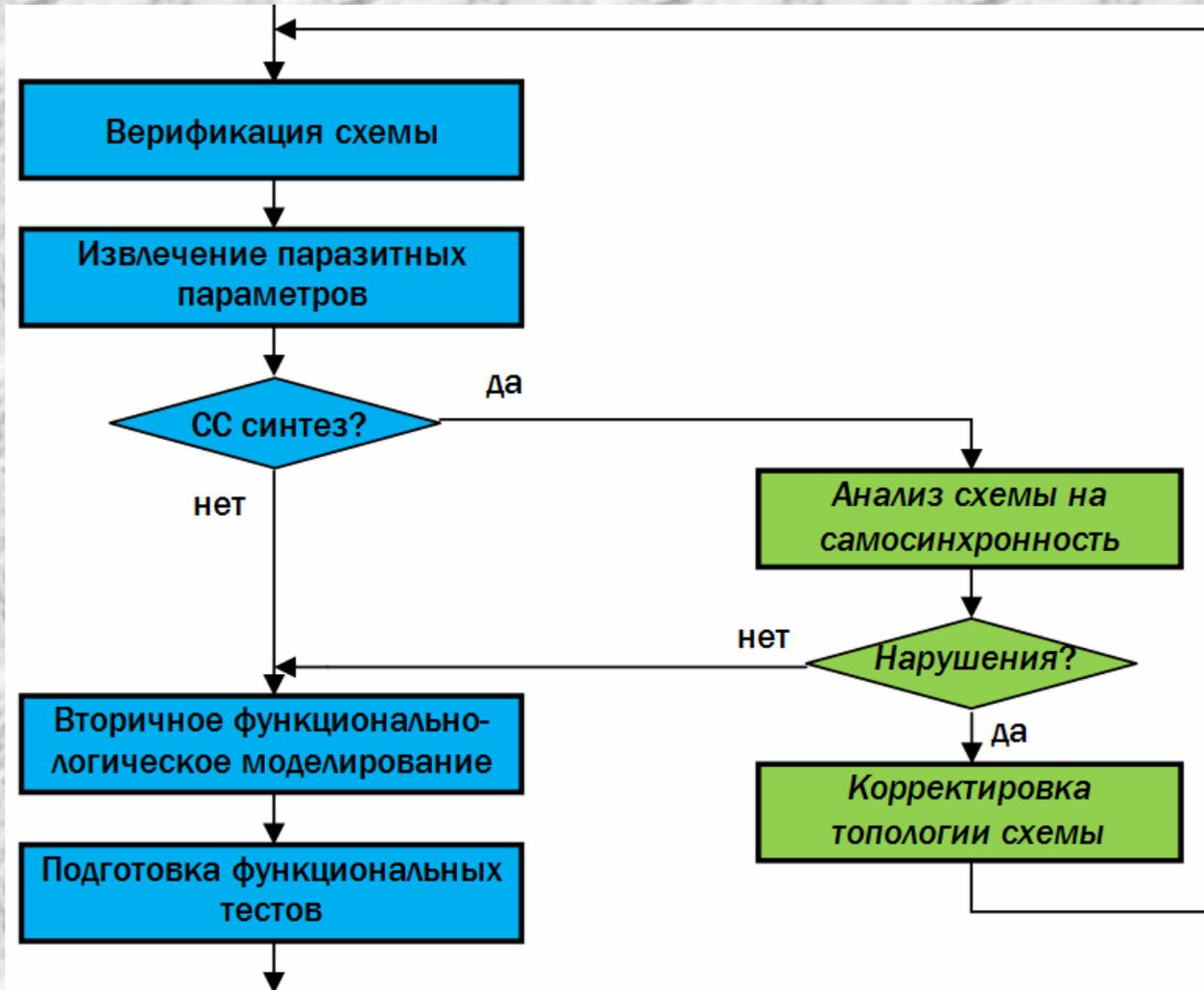
МАРШРУТ ПРОЕКТИРОВАНИЯ СС СХЕМ



МАРШРУТ ПРОЕКТИРОВАНИЯ СС СХЕМ



МАРШРУТ ПРОЕКТИРОВАНИЯ СС СХЕМ



ЛОГИЧЕСКИЙ СИНТЕЗ СС СХЕМ

Исходные данные для СС синтеза:

- ❖ Система логических функций
- ❖ СС атрибуты входов и выходов схемы
- ❖ Критерий оптимальности
- ❖ Файлы описания библиотек стандартных и СС элементов и СФБ

СИНТЕЗ ЛОГИКИ СС СХЕМ (1)

Этапы синтеза СС логики:

- ❖ Балансировка, минимизация и дуализация
- ❖ Декомпозиция сложных функций
- ❖ Оптимальное для заданного критерия покрытие функций библиотечными элементами
- ❖ Синтез индикаторной подсхемы

СИНТЕЗ ЛОГИКИ СС СХЕМ (2)

Исходная функция:

$$Y = A \& B \mid \sim B \& C \& D \mid \sim A \& C \& D$$

Балансировка:

$$Y = A \& B \mid \underline{B\$} \& C \& D \mid \underline{A\$} \& C \& D$$

Минимизация:

$$Y = A \& B \mid C \& D$$

Дуализация:

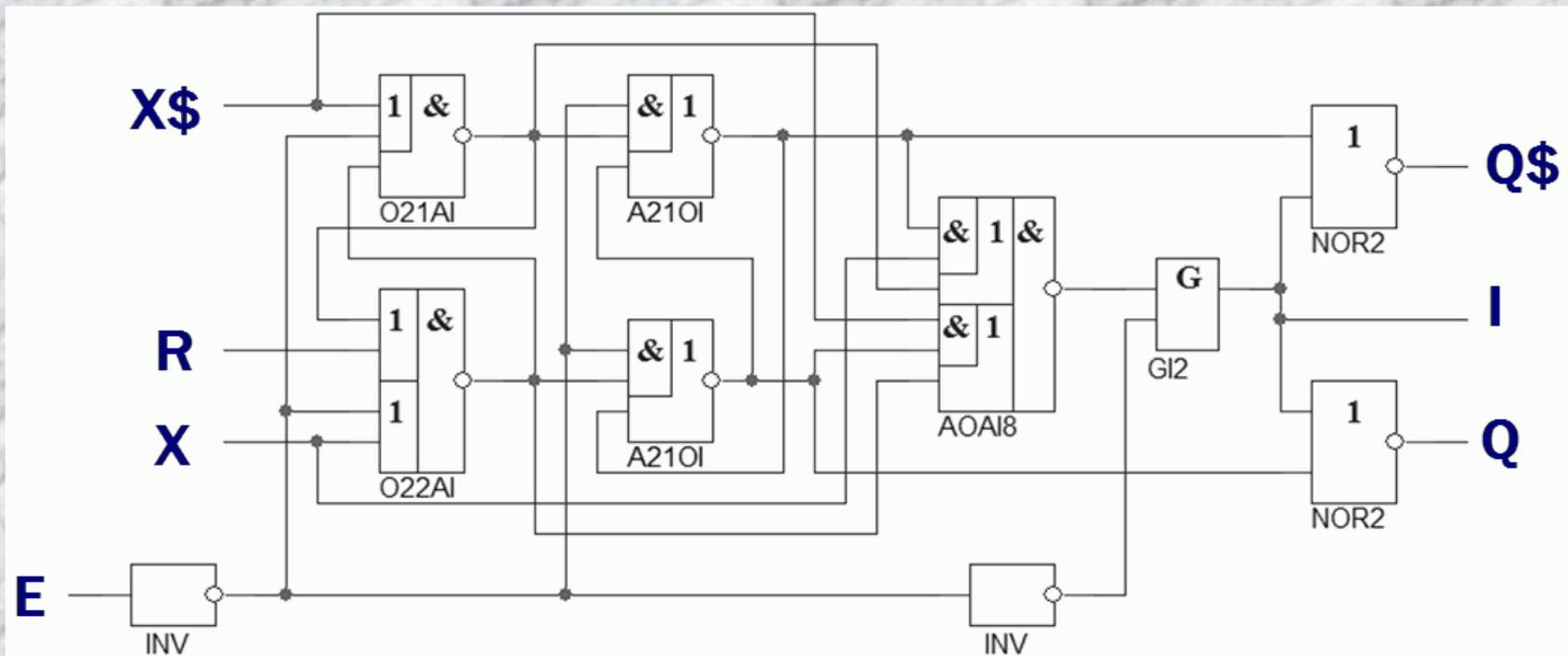
$$Y = A \& B \mid C \& D$$
$$Y\$ = (A\$ \mid B\$) \& (C\$ \mid D\$)$$

Сопряженные
переменные

Парафазный
сигнал

СИНТЕЗ СС РЕГИСТРОВ (1)

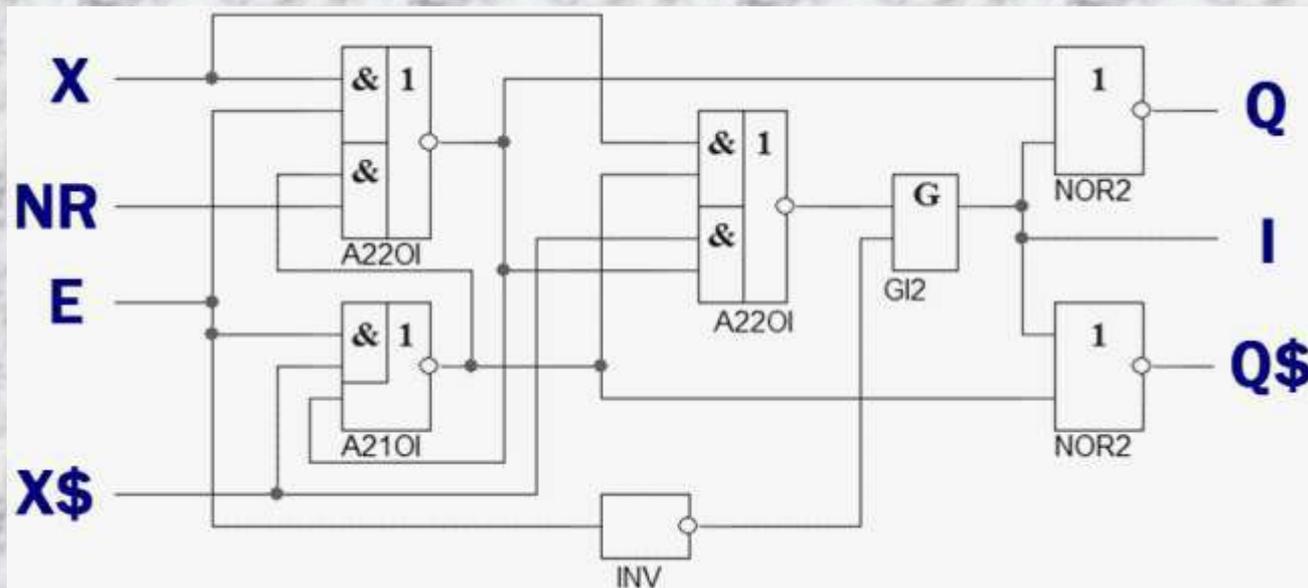
На двухтактных RS-триггерах



62 КМОП транзистора

СИНТЕЗ СС РЕГИСТРОВ (2)

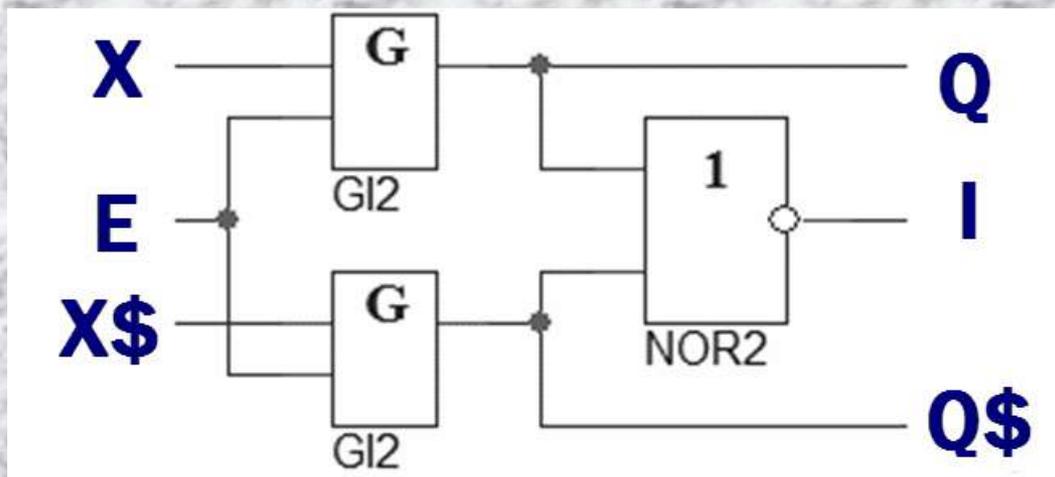
На одноктактных RS-триггерах



44 КМОП транзистора

СИНТЕЗ СС РЕГИСТРОВ (3)

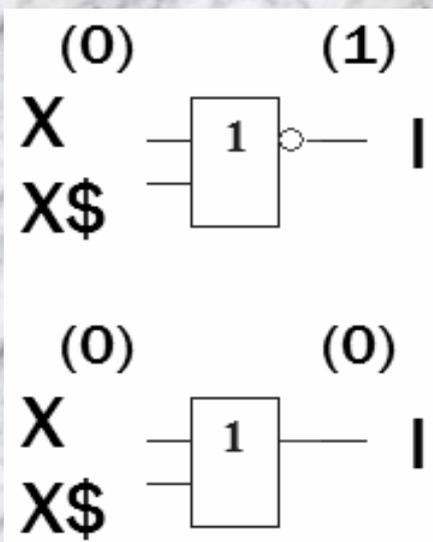
На гистерезисных триггерах



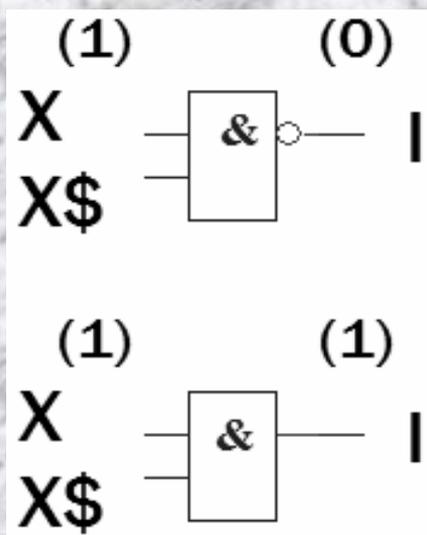
28 КМОП транзисторов

СИНТЕЗ ИНДИКАТОРНОЙ ПОДСХЕМЫ (1)

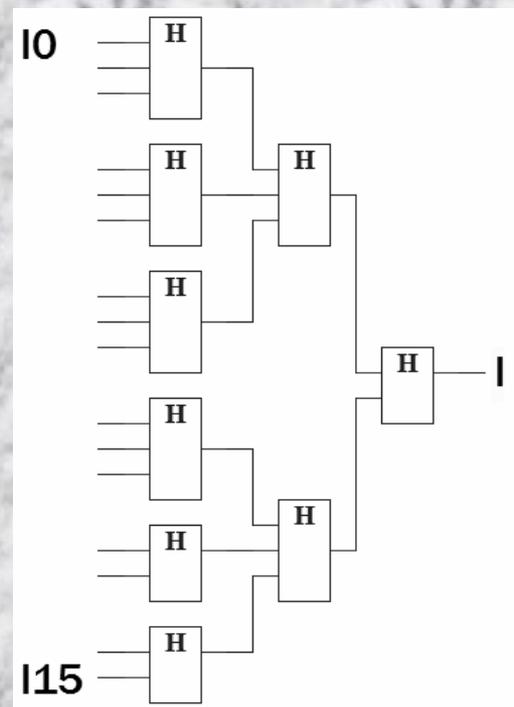
Индикация
нулевого
спейсера



Индикация
единичного
спейсера



Сборка
индикаторных
сигналов



СИНТЕЗ ИНДИКАТОРНОЙ ПОДСХЕМЫ (2)

Этапы синтеза индикаторной подсхемы:

- ❖ Генерация сигналов, индицирующих парафазные сигналы
- ❖ Группирование индикаторных сигналов по времени их переключения
- ❖ Покрытие всей совокупности индикаторных сигналов «деревом» гистерезисных триггеров
- ❖ Доопределение типа спейсера информационных и индикаторных выходов схемы в соответствии с указанными атрибутами

СИНТЕЗ СХЕМЫ УПРАВЛЕНИЯ И ЗАМЫКАНИЯ

Схема управления и замыкания обеспечивает:

- ❖ Запрос-ответный механизм взаимодействия СС блоков на всех уровнях иерархии схемы
- ❖ Соблюдение СС дисциплины формирования информационных и фазовых сигналов

Правило СС конвейера:

Текущая ступень может начать переключение в спейсер (рабочую фазу), если следующая в ступень завершила переход в рабочую фазу (спейсер), а предыдущая закончила переключение в спейсер (рабочую фазу)

АНАЛИЗ НА САМОСИНХРОННОСТЬ

Последовательность шагов:

- ❖ Описание блоков нижнего уровня иерархии схемы для анализа функциональным методом
- ❖ Проведение анализа блоков нижнего уровня программой ФАЗАН
- ❖ Подготовка и верификация спецификаций блоков, прошедших успешную проверку на самосинхронность на нижнем уровне иерархии
- ❖ Поэтапная проверка на самосинхронность всей схемы снизу вверх программой ЛИМАН
- ❖ Коррекция описания блока или всей схемы при обнаружении нарушения самосинхронности

СИНТЕЗ ТОПОЛОГИИ СХЕМЫ

Этапы синтеза топологии СС схемы:

- ❖ Подготовка скрипта, обеспечивающего синтез каждого функционального блока в пределах эквивалентной зоны и регулирующего процесс добавления в схему усиливающих буферов
- ❖ Проведение анализа схемы на самосинхронность с учетом восстановленных из топологии паразитных параметров
- ❖ При обнаружении нарушений самосинхронности – корректировка скрипта синтеза топологии и повторный автоматический синтез топологии

ПРОГРАММНАЯ РЕАЛИЗАЦИЯ СИНТЕЗА СС СХЕМЫ

Особенности подсистемы синтеза СС схемы:

- ❖ Является развитием программ синтеза СС схем малого объема
- ❖ Встраивается в САПР полузаказных СБИС «Ковчег» (НПК «Технологический центр», Москва)
- ❖ Использует для описания СС схем текущую версию стандарта Verilog
- ❖ Использует библиотеку СС функциональных ячеек 5503СС

ЗАКЛЮЧЕНИЕ

- Расширение библиотеки стандартных элементов САПР "Ковчег" СС элементами обеспечило успешную интеграцию специфичных этапов проектирования СС схем в САПР "Ковчег" и получение единого маршрута автоматизированного проектирования синхронных и СС схем
- Главное отличие синтеза СС схем от синтеза синхронных схем заключается в синтезе СС логики, индикаторной подсхемы и подсхемы замыкания
- Анализ на самосинхронность после топологическо-го синтеза подтверждает отсутствие нарушений самосинхронности, внесенных топологической реализацией схемы

**Спасибо за
внимание!**

КОНТАКТЫ

- ▣ Адрес: Институт проблем информатики Федерального исследовательского центра «Информатика и управление» Российской академии наук (ИПИ РАН), Россия, 119333, Москва, ул. Вавилова, д. 44, корпус 2
- ▣ Директор: Академик Соколов И. А.
- ▣ Телефон: +7 (495) 137 34 94
- ▣ Fax: +7 (495) 930 45 05
- ▣ E-mail: ISokolov@ipiran.ru

- ▣ Докладчик: Плеханов Л.П., +7(916)277-48-34, lplekhanov@inbox.ru