

САМОСИНХРОННОЕ УСТРОЙСТВО УМНОЖЕНИЯ- СЛОЖЕНИЯ ГИГАФЛОПСНОГО КЛАССА: МЕТОДОЛОГИЧЕСКИЕ АСПЕКТЫ

И.А. Соколов, Ю.А. Степченков, Ю.В. Рождественский, Ю.Г. Дьяченко,



Учреждение Российской академии наук Институт
проблем информатики РАН (ИПИ РАН)

МЭС-2014

Москва, 29 сентября – 3 октября

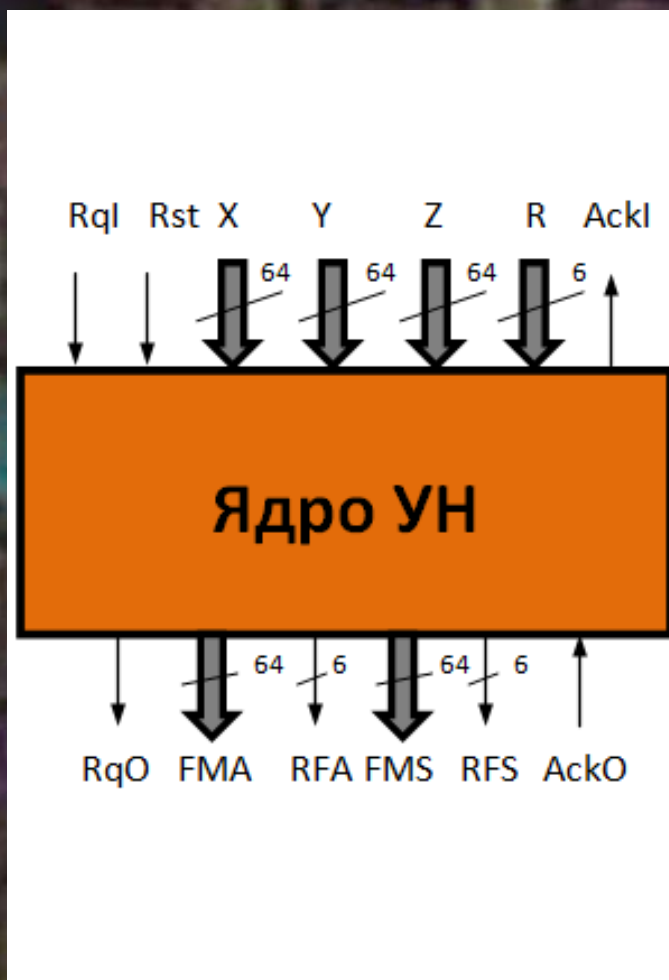
Содержание

- ▣ Самосинхронное устройство умножения-сложения (УС): подходы к реализации
- ▣ Умножитель с избыточным кодированием операндов
- ▣ Особенности конвейеризации УС
- ▣ Варианты исполнения УС
- ▣ Заключение

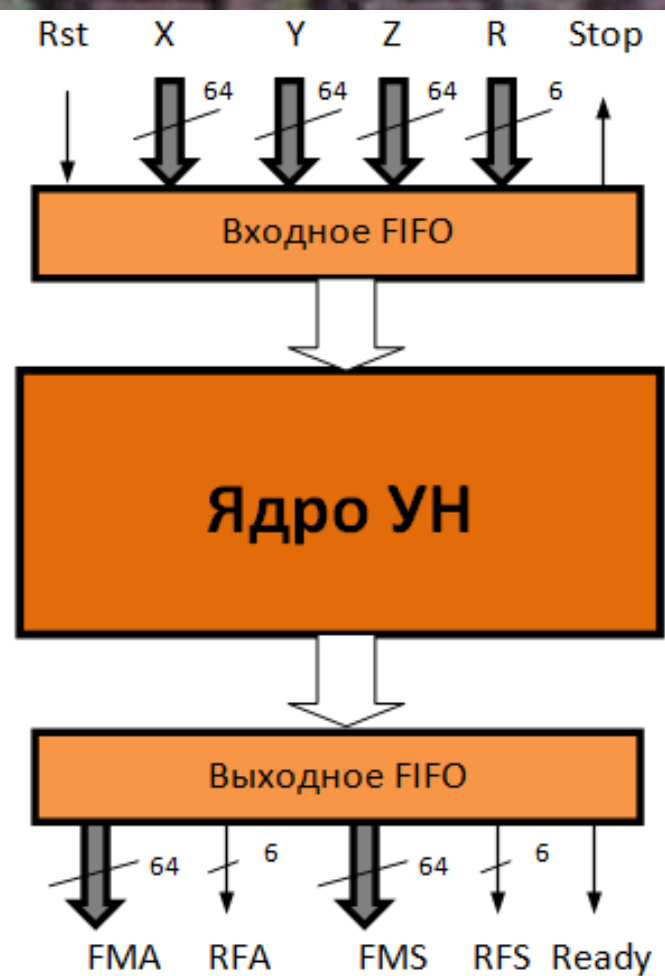
Особенности УС

- ▣ Формат входных операндов соответствует стандарту IEEE754
- ▣ Выполняется одна операция двойной точности или сразу две операции одинарной точности
- ▣ Результат – сумма и разность третьего операнда и произведения двух операндов

Варианты УС

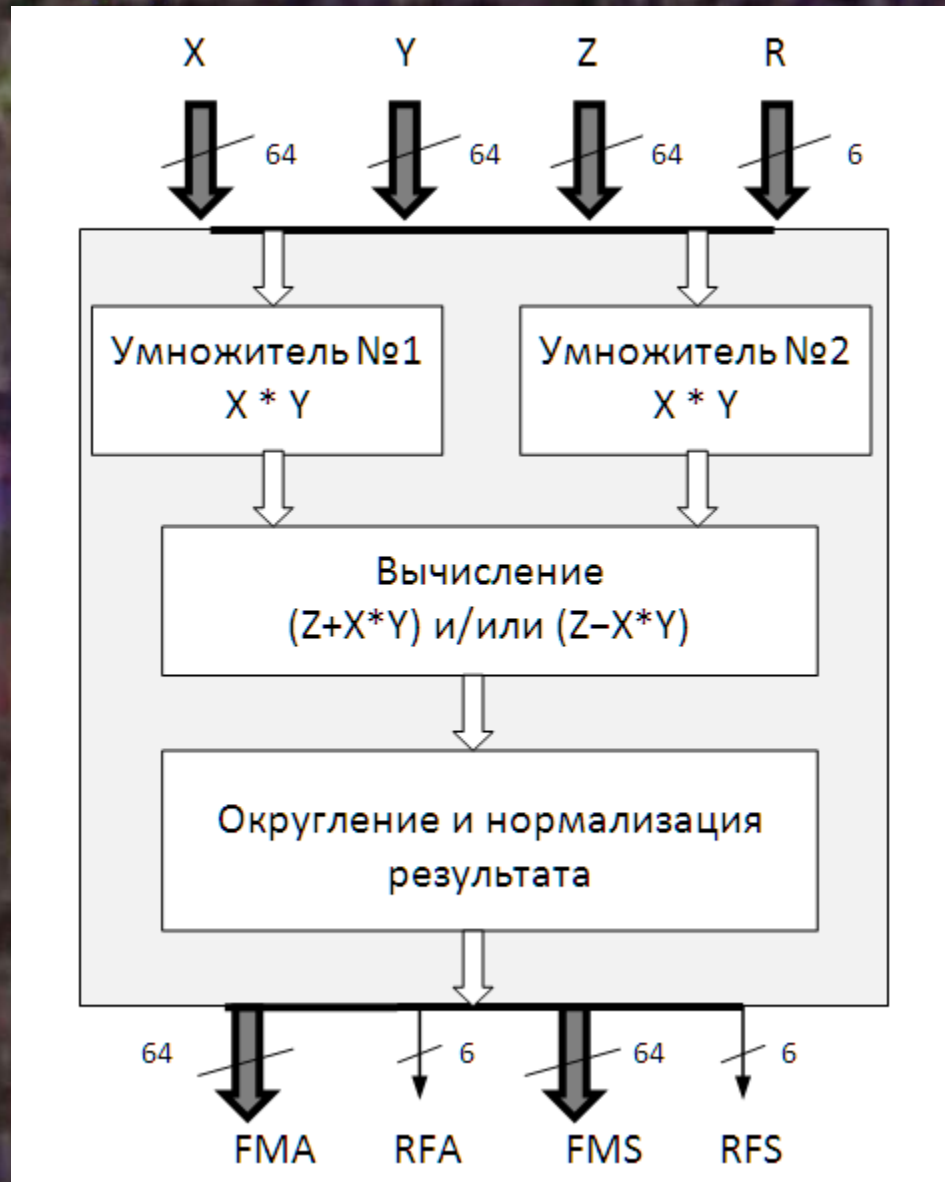


Для А-окружения



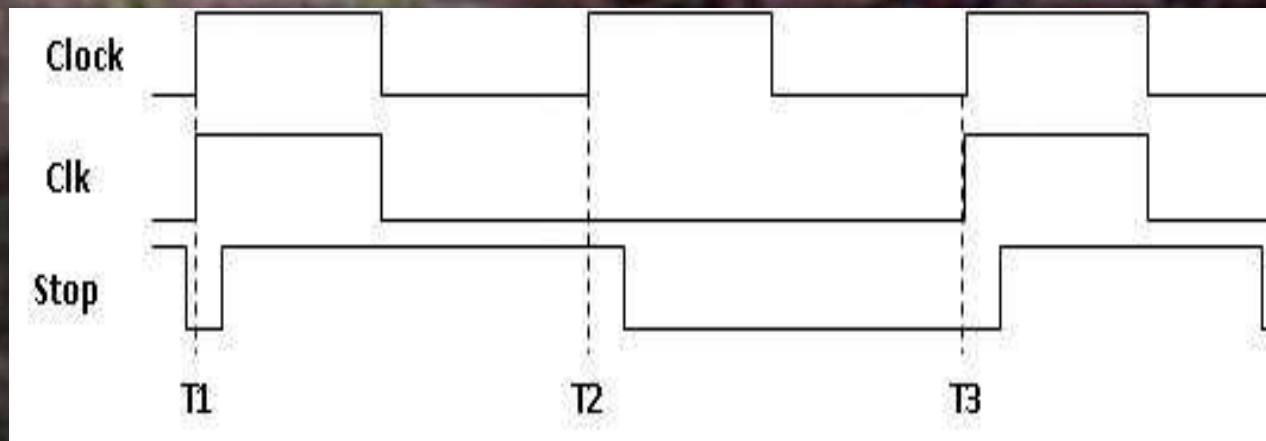
Для С-окружения

Структурная схема ядра УС

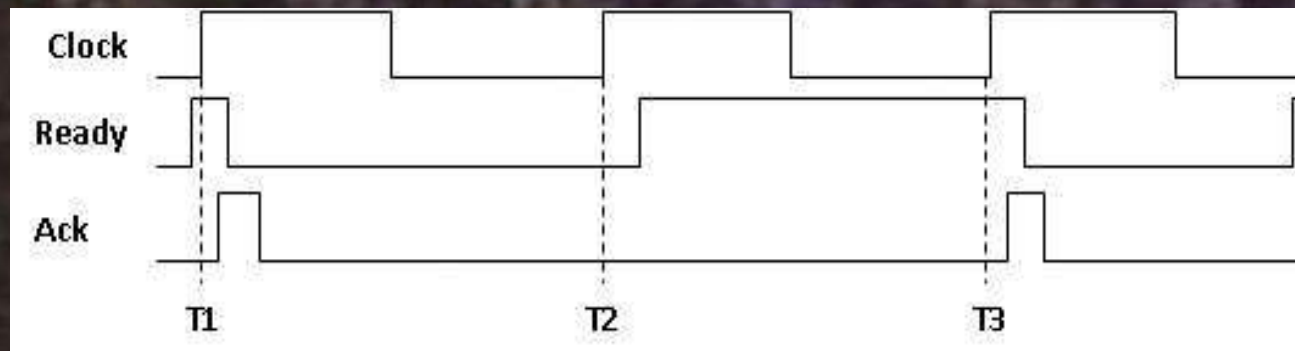


Интерфейс с окружением

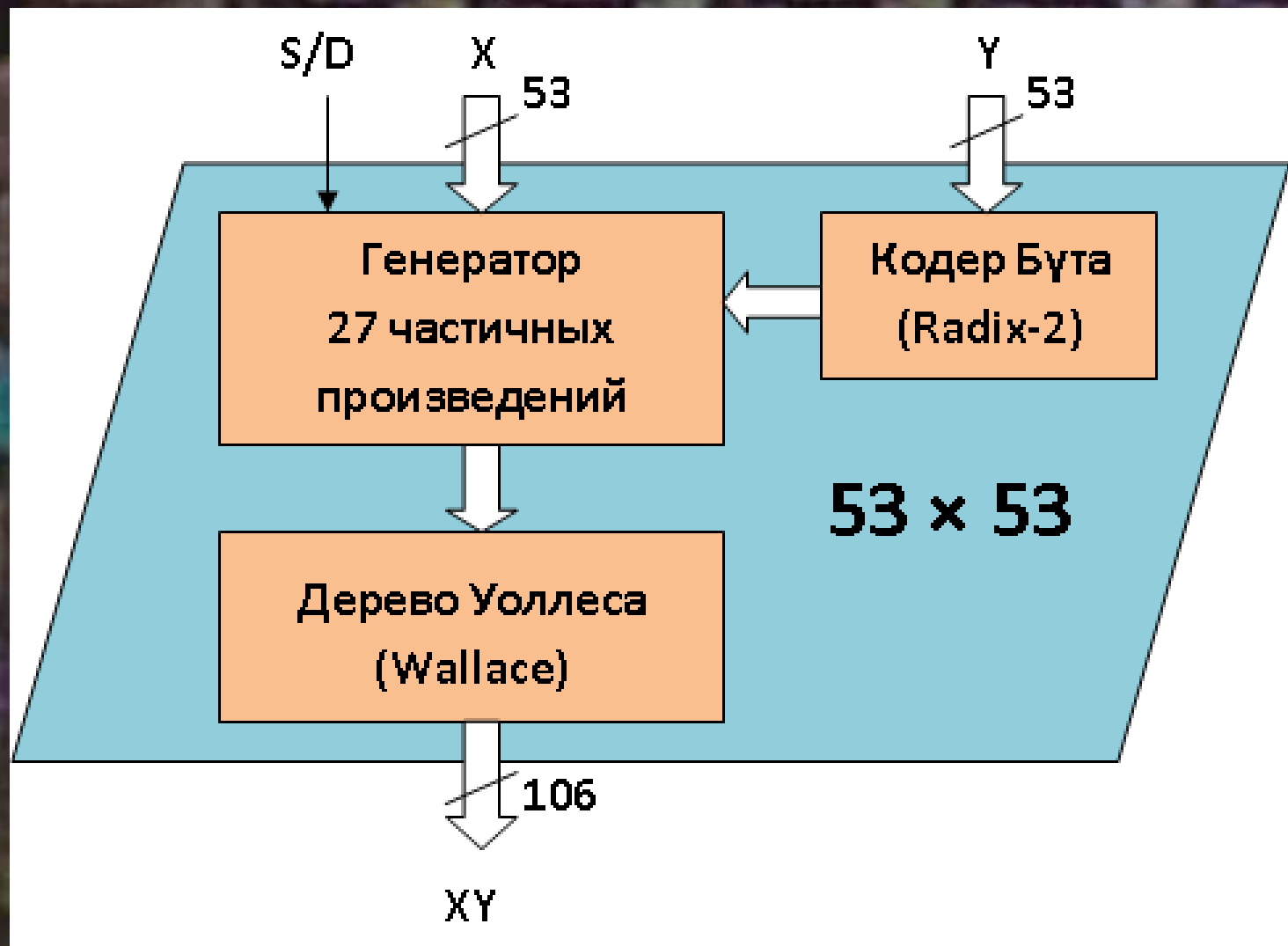
Проблемы входного интерфейса



Проблемы выходного интерфейса



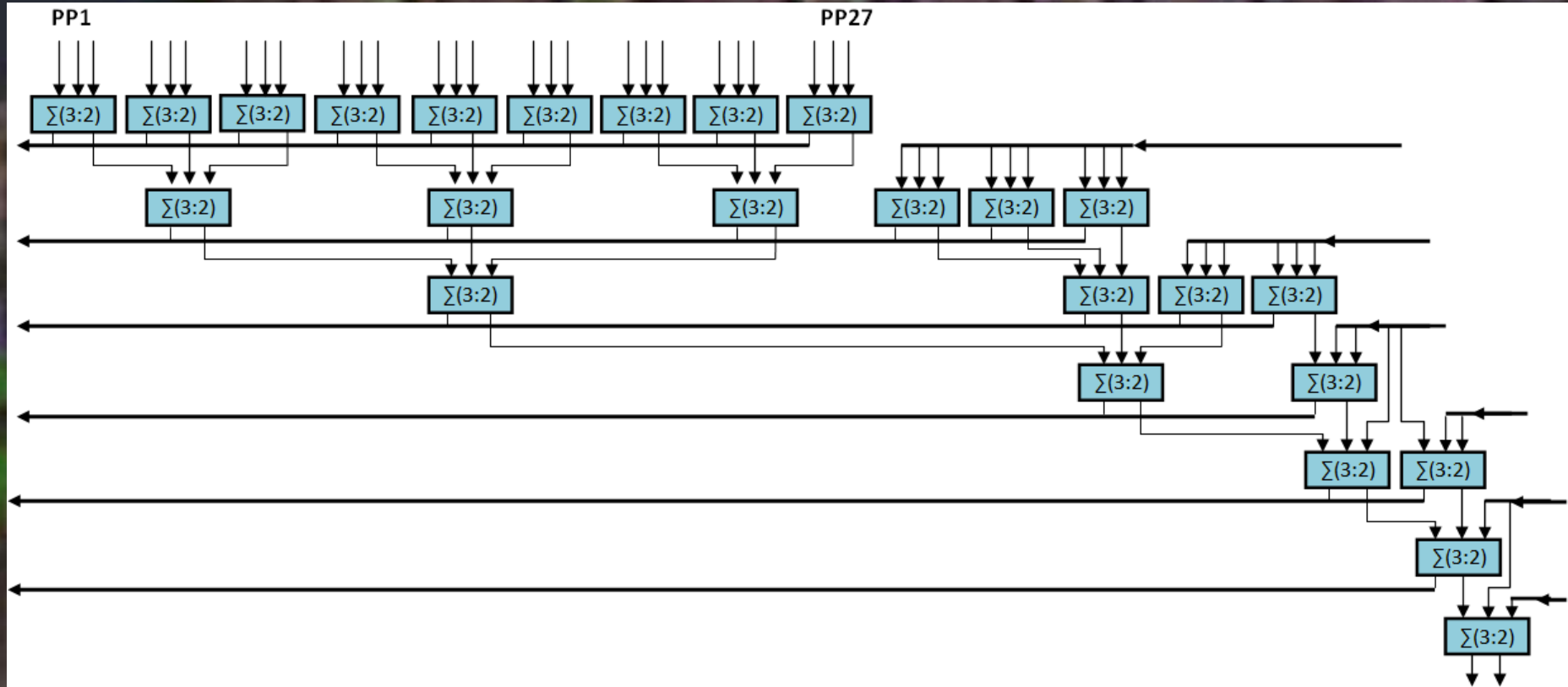
Умножитель 53x53



Синхронное двоичное Кодирование (СДК)

Состояние	A	B
+1	1	0
0	0	0
-1	0	1
Не используется	1	1

Двоичное дерево Уоллеса

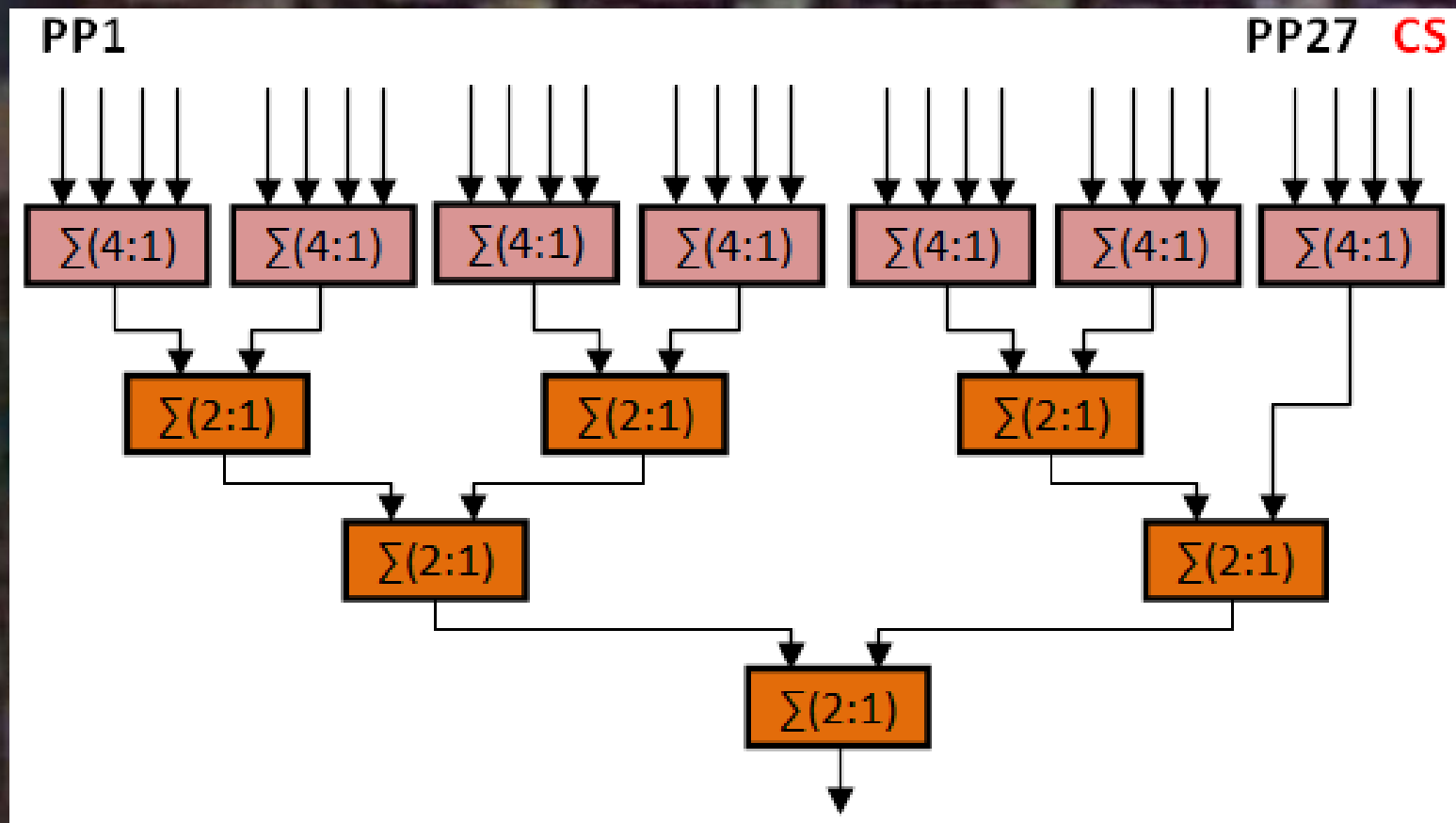


Все сигналы – парафазные

СамоСинхронное Избыточное Кодирование (ССИК)

Состояние	A_p	A_m	A_n
+1	1	0	0
0	0	1	0
-1	0	0	1
спейсер	0	0	0

ССИК дерево Уоллеса



Частичные произведения – парафазные,
остальные сигналы – ССИК-типа.

CS – корректирующее парафазное слагаемое

Особенности конвейеризации СС-УС

- При конвейерной реализации $t_{\text{умн.к}}$ можно оценить:

$$t_{\text{умн.к}} = t_{\text{конв.н.}} + t_{\text{умн.}}/n$$

- В синхронных схемах каждом этапе конвейера, удавалось реализовать условие:

$$t_{\text{умн.}} \gg t_{\text{конв.н.}}$$

Это позволяло использовать конвейеризацию в умножителе с $n = 5 \div 7$ и выше. Однако при этом существенно росли аппаратные затраты и энергопотребление.

- Вследствие наличия индикаторных цепей в SIFMA для них

$$t_{\text{конв.н.}} \sim 0,5 t_{\text{умн.}}$$

- Это снижает эффективность конвейеризации или заставляет от нее отказаться.

Заключение

- В супер-ЭВМ, когда число ядер достигает сотен миллионов, необходимо существенно усиливать аппаратную составляющую средств обеспечения надёжности и достоверности результатов вычислений. Предложенная СС-схемотехника обеспечивает высокую эффективность в решении этой задачи.
- Впервые в отечественной и зарубежной практике предпринята попытка разработки SIFMA-устройства в виде схемы, поведение которой не зависит от задержек элементов и в проводах до точки разветвления
- При разработке СС-сумматоров и блоков FMA целесообразно использовать наряду с парафазным, троичный СС-код
- Из всего многообразия алгоритмов следует выбирать аппаратно оправданные решения с минимальным числом этапов, требующих индикации завершения операций обработки.

Контакты

- Директор: Академик Соколов И. А.
- Адрес: Федеральное государственное бюджетное учреждение науки Институт проблем информатики Российской академии наук (ИПИ РАН), Россия, 119333, Москва, ул. Вавилова, д. 44, корпус 2
 - ▣ Телефон: 7 (495) 137 34 94
 - ▣ Fax: 7 (495) 930 45 05
 - ▣ E-mail: ISokolov@ipiran.ru
- ▣ Докладчик: Степченков Ю.А., (495) 678-15-10,
YStepchenkov@ipiran.ru