

Использование самосинхронной логики для снижения потребляемой мощности и повышения надёжности микропроцессоров

С.Г. Бобков¹, М.С. Горбунов¹, Ю.Г. Дьяченко², Ю.В. Рождественский², Ю.А. Степченков²,

А.В. Сурков¹

¹Федеральное государственное учреждение науки Научно-исследовательский институт системных исследований РАН (НИИСИ РАН), surkov@cs.niisi.ras.ru

²Федеральное государственное учреждение науки Институт проблем информатики РАН (ИПИ РАН), {YStepchenkov, YRogdest, YDiachenko}@ipiran.ru

Аннотация — В статье дается обоснование использования самосинхронной логики с целью повышения надежности и снижения потребляемой мощности микропроцессорных систем.

Ключевые слова — микропроцессоры, КОМДИВ, самосинхронные схемы, суперкомпьютеры.

I. ВВЕДЕНИЕ

Разработка систем бортовой электроники насчитывает уже несколько десятилетий, накоплен огромный опыт в проектировании вычислительных комплексов, предназначенных для работы в широких температурных диапазонах, при нестабильном питании, а также устойчивых к влиянию космического излучения. Одновременно в связи с наращиванием сложности используемых при расчетах алгоритмов возрастают требования к вычислительным мощностям. Это обуславливается увеличением точности расчета траекторий и предварительной обработкой растущих объемов передаваемой на Землю информации. Все перечисленные задачи требуют сложных математических вычислений, которые под силу только мощным микропроцессорам с внутренней кэш-памятью и наличием аппаратных возможностей вычисления математических функций. Требования повышения надёжности и в том числе радиационной стойкости микропроцессоров остро встают и при создании суперЭВМ. Переход к технологическим нормам 20-28 нм привёл к существенному снижению радиационной стойкости микросхем, сбой микропроцессоров становятся регулярными не только во время солнечных вспышек. Соответственно становится актуальным применение технологий проектирования микросхем космического назначения для создания высокопроизводительных микропроцессоров.

II. ЭЛЕМЕНТАРНАЯ БАЗА КОСМИЧЕСКОГО НАЗНАЧЕНИЯ

Микропроцессор является основным узлом, ответственным за функционирование космических аппаратов и их отдельных узлов. Микропроцессоры различают как по производительности, так по условиям эксплуатации. К примеру, бортовое оборудование может работать в условиях, приближенных к земным и выполнять основную массу расчетов, в то время как наружные сенсоры систем телеметрии (так называемые распределенные сенсорные сети) эксплуатируются в условиях, близких к экстремальным, но при этом производят минимальное количество вычислений. Многое зависит и от назначения конечного изделия: если его эксплуатация подразумевает только лишь размещение на низких орбитах, то существенную защиту от космического излучения обеспечивают магнитные пояса Земли, и серьезная защита не требуется. В противном случае необходимо приложить максимум усилий по дополнительной защите бортовой электроники. Высочайшие требования к надежности существенно сокращают выбор элементной базы в целом, и микропроцессоров в частности. Наиболее известными разработчиками микропроцессоров космического применения за рубежом являются компании BAE Systems и Honeywell с архитектурой PowerPC, Европейское космическое агентство с архитектурой SPARC V8 (LEON2FT, LEON3FT, выпускаемые компаниями Atmel и Aeroflex), а также Sanova с архитектурой MIPS. Разработки для космоса требуют специальных знаний и исследований, а также комплексного подхода к задачам схемотехники, технологии, конструирования и производства. В настоящее время в НИИСИ РАН активно создается линейка микропроцессоров космического применения с архитектурой КОМДИВ с использованием всех последних наработок института и результатов исследований как в области схемотехники, так и технологии производства [1]. Изготовление микропроцессоров производится на технологическом комплексе

НИИСИ РАН с нормами КНИ 0,5-0,25 мкм. Основным фактором повышения радиационной стойкости и сбоеустойчивости микропроцессоров является использование оригинальной технологии производства кристаллов и оригинальных библиотек с технологическими нормами 0,5-0,25 мкм. Кроме этого, во всех микропроцессорах используется резервирование (дублирование и троирование узлов), кэш-память 2-го уровня и сис-

темная память защищены кодом Хсяо или Хэмминга, а встроенные блоки MBIST позволяют тестировать память процессора во время работы [1]. В табл. 1 приводится сравнение основных характеристик микропроцессоров КОМДИВ радиационностойкого применения.

Таблица 1

Сравнение микропроцессоров КОМДИВ радиационностойкого применения

Наименование параметра, единица измерения	Значения параметра						
	5890BE1T	5890BM1T	1900BM2T	1907BM014	1907BM038	1907BM044	1907BM028
Частота, МГц	33	33	66	100	125	66	150
Архитектура	КОМДИВ 32	КОМДИВ 32	КОМДИВ 32	КОМДИВ 32	КОМДИВ 32	КОМДИВ 32	КОМДИВ 64
Конвейер, стадии	5	5	5	8	8	8	7
Встроенный системный контроллер	да	нет	нет	да	да	да	да
Контроллер интерфейса ГОСТ Р 52070-2003	нет	нет	нет	да	нет	да	нет
Полная доза, не менее	200 крад (Si)	200 крад (Si)	200 крад (Si)	250 крад (Si)	250 крад (Si)	250 крад (Si)	250 крад (Si)
Троирование/ дублирование	нет	нет	да	нет	нет	да	нет
Температура среды, °С	-60 - +85	-60 - +125	-60 - +125	-60 - +125	-60 - +125	-60 - +125	-60 - +125
Нормы изготовления, мкм	0,5 КНИ	0,5 КНИ	0,35 КНИ	0,25 КНИ	0,25 КНИ	0,25 КНИ	0,25 КНИ
Потребляемая мощность, Вт	2,4	1,7	2,9	5,0	6,0	7,0	5,5
Размер L2 кэш-памяти	-	-	-	-	-	-	256 Кбайт
Число Serial RapidIO 4X	-	-	-	-	1	-	1
Число Ethernet	-	-	-	1	-	-	1
Число Манчестер	-	-	-	2	-	2	-
Число SpaceWire	-	-	-	2	4	2	-
Схемотехнические решения повышения сбоеустойчивости	нет	да	да	да	да	да	да
Пороговая величина ЛПЭ ТЗЧ по тиристорному эффекту, не менее		80 МэВ×см ² /мг					
Пороговая величина ЛПЭ ТЗЧ по одиночным событиям, не менее			6 МэВ×см ² /мг			6 МэВ×см ² /мг	
Начало серийного выпуска	2009	2011	2012	4 кв. 2014	4 кв. 2015	4 кв. 2015	4 кв. 2014

Как уже отмечалось, следует различать устройства, функционирующие на сравнительно невысокой околоземной орбите, и устройства для многолетней эксплуатации в дальнем космосе или в условиях прохождения через радиационные пояса планет-гигантов. Аппаратура для дальнего космоса требует значительного повышения надёжности вычислительных систем и без ре-

шения этой задачи невозможно планировать дальнейшее развитие космической отрасли.

Одной из главных проблем эксплуатации КМОП СБИС в составе бортовых систем космических аппаратов является тиристорный эффект, или эффект «защёлки», возникающий при попадании отдельной ядерной частицы в чувствительную область. В результате попадания включается паразитная тиристорная структура

[2]-[5]. Значительный протекающий ток может привести к локальному прогоранию. Для предотвращения возникновения этого эффекта используется внешний монитор питания, выключающий микросхему при возникновении значительного тока в цепи питания, а также конструктивно-топологические и технологические методы. К первой группе методов относятся охранные кольца [6] и глубокий N-карман [7]. Эти методы отличаются по своей эффективности в зависимости от конкретной реализации. В большинстве случаев применение конструктивно-топологических методов приводит к значительному росту занимаемой площади и усложнению металлической разводки, что в современных технологиях с проектными нормами менее 0,18 мкм приводит к росту паразитных элементов и, следовательно, к снижению быстродействия. В микропроцессорах разработки НИИСИ РАН на базе своего производства используется технологический метод: в КНИ технологии все транзисторы изолированы друг от друга со всех сторон и скрытый оксид препятствует возникновению паразитных структур.

Другим методом борьбы с тиристорным эффектом является снижение напряжения питания: это позволяет удерживать напряжение питания ниже напряжения включения тиристора. Недостатки такого метода для синхронных схем очевидны:

- при снижении питания растут задержки,
- возникает рассинхронизация.

Ниже будет показано, что асинхронные схемы, в отличие от синхронных схем, способны сохранять полную работоспособность в большом диапазоне напряжений питания.

Одним из перспективных направлений повышения надёжности является использование самосинхронных схем, являющихся частным случаем асинхронных схем. Все асинхронные схемы делятся на три подкласса: строго-самосинхронные, квази-самосинхронные и асинхронные. Исторически сложилось, что разработчики чаще всего используют синхронные схемы, которые существенно проще в проектировании. Объясняется это тем, что синхронная схемотехника является наиболее близкой к программированию, поскольку использует схожий принцип квантования времени: в синхронных схемах, как и в программировании, логическое и физическое время тесно взаимосвязаны, в то время как в асинхронных схемах логическое и физическое время протекают независимо. В конце прошлого столетия практически 100% серийно выпускаемых микросхем были синхронными. К недостаткам синхронных схем относятся: узкий температурный диапазон, высокое потребление энергии синхронизации (до 50% всей мощности), а также чрезвычайная уязвимость к влиянию электромагнитного импульса (ЭМИ) и радиации. Эти факты заставили вновь обратить внимание на асинхронные схемы. Естественная надёжность, пониженное потребление и расширенные условия эксплуатации – все это позволило асинхронным схемам занять свою нишу в классе микросхем для спе-

циальных применений. В настоящее время асинхронные микросхемы все чаще используются для изготовления смарт-карт, где схемы работают при сверхнизких напряжениях питания. В области защиты информации и криптографии [8] асинхронные схемы популярны в силу высочайшей устойчивости к спектральному анализу цепей питания. В сигнальных процессорах низкий уровень шумов по питанию асинхронных схем позволил не только совмещать цифровую и аналоговую часть на одном кристалле, но и существенно повысить точность измерений. В космических применениях асинхронные схемы проявили себя особенно широко [9]. Последнее десятилетие NASA активно выделяет гранты на разработки асинхронных микропроцессоров и микроконтроллеров. По гранту NASA создан асинхронный аналог i8051, способный работать при температуре -271°C [10]. Этот микропроцессор лег в основу целой линейки датчиков для телеметрии, используемых в рамках современной концепции сенсорной сети, которая отличается, в частности, тем, что часть вычислений производится непосредственно в датчиках перед передачей информации в центральный вычислитель. В Китае создан экспериментальный процессор TengYue-1 [11], выполненный в квазисамосинхронном базисе NCL_X.

III. СВОЙСТВА САМОСИНХРОННОЙ ЛОГИКИ

В России с 70-х годов разработкой теории асинхронных автоматов занималась научная группа под руководством д.т.н. В.И. Варшавского, чьи работы [12]-[14] по асинхронике признаны во всем мире. Позднее к работе подключился ИПИ РАН и также этой тематикой начали заниматься в НИИСИ РАН.

Как было уже сказано, асинхронные схемы разделяются на три подкласса. Строго-самосинхронные (ССС) схемы представляют собой “чистый” подкласс асинхронных автоматов. Квази-самосинхронные схемы являются функциональным упрощением ССС, т.к. не используют всех их возможностей и вследствие этого проще в проектировании. Третья группа, просто асинхронные схемы, получается добавлением в синхронные схемы линий задержки, за счет чего схема тактирования становится ненужной. Подобные схемы называются в западной литературе Bounded delay (BD) и несут в себе все недостатки синхронных схем, на основе которых они были созданы. Детального рассмотрения схем для космического применения заслуживает лишь подкласс ССС схем, как самый надежный среди всех асинхронных схем.

Основным свойством ССС схем является их независимость от задержек в элементах. Поскольку самосинхронные схемы не используют внешнего генератора, скорость их работы определяется временем прохождения сигнала по петле. Влияние внешних факторов на логику внутри петли может повлиять только на производительность микросхемы, но не приводит к ее отказу. Для сравнения можно вспомнить, что внесение дополнительной задержки в контур синхронной схемы приведет к ее сбою, как только общий путь сигнала

через аварийный участок превысит период тактового импульса. На задержки в петлевых контурах самосинхронных схем влияют следующие внешние факторы:

Технологический разброс. При проектировании синхронной микросхемы обязательно учитывается технологический разброс, связанный с невозможностью изготовить одинаковые электронные структуры как в рамках одного кристалла и пластины в целом, так и в рамках различных партий одного процесса изготовления (невозможность одинаковых толщин, концентраций и пр.), что приводит к снижению максимальной рабочей частоты. Для асинхронных схем понятия рабочей частоты не существует, поэтому появление отдельных задержек в некритичных узлах может и вовсе не сказаться на общей скорости работы микросхемы.

Рабочая температура. Для самосинхронных схем диапазон рабочих температур очень широк: в публикациях рассматриваются микросхемы с работоспособностью от криогенного диапазона (от -271°C до $+23^{\circ}\text{C}$, технология $0.5\ \mu\text{m SiGe5AM}$, фабрика IBM) [10] до сверхвысоких температур (от -175°C до $+225^{\circ}\text{C}$, технология $1\ \mu\text{m HTSOI}$, фабрика XFAB) [15]. Для синхронных схем реализовать такой разброс температур можно лишь при существенном снижении частоты функционирования и для ряда проектов это невозможно сделать, поскольку задержки для различных цепей микросхемы меняются непропорционально, и некоторые условия автоматов могут стать невыполнимыми.

Напряжение питания. Самосинхронные схемы начинают работать, как только приоткрываются переходы транзисторов. В публикациях приводится рекордно низкое напряжение $150\ \text{mV}$ [16], при котором самосинхронная схема, сделанная по технологии $130\ \text{nm MTCMOS}$ (IBM), еще была работоспособной. В синхронных схемах переходные процессы обязаны быть закончены за период тактового сигнала, и допустимое отклонение от напряжения питания, как правило, не превышает 10% . В работах [17]-[18] приводятся результаты испытаний отечественных тестовых самосинхронных микросхем “Микродра” и счетчика, изготовленных по полужаказной технологии на БМК серии 5503 по $1,5\ \mu\text{m}$ КМОП-технологии (НПК “Технологический центр”, МИЭТ). Все самосинхронные образцы в области низких питающих напряжений оставались работоспособными до уровня $0,2\ \text{V}$ (при пороговых напряжениях КМОП транзисторов $\pm 0,8\ \text{V}$ и номинальном питающем напряжении питания $+5\ \text{V}$). Широкий диапазон напряжений питания полезен также с точки зрения борьбы с тиристорным эффектом: есть возможность снижения питания до значения, заведомо меньшего напряжения включения паразитной тиристорной структуры. При этом не требуется ни затрат по площади кристалла, ни специальных технологических методов.

Накопление заряда в подзатворном и захороненном кислороде кристалла микросхем вследствие воздействия космического излучения. Как уже было отмечено, ССС микросхемы не используют внешнее тактирование,

поэтому увеличение задержек в петлевом контуре вследствие эффектов от накопления заряда до некоторых пределов влечет за собой лишь замедление работы схемы и позволяет увеличить предельное значение по накопленной дозе. Т.е. высокая стойкость к эффектам накопленной дозы ССС схем является следствием их независимости от задержек в элементах.

Другими не менее важными свойствами самосинхронных схем являются самодиагностика и саморемонт. Самодиагностика самосинхронных схем позволяет локализовывать константные неисправности с точностью до элемента для ССС схем и с точностью до петлевого контура в квази-самосинхронных схемах [19]. Самодиагностика основана на использовании схемы индикации окончания переходных процессов, которая является неотъемлемой частью самосинхронных схем (рис. 1), и поэтому использование дополнительной аппаратуры, как в синхронных схемах, не требуется.

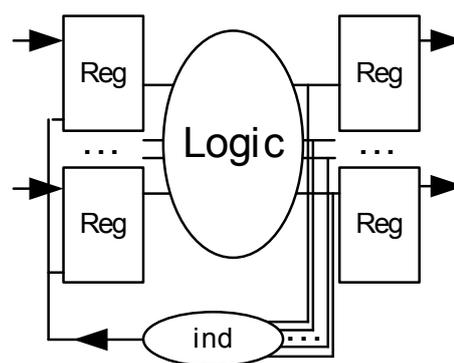


Рис. 1. Устройство самосинхронной схемы

Саморемонт позволяет восстановить функционирование схемы в ряде случаев даже без потери данных [20]. За саморемонт отвечают дополнительные ресурсы, такие как резервные узлы со схемами управления; схемы дублирования, замещения; реализация таких функций как scrubbing для памяти; резервные ячейки памяти и пр. Самосинхронные схемы имеют и другие возможности защититься от сбоев. При проектировании автоматов, к примеру, триггеров, на основе спецификации графа переходов можно добавить избыточные вершины [21]. В этом случае состояния получают более устойчивые и в ряде сбойных ситуаций не позволят автомату переключиться.

Самосинхронные схемы имеют и ряд недостатков, которые затрудняют проектирование. В первую очередь, это сложная временная модель, нехватка автоматизации проектирования, малое число наработок, и, как следствие, опыта. Синхронные схемы используют упрощенную временную модель, основанную на детерминированности времени. Все процессы в синхронных схемах начинаются с приходом тактового импульса и заканчиваются на входе данных принимающего триггера. Неудобные переходные процессы в синхронных схемах маскируются тактовым импульсом. В то же время, самосинхронные схемы работают в ре-

альном времени, а все внутренние процессы имеют причинно-следственную связь, состоящую из последовательных событий переключения проводов. Поэтому поведение таких схем описывается графами, где событием является не тактовый импульс, а каждое переключение переменной графа. Обязательным условием независимости от задержек является контроль за переключениями каждого триггера в схеме, что на практике выливается в серьезные ограничения на использование элементного базиса, и, как следствие, зачастую на производительность схемы.

Перечисленные недостатки - это цена за уникальные свойства самосинхронных схем. Ввиду чрезвычайной сложности проектирования остро ощущается нехватка квалифицированных кадров. Фактически, знания в области самосинхронной схемотехники основываются на таких разделах математики как теория автоматов, теория графов и сетей Петри. В настоящее время немногие ВУЗы готовят специалистов-электронщиков со знаниями в этих областях. Поэтому, несмотря на открытие самосинхронной схемотехники едва ли не раньше, чем синхронной, все появляющиеся разработки с использованием самосинхронных схем являются инновационными.

IV. ДАННЫЕ ЭКСПЕРИМЕНТОВ

НИИСИ РАН совместно с ИПИ РАН спроектировали и выпустили тестовый кристалл по технологии GLOBALFOUNDRIES Inc. 180нм, на котором исследованы свойства самосинхронного блока деления двойной точности с алгоритмом цифровой рекурсии с основанием 2. Блок выполнен по методу заказного проектирования топологии. Эксперименты показали работоспособность блока при вариации питания 0.95 - 2.55В, и динамическое потребление около 45 мВт при нормальных условиях. Блок занял примерно 0.35 кв. мм площади кристалла.

Для сравнения выбран синхронный блок деления с алгоритмом цифровой рекурсии с основанием 64. Синтез произведен в САПР Design Compiler, а топологическое проектирование в САПР SOC Encounter. Элементы выключения синхроимпульса (clock-gate) не использовались. Расчет потребления производился на тех же тестах, что и при изменении потребления самосинхронного блока деления. Получены следующие результаты: площадь 1кв. мм. (заполнение около 65%), динамическое потребление 140мВт, частота 250МГц.

Синхронный блок выполняет операцию деления за 11 тактов, это примерно в два раза меньше, чем экспериментально измеренное время операции деления самосинхронного блока 90нс (22.5 такта на частоте 250 МГц). При этом площадь и потребление синхронного блока выше в 3 раза, хотя сравнение не совсем корректно ввиду заказного проектирования самосинхронного блока. В целом можно делать вывод, что самосинхронные схемы более выгодны по показателю отношения производительности к потребляемой мощности.

Проверить сбоеустойчивость самосинхронной схемы на тестовом кристалле не удалось, это предмет дальнейших исследований.

V. СОВМЕЩЕНИЕ СИНХРОННЫХ И АСИНХРОННЫХ УЗЛОВ

Для создания высокопроизводительных микропроцессоров в современных схемах дерево синхросигналов проектируется с минимально возможной разбежкой синхросигналов по всему кристаллу. Это, с одной стороны, приводит к существенному возрастанию потребляемой мощности за счёт введения мощных буферов (до 50%), с другой стороны, позволяет добиться максимальной производительности. Коммерчески доступные системы проектирования нацелены на оптимизацию и поддержку этих решений. Для ССС схем отсутствуют требуемые системы проектирования, кроме того, в случае большой площади кристалла для функционально законченного блока (единицы квадратного миллиметра) невозможно все цепи индикаторов оптимизировать так, как оптимизируется синхродерево. То есть создание больших ССС схем должно привести к потере производительности микросхемы. Выходом из этой ситуации является комбинация синхронных и самосинхронных узлов и минимизация по площади ССС блоков. Такие решения важны как для микропроцессоров космического применения, так и для высокопроизводительных процессоров для создания серверов и суперЭВМ [23]. Для обоснования данного подхода НИИСИ РАН и ИПИ РАН выполнили работу по встраиванию самосинхронных схем [24] в синхронный микропроцессор с архитектурой КОМДИВ64. Функциональный блок, ответственный за деление с плавающей точкой, выполнен полностью по самосинхронному маршруту и используется параллельно со своим синхронным аналогом. Проведённые исследования тестового образца микросхемы подтвердили указанные в статье [24] свойства ССС схем. При примерно равном быстродействии синхронного и самосинхронного решений зафиксировано небольшое снижение потребляемой мощности. Для дальнейшего подтверждения предлагаемого подхода выполнена разработка самосинхронного вычислителя функции умножения с накоплением (SIFMA). Проведённое моделирование показало возможность создания ССС блоков SIFMA с примерно равными с синхронными схемами показателями по производительности. В настоящее время планируется запуск тестового кристалла с включением обоих типов блоков для измерения реальных показателей.

VI. ЗАКЛЮЧЕНИЕ

На основе сделанного сравнения, а также приведенных выше результатов исследований, можно сделать вывод, что ССС схемы несут в себе существенно больший запас по надежности, чем синхронные схемы. При той же технологии изготовления, что и синхронная схема, ССС схема в силу своей природы будет обладать дополнительной защитой перед космическим излучением и дополнительными возможностями само-

диагностики и ремонта. Использование ССС схем является схемотехническим приёмом повышения устойчивости микросхем к внешним воздействиям, что особенно важно для схем космического применения. Эти же решения с успехом могут использоваться при создании микросхем для суперЭВМ с тысячами микропроцессоров. Проблемы надёжности и потребляемой мощности таких ЭВМ становятся основными, уровень микропроцессора обычно оценивают по показателю флорпс/Вт. При наличии тысяч микропроцессоров, в каждом из которых миллиард транзисторов, уже чисто статистически вероятность сбоя становится такой, что без принятия специальных комплексных решений по повышению надёжности обеспечить работу ЭВМ невозможно [25]. В этой связи предложение использовать ССС схемы для создания энергоэффективных и высокопроизводительных сопроцессоров становится одним из базовых схемотехнических подходов. Наиболее естественным является проектирование IP-блоков, реализующих выделенные функции на базе ССС схем с интерфейсом синхронных схем. Создание библиотеки таких блоков позволит максимально упростить процесс проектирования другими компаниями.

ПОДДЕРЖКА

Исследование выполнено при финансовой поддержке РФФИ в рамках научных проектов №№ 13-00-12062 офи_м и 13-00-12068 офи_м.

ЛИТЕРАТУРА

- [1] Антонов А.А., Новожилов Е.А., Бобков С.Г. и др. СБИС для космических систем с длительными сроками активного функционирования разработки НИИСИ РАН // Сборник трудов Первой российско-белорусской научно-технической конференции «Элементная база отечественной радиоэлектроники». Нижний Новгород. 11-14 сентября 2013. Т. 1. С. 225–228.
- [2] Hutson J.M., Pellish J.A., Tipton A.D., et al. Evidence for Lateral Angle Effect on Single-Event Latchup in 65 nm SRAMs // *IEEE Trans. on Nucl. Sci.* Vol. 56. № 1 P. 208–213.
- [3] Hutson J.M., Pellish J.D., Baselli G., Baumann R., Reed R.A., Schrimpf R.D., Weller R.A., Massengill L.W. The Effects of Angle of Incidence and Temperature on Latchup in 65 nm Technology // *IEEE Trans. on Nucl. Sci.* Dec. 2007. Vol. 54 (6). P. 2541–2546.
- [4] Voldman S.H. «Latchup», John Wiley&Sons. 2007. 450 p.
- [5] Hutson J.M., Pellish J.D., Baselli G., Baumann R., Reed R.A., Schrimpf R.D., Weller R.A., Massengill L.W. The Effects of Angle of Incidence and Temperature on Latchup in 65 nm Technology // *IEEE Trans.* Dec. 2007. Vol. 54 (6). P. 2541–2546.
- [6] Stabile A., Liberali V., Calligaro C. Design of a rad-hard library of digital cells for space applications // ICECS 2008.
- [7] Roche P. SEE and TID «Radiation Test Results on ST Circuits in 65nm CMOS Technologies» // Final Presentation of ESTEC Contract 2006-2007. № 18799/04/NL/AG, COO-3. 2009.
- [8] Sokolov D., Yakovlev A., Bystrov A. et al. Improving the Security of Dual-Rail Circuits // *Cryptographic Hardware and Embedded Systems - CHES 2004 Lecture Notes in Computer Science.* August 2004. Vol. 3156. P. 282–297.
- [9] Vladimirova T., Barnhart D.J., Stevens, K.S. et al. Radiation Hardening by Design of Asynchronous Logic for Hostile Environments // *IEEE Journal of Solid-State Circuits.* May 2009. Vol. 44. № 5. P. 1617–1628.
- [10] Hollosi B., Jia Di, Smith S.C. et al. Delay-insensitive asynchronous ALU for cryogenic temperature environments // *MWSCAS.* 2008. P. 322–325.
- [11] Jin G., Wang L., Wang Z. The Design of Asynchronous Microprocessor Based on Optimized NCL_X Design-Flow // *IEEE International Conference on Networking, Architecture and Storage.* 2004. P. 357–364.
- [12] Варшавский В.И. и др. Аperiodические автоматы. М.: Наука, 1976. 424 с.
- [13] Варшавский В.И. и др. Автоматное управление асинхронными процессами в ЭВМ и дискретных системах. М.: Наука, 1986. 400 с.
- [14] Varshavsky V. et al. Self-timed Control of Concurrent Processes. Kluwer Academic Publishers. 1990. 245 p.
- [15] Shepherd P., Smith S.C., Holmes J. et al. A Robust, Wide-Temperature Data Transmission System for Space Environments // *Aerospace Conference, 2013 IEEE.* March 2013. P. 1–13.
- [16] Bailey A., Jia Di, Smith S.C. et al. Ultra-low power delay-insensitive circuit design // *MWSCAS.* August 2008. P. 10–13.
- [17] Степченко Ю.А., Петрухин В.С., Дьяченко Ю.Г. Опыт разработки самосинхронного ядра микро-контроллера на базовом матричном кристалле // *Нано- и микросистемная техника.* 2006. № 5. С. 29–36.
- [18] Плеханов Л.П., Степченко Ю.А. Экспериментальная проверка некоторых свойств строго само-синхронный электронных схем // *Системы и средства информатики.* № 16. М.: Наука, 2006. С. 476–485.
- [19] Bastos R.P. Asynchronous circuits as alternative for mitigation of long-duration transient faults in deep-submicron technologies // *Microelectronics Reliability.* November 2010. Vol. 50. P. 1241–1246.
- [20] Di J. A framework on mitigating single event upset using delay-insensitive asynchronous circuits // *Proceedings of the 2007 IEEE Region 5 Technical Conference.* 2007. P. 354–357.
- [21] Pontes J.H., Calazans N., Vivet P. Adding Temporal Redundancy to Delay Insensitive Codes to Mitigate Single Event Effects // *ASYNC.* 2012. P. 142–149.
- [22] Fant K.M., Brandt S.A. NULL convention logic: a complete and consistent logic for asynchronous digital circuit synthesis // *International Conference on Application Specific Systems, Architectures, and Processors. Proceedings.* Chicago. 1996. P. 261–273.
- [23] Бобков С.Г., Мадера А.Г. Энергетические затраты, быстродействие и проблемы тепловода в микропроцессорах // *Программные продукты и системы.* 2013. № 4. С. 29–35.
- [24] Дьяченко Ю.Г., Степченко Ю.А., Бобков С.Г. Квазисамосинхронный вычислитель: методологические и алгоритмические аспекты // III Всероссийская научно-техническая конференция «Проблемы разработки перспективных микро- и наноэлектронных систем – 2008». М.: ИППМ РАН, 2008. С. 441–446.
- [25] Бобков С.Г. Архитектура микропроцессоров суперЭВМ эксаллопного диапазона // *Информационные технологии.* 2012. № 12. С. 2–9.