

АСИНХРОННЫЕ МИКРОПРОЦЕССОРЫ ДЛЯ КОСМИЧЕСКИХ СИСТЕМ*

Бобков С.Г.¹, Сурков А.В.¹, Степченков Ю.А.², Дьяченко Ю.Г.²

¹ Научно-исследовательский институт системных исследований Российской академии наук (НИИСИ РАН)

² Институт проблем информатики Российской академии наук (ИПИ РАН)

1-я Российско-Белорусская научно-техническая конференция



**ЭЛЕМЕНТНАЯ БАЗА
ОТЕЧЕСТВЕННОЙ РАДИОЭЛЕКТРОНИКИ**

Направление 2. Радиационнотойкая микроэлектроника.

* Исследование выполнено при финансовой поддержке РФФИ в рамках научных проектов № 13-00-12068 офи_м и № 13-00-12062

История развития асинхронных схем

1955г. Маллер Д.Е. Теория Асинхронных схем.

1962г. ILLIAC II. Первый асинхронный Супер компьютер.

1988г. Caltech CAM. Первый асинхронный микропроцессор.

- 20.000 элементов.
- Архитектура RISC, 16 бит.
- Температурный диапазон от -200С до +100С
- Напряжение питания 350 мВ .. 10 В

1993 - 1997г. Микропроцессоры:

Amulet 1,2,3 – архитектура ARM, 16 и 32 разрядов.

TITAC 1,2 - RISC, 8 и 32 разряда.

MiniMIPS – клон R3000, 32 разряда.

1997г. Intel: асинхронный прототип Pentium

- троекратная производительность.
- на 50% меньше потребление.

2001г. Sun: асинхронный прототип микропроцессора FLEETZero.

2003г. Sun: UltraSparcIII (асинхронный контроллер памяти).

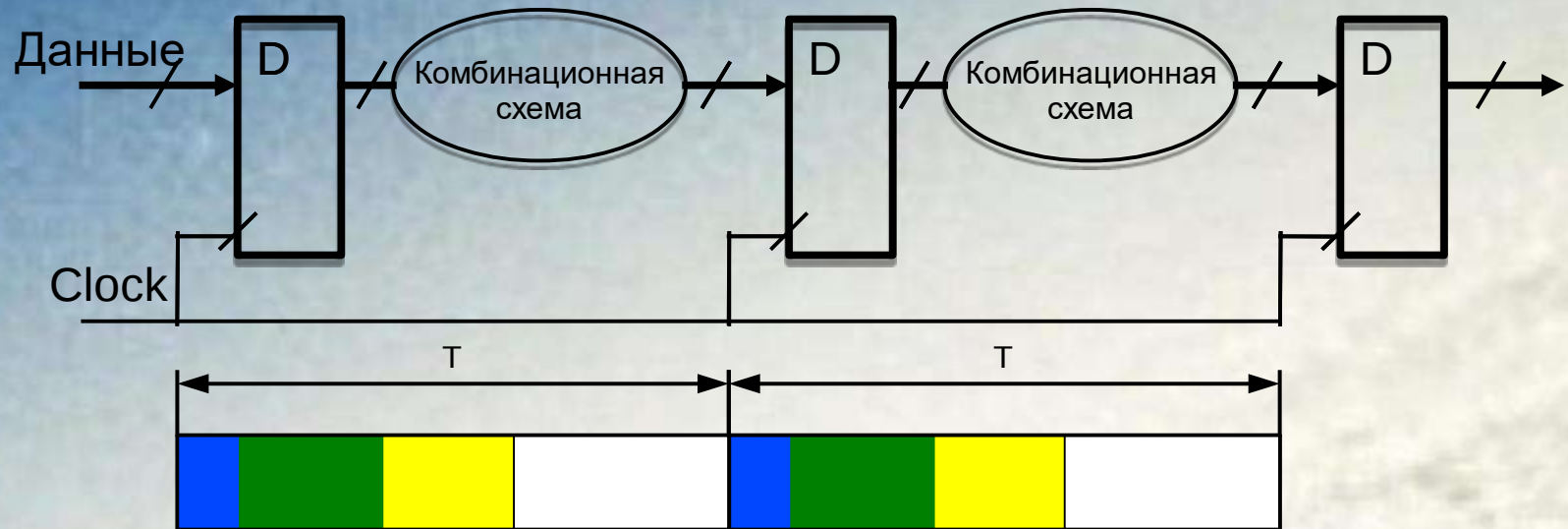
2003г. HandshakeSolutions: HT80C51 (i8051), ARM669HS.

2003г. NASA, DARPA Гранты на разработку микропроцессоров.

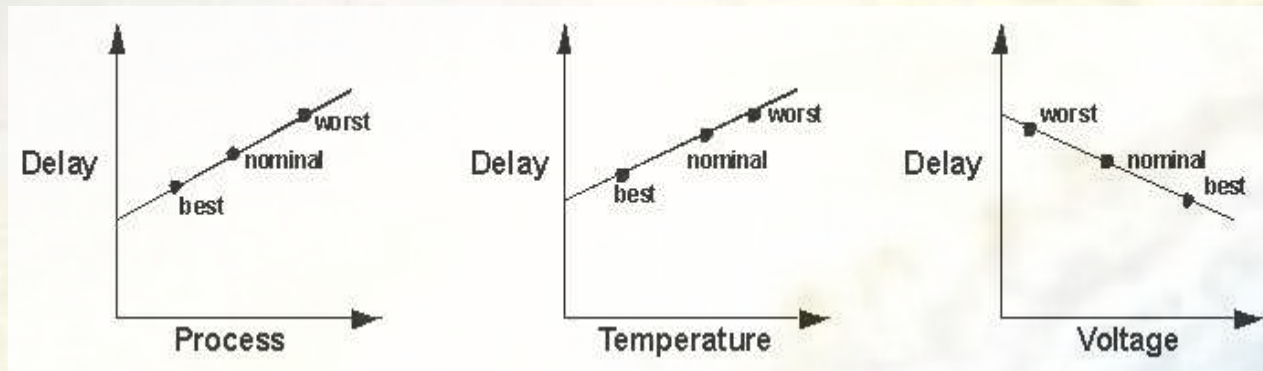
2007г. TengYue-1, RISC, 32 бит.

Синхронные схемы

Фрагмент конвейера

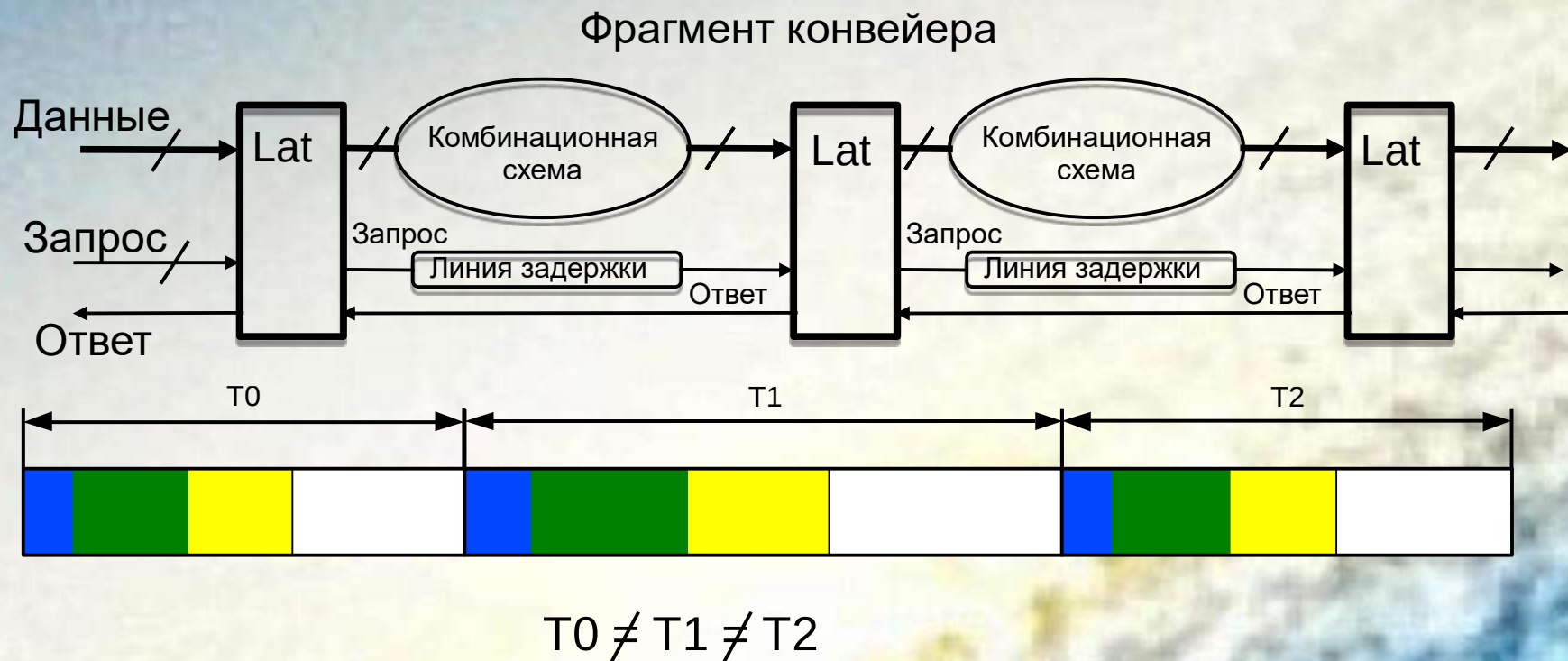


- Задержка в регистре
- Задержка в комб. элементах
- Задержка в проводах
- Запас



Асинхронные схемы

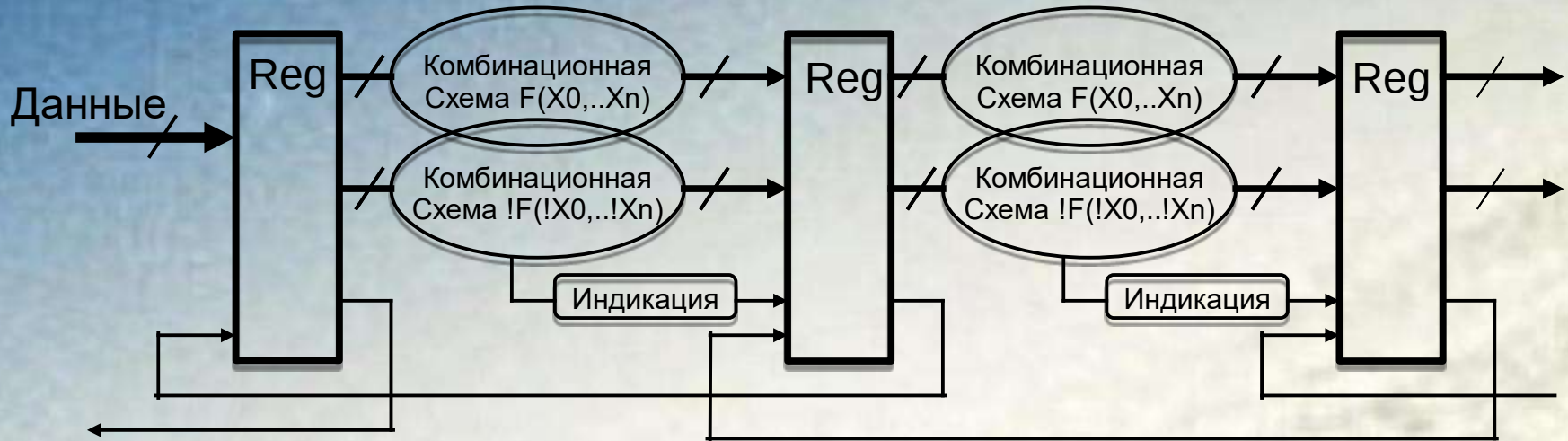
1. Асинхронные схемы с задержками.
2. Строго-самосинхронные (ССС) схемы.
3. Квази-самосинхронные схемы.



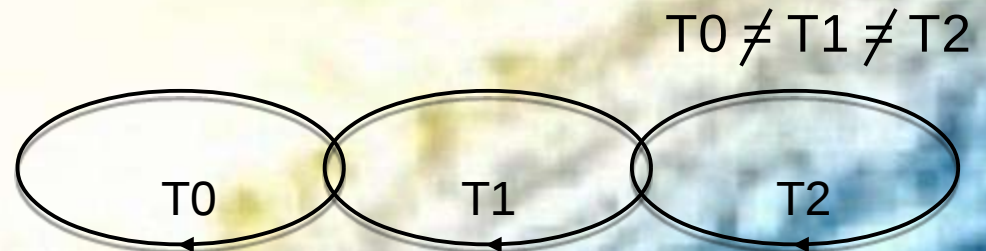
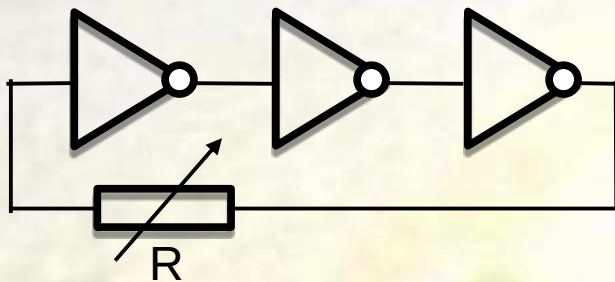
Асинхронные схемы с задержками (Boundled Delay - BD)

Строго-самосинхронные схемы

Фрагмент конвейера



1. Нет тактирования
2. Две фазы: данных и спейсера
3. Парафазное представление данных
4. Индикация окончания переходных процессов – самодиагностика
5. Обратные связи



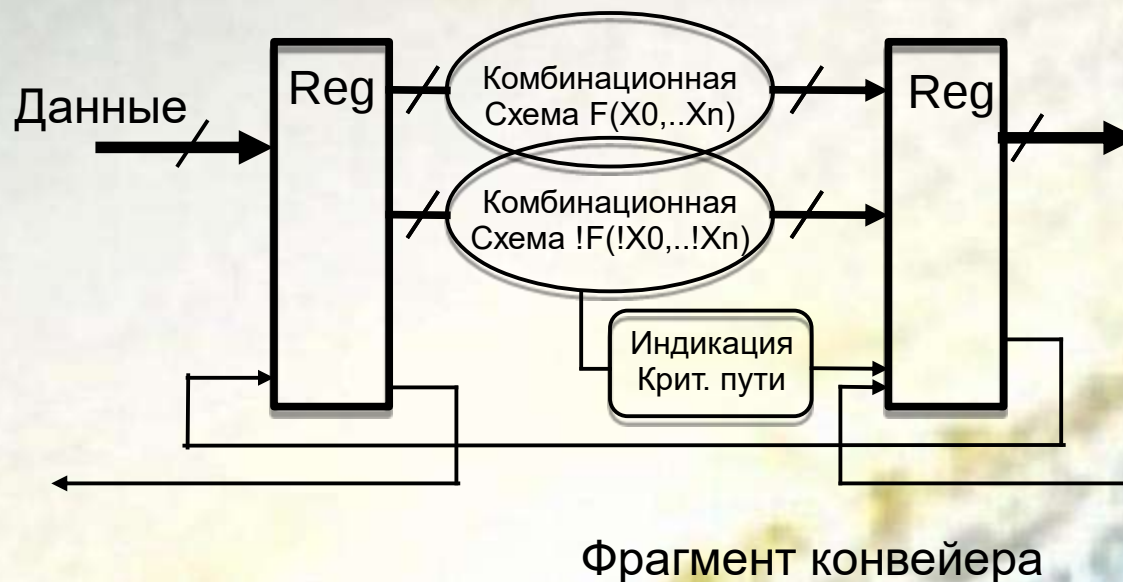
Квази-самосинхронные схемы

Отличия от Строго-самосинхронных схем:

- 1 Неполная индикация
- 2 Ограниченная самодиагностика

Преимущества:

- 1 Быстрота проектирования
- 2 Меньшая избыточность



Сравнение ССС и синхронных схем

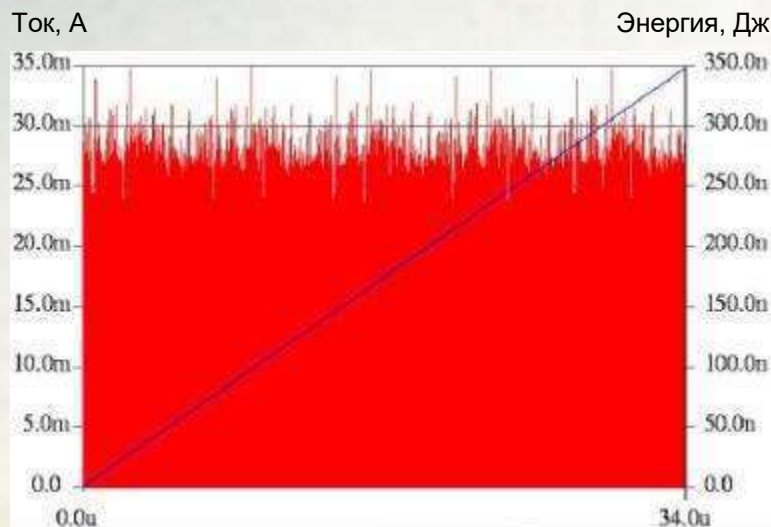
Синхронные схемы

Преимущества:

1. Малая площадь на кристалле.
2. Простота проектирования.

Недостатки:

1. Большое потребление.
2. Шумы схемы тактирования.
3. Сложность диагностики неисправностей.



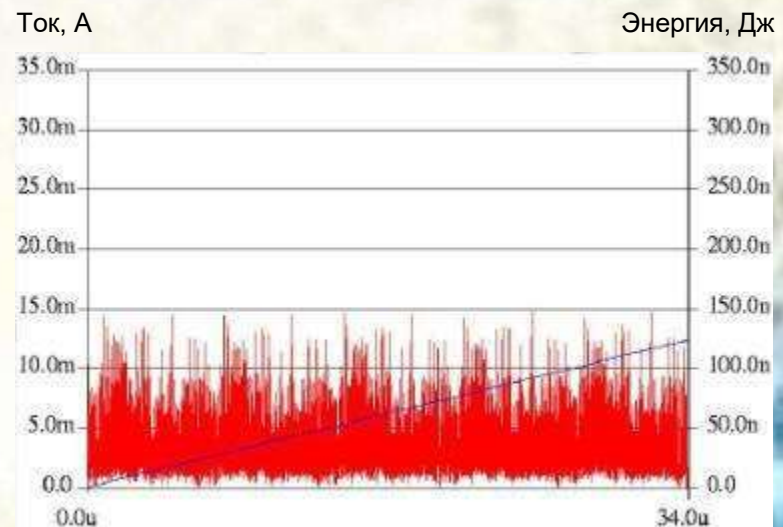
Строго-самосинхронные схемы

Преимущества:

1. Низкое потребление.
- Транзисторы переключаются, только когда это необходимо.
2. Ровный спектр потребления.
 3. Встроенная Самодиагностика.

Недостатки:

1. Большая избыточность.
2. Сложность проектирования.

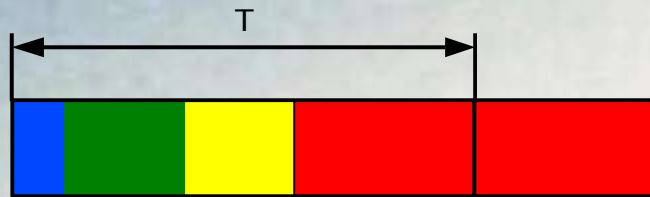


Потребление ARM996, синхронной и асинхронной версий процессора

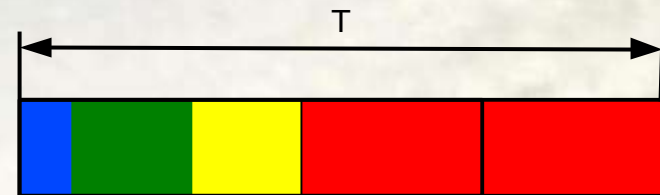
Факторы, влияющие на работоспособность схемы

1. Технологический разброс (при изготовлении)
2. Изменение рабочей температуры
3. Изменение напряжения питания
4. Накопление заряда в подзатворном и захороненном окисле кристалла микросхем

Синхронная схема



Самосинхронная схема



 Задержка вследствие внешних факторов

Преимущества самосинхронных схем перед синхронными

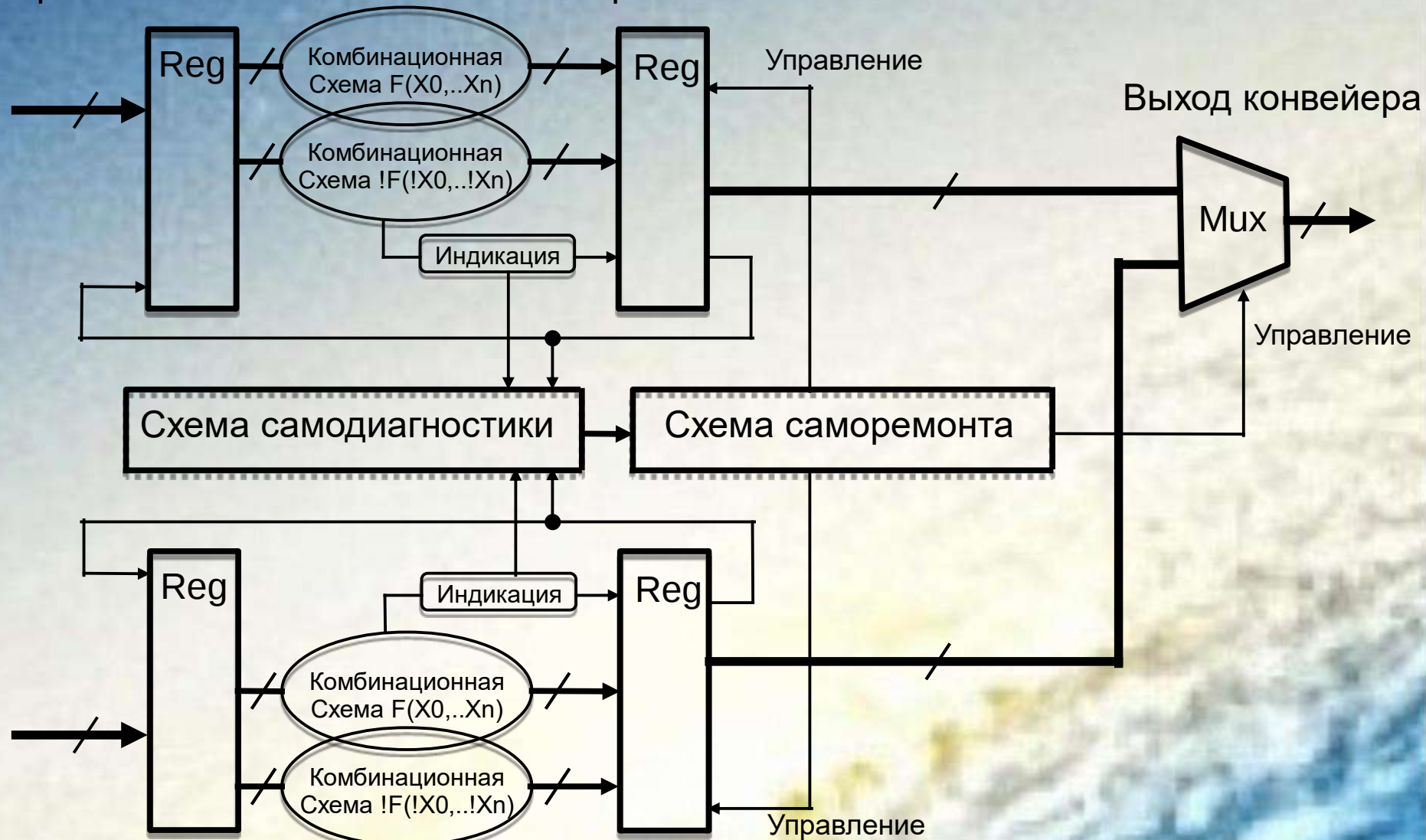
1. Шире диапазон рабочей температуры.
2. Шире диапазон напряжения питания.
3. Выше предельное значение по накопленной дозе.

Вывод:

Надежность ССС схем выше, чем синхронных

Повышение надежности Строго-самосинхронных схем

Фрагмент основной схемы конвейера



Фрагмент дублирующей схемы конвейера

1900BM2T 32-разрядный синхронный микропроцессор с резервированием на уровне блоков и самовосстановлением после сбоя

АРХИТЕКТУРА МП - КОМДИВ

- РАБОЧАЯ ЧАСТОТА 66 МГц

-ТЕХНОЛОГИЯ – КНИ 0,35 мкм

- НАПРЯЖЕНИЕ ПИТАНИЯ – 3,3 В

-ТЕМПЕРАТУРНЫЙ ДИАПАЗОН –

от – 60 до + 125

-УРОВЕНЬ СТОЙКОСТИ - ~200 крад (Si)

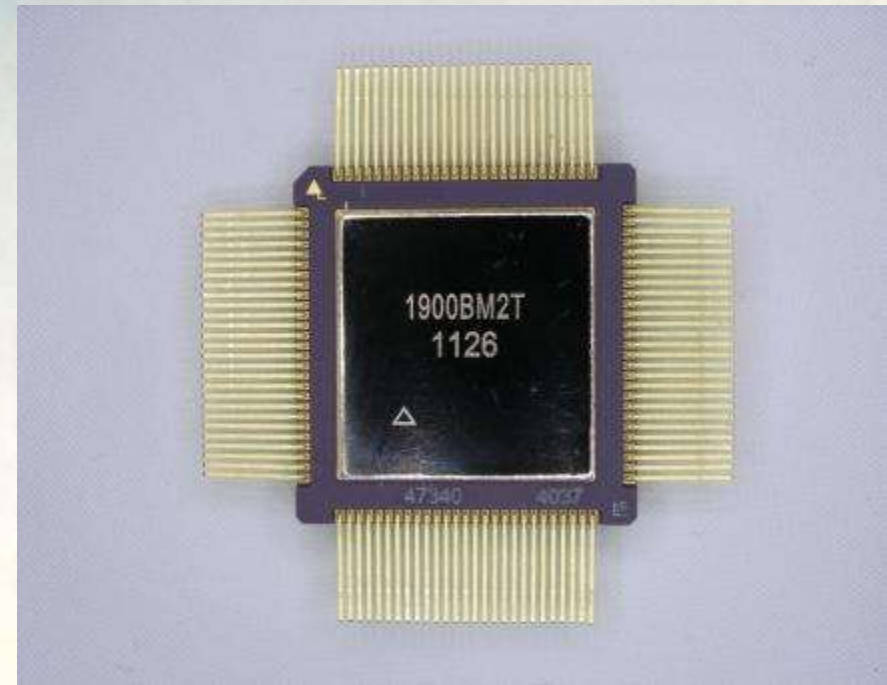
-Реализация кэш-памяти на сбоеустойчивых
ячейках типа DICE

- Защита кэш-памяти битом четности +
режим записи write-through

- Сбоеустойчивые библиотечные ячейки для
нерезервируемых элементов (схемы
управления кэш-памятью, элементы
внешнего интерфейса)

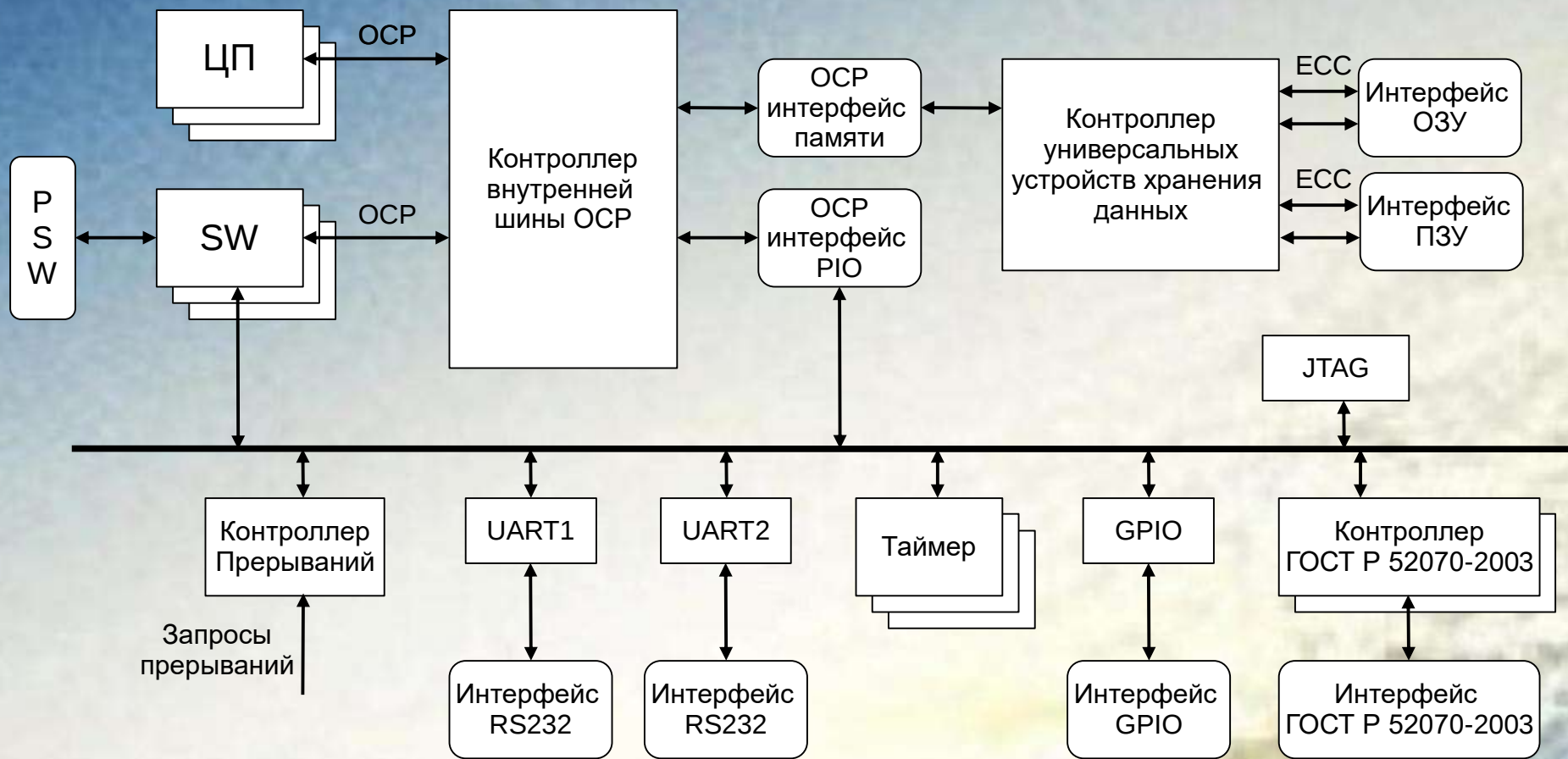
-Патентованные решения для защиты
регистрового файла

-Элементы сбора статистики по сбоям,
позволяющие определить факт отказа



1907BM048 перспективный микропроцессор

структурная схема



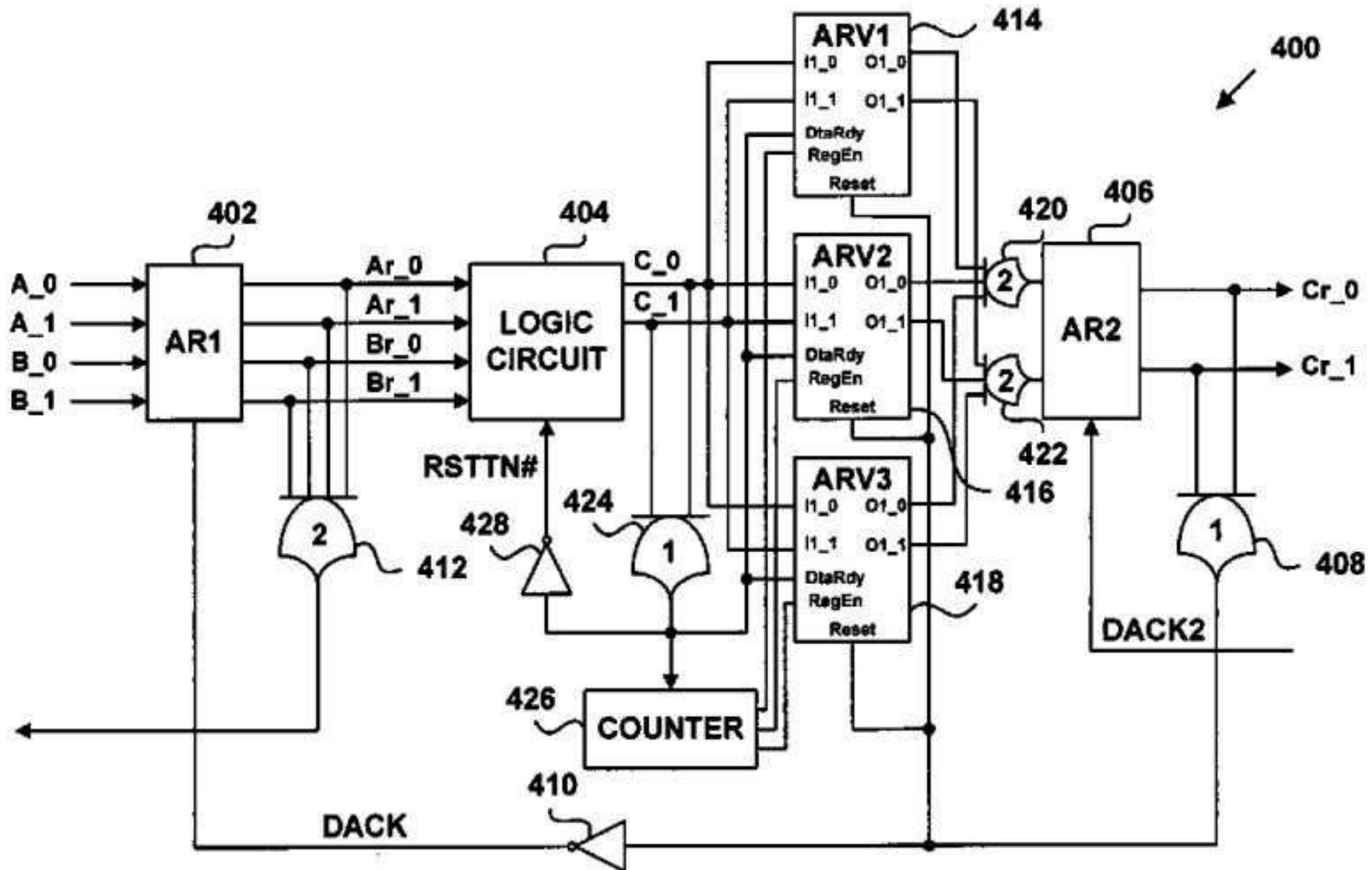
SOC Архитектура:

- 1 Синхронная
- 2 GSLA — Глобально Синхронная Локально Асинхронная
- 3 GALS — Глобально Асинхронная Локально Синхронная
- 4 GALA — Глобально Асинхронная Локально Асинхронная

Спасибо за внимание!

Пустой слайд

ERROR RECOVERY IN ASYNCHRONOUS COMBINATIONAL LOGIC CIRCUITS



Сравнение с аналогами

Микро-процессор	RAD750	UT699	AT697F	HXRHPPC	RAD-Hard BRE440	1900-BM2T	1907-BM014	1907-BM048
Компания	BAE Systems	Aeroflex	Atmel	Honeywell	Broad Reach Engineering	НИИСИ РАН	НИИСИ РАН	НИИСИ РАН
Архитектура	PowerPC	SPARC	SPARC	PowerPC	PowerPC	КОМДИВ	КОМДИВ	КОМДИВ
Технология, мкм	0,15	0,25	0,18	0,35 КНИ	0,15 КНИ	0,35 КНИ	0,25 КНИ	0,25 КНИ
Уровень стойкости, крад	1000	300	300	300	1000	~200	~250	~250
Частота, МГц	200	66	100	80	83	66	100	66
Наличие интерфейса ГОСТ Р 52070-2003	—	+	—	—	+	—	+	+
Наличие интерфейса SW	—	+	—	—	+	—	+	+
Год начала производства	2009	2009	2009	~2008	2010	2012	2014	2014