

Реализация синтеза самосинхронных схем в базисе БМК

**Плеханов Л.П.¹, к.т.н., Денисов А.Н.², к.т.н., Дьяченко Ю.Г.¹, к.т.н., Мамонов Д.И.²,
Морозов Н.В.¹, Степченков Д.Ю.¹**

¹*Федеральный Исследовательский Центр «Информатика и управление» Российской академии наук, 119333, г. Москва, ул. Вавилова, д. 44, корп. 2. lplekhanov@inbox.ru*

²*Научно-производственный комплекс «Технологический центр», 244980, Москва, Зеленоград, проезд 4806, д.5. den@tcen.ru*

Аннотация

Доклад посвящен реализации автоматизированного синтеза самосинхронных (СС) схем на основе описания схемы на языке Verilog и библиотеки стандартных элементов 5503СС, расширенной специфичными для СС-схем элементами. Программа синтеза имеет графический интерфейс и интегрируется в САПР полузаказных БИС "Ковчег" (МИЭТ).

Ключевые слова: самосинхронные схемы; автоматизированный синтез; индикация; маршрут проектирования.

Доклад описывает реализацию программы синтеза самосинхронных (СС) схем в рамках САПР электронных схем [1] на основе базовой библиотеки, включающей комбинационные элементы и СС-триггеры.

Для синтеза задаются:

- описание схемы любого уровня на языке Verilog,
- параметры синтеза.

Основной критерий синтеза — минимальная сложность СС-схемы и учет реальной нагрузки на выходе каждого элемента, включая паразитные емкости трасс.

Процедура синтеза состоит из нескольких этапов:

- преобразования алгоритмического описания схемы в систему логических функций,
- перевода функций в парафазный (ПФ) или бифазный код [1],
- подбора библиотечных элементов для реализации функций,
- организации индикации всей схемы.

Для генерации системы логических функций используется программа с открытым кодом Yosys. Далее функции укрупняются путем подстановок так, чтобы в базовой библиотеке нашлись элементы для их реализации, и дуализируются. Регистры и счетчики формируются из СС-триггеров базовой библиотеки в соответствии с заданием на синтез.

Информация о соответствии нагрузок элементов их нагрузочной способности предоставляется пользователю. Программа синтеза позволяет:

- усилить все элементы со слишком слабым выходом,
- усилить элементы, указанные пользователем.

Помимо типовых стандартных логических элементов, базовая библиотека должна включать СС-элементы:

- двухвходовой Г-триггер,
- триггер хранения,
- разряд регистра сдвига,
- счетный триггер.

Сравнение синтезированных СС-схем с результатами ручного проектирования показывает, что комбинационные СС-схемы получаются на 10-30% сложнее спроектированных вручную, а последовательностные схемы практически идентичны.

Исследование выполнено в рамках государственного задания № 0063-2019-0010.

Литература

1. Л.П. Плеханов, А.Н. Денисов, Ю.Г. Дьяченко, Ю.А. Степченков, Д.И. Мамонов, Д.Ю. Степченков. Синтез самосинхронных схем в базисе БМК / *Научная конференция «Микроэлектроника – ЭКБ и электронные модули»*. Алушта (Республика Крым), 30.09-05.10.2019 - М: Техносфера, 2019. С. 450-454.

Self-timed circuit synthesis implementation in gate array basis

Plekhanov L.P.¹, Ph.D., Denisov A.N.², Ph.D., Diachenko Yu.G.¹, Ph.D., Mamonov D.I.², Morozov N.V.¹, Stepchenkov D.Y.¹

¹⁾ *Federal Research Center "Computer Science and Control" of the Russian Academy of Sciences, Vavilova, 44/2, Moscow, 119333 Russia. lplekhanov@inbox.ru*

²⁾ *"Technological Center" scientific-industrial complex, drive4806, 5. den@tcen.ru*

Abstract

The report describes automated self-timed (ST) circuit synthesis implementation on a base of the circuit's Verilog-description and the standard cell library 5503CC, extended with the cells specific to ST circuits. The synthesis program has a graphic user interface. It is integrated into gate array CAD "Kovcheg" (MIET).

Keywords: self-timed circuits; automated synthesis; indication; design flow.

The paper discusses implementing self-timed (ST) circuit synthesis [1] using a *base library*, including combinational cells and ST triggers.

The circuit's Verilog description and some options are the input data for synthesis.

The primary criterion is the minimum complexity, considering the actual cell's load, including traces' parasitic capacitance.

The synthesis procedure consists of some stages:

- transforming the circuit's algorithmic description into a logical function system,
- function dualization [1],
- covering functions by library cells,
- organizing the circuit's indication.

At the first stage, the built-in open-source program Yosys generates the logical function system. Further, the functions are composed of substitutions to be covered by the base library cells. The synthesis program generates registers and counters from ST triggers of the base library following the synthesis task.

The synthesis procedure provides information to the user about the compliance of each cell's load with its load capacity. The synthesis program can do the following:

- amplify all the cells with a weak load capacity,
- amplify the ST circuit's cells specified by the user.

In addition to typical standard logical cells, the base library should include the ST cells:

- two-input H-trigger,
- storage trigger,
- shift register bit,
- counting trigger.

Comparative analysis shows that synthesized combinational ST circuits have higher complexity by 10-30% than those made by designers. In contrast, the sequential circuits are practically identical.

The study was carried out within the framework of state assignment No. 0063-2019-0010.

References

1. L.P. Plekhanov, A.N. Denisov, Yu.G. Dyachenko, Yu.A. Stepchenkov, D.I. Mamonov, D.Yu. Stepchenkov. Sintez samosinhronnyh skhem v bazise BMK / Nauchnaya konferenciya «Mikroelektronika – EKB i elektronnye moduli». Alushta (Respublika Krym), 30.09-05.10.2019 - M: Tekhnosfera, 2019.S. 450-454.