

РЕАЛИЗАЦИЯ СИНТЕЗА САМОСИНХРОННЫХ СХЕМ В БАЗИСЕ БМК

**Плеханов Л.П., Денисов А.Н., Дьяченко Ю.Г.,
Мамонов Д.И., Морозов Н.В., Степченков Д.Ю.**



*Институт проблем информатики Федерального
исследовательского центра «информатика и управление»
Российской академии наук, Москва*



*Научно-производственный комплекс «Технологический центр»,
Москва*

СОДЕРЖАНИЕ

- ▣ **Что такое самосинхронные (СС) схемы?**
- ▣ **Маршрут проектирования СС-схем**
- ▣ **Процедура синтеза СС-схем**
- ▣ **Требования к библиотеке элементов**
- ▣ **Заключение**

КЛАССИФИКАЦИЯ СХЕМ

Все цифровые схемы

Синхронные
(глобальное
тактовое
«дерево»!)

**Глобально
Асинхронные
Локально
Произвольные**

Асинхронные
(нет синхросигналов!)

**Самосин-
хронные**

Другие

ПРЕИМУЩЕСТВА СС-СХЕМ

- **Отсутствие «гонок» при любых задержках элементов и в проводах**
- **Предельно широкий диапазон работоспособности по напряжению питания и температуре**
- **Полная остановка при появлении константных неисправностей**

ПРИНЦИПЫ РАБОТЫ СС-СХЕМ

- ▣ **Двухфазная дисциплина:**
 - ❖ **Рабочая фаза (обработка данных)**
 - ❖ **Спейсер (разделение рабочих фаз)**
- ▣ **СС кодирование сигналов (парафазное)**
- ▣ **Полная индикация выходов всех элементов схемы в каждой фазе**

ОБОБЩЕННАЯ ПРОЦЕДУРА СИНТЕЗА СС-СХЕМ (1)

Исходное описание схемы (Verilog)

Логический синтез (YOSYS)

Парафазное преобразование

Генерация
последовательных схем

Подбор библиотечных ячеек

Синтез индикаторной схемы

RONIS

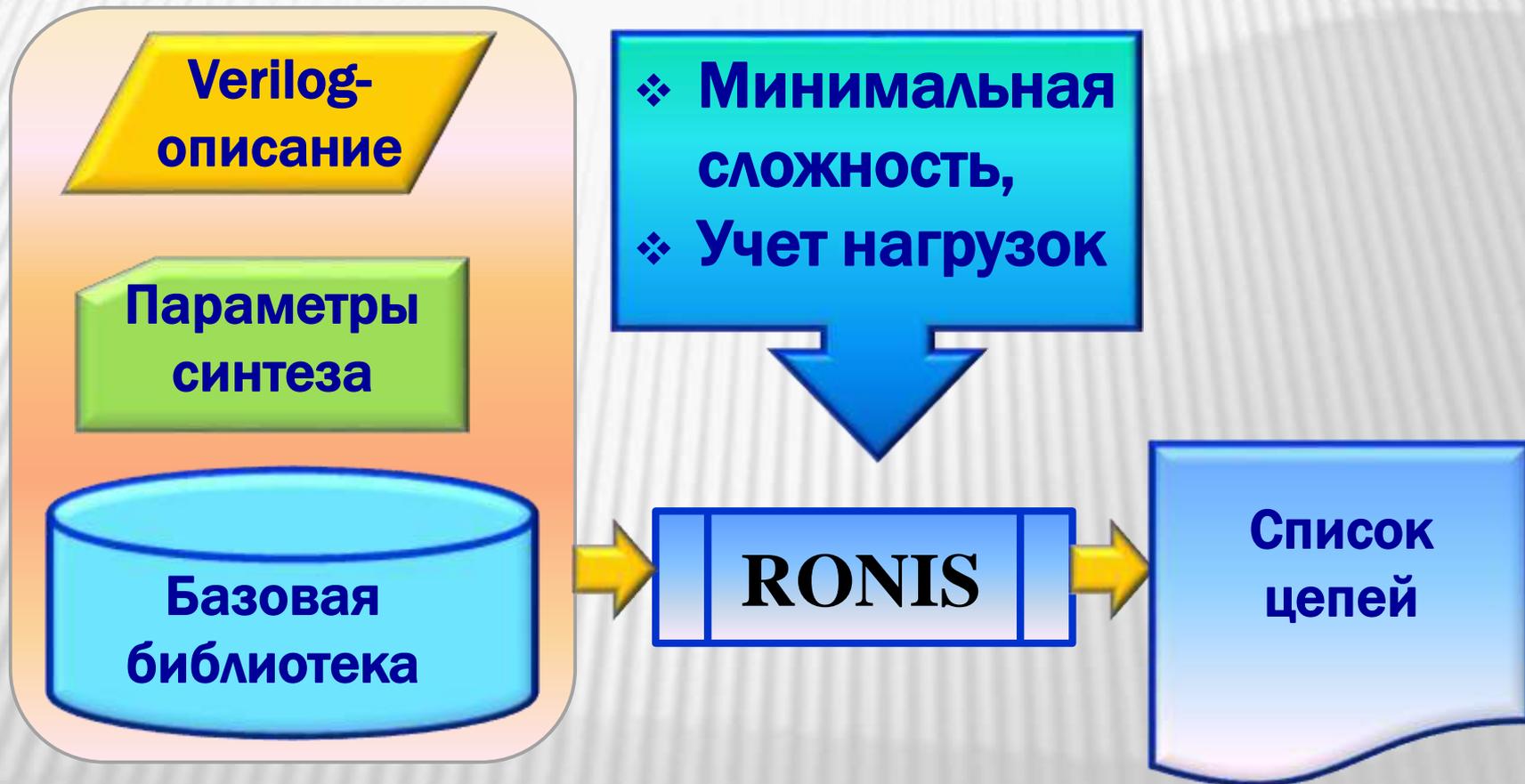


ОБОБЩЕННАЯ ПРОЦЕДУРА СИНТЕЗА СС-СХЕМ (2)

Исходные данные

Критерии

Результат



ИСХОДНОЕ ОПИСАНИЕ СХЕМЫ

- Произвольный уровень (алгоритмический, функциональный, список цепей) на языке Verilog

```
assign C = A + B
```

- Иерархия с использованием сложных функциональных блоков

```
ADD32 ADD_inst (A, B, C);
```

ПАРАМЕТРЫ СИНТЕЗА (1)

- ❑ Спейсеры всех входов,
- ❑ Спейсеры выходов,
- ❑ Индицируемые входы,
- ❑ Параметр усиления («усиливать всё, что необходимо»; «ничего не усиливать»; «усиливать указанные сигналы»),
- ❑ Язык описания синтезированной схемы (Verilog, VHDL)

ПАРАМЕТРЫ СИНТЕЗА (2)

Пример задания на синтез:

```
Sour_file: Mult_4x4.v; // source file  
Module: mult_buta; // module to synthesize  
IN_Space_0: * ; // names or * (all)  
IN_Space_1: ; // –"–  
IN_Indics: ; // –"– to be indicated  
OUT_Indics: * ; // –"– –"–  
SS_Amplify: * ; // amplify ST-circuit's signals  
OutLang: Verilog; // Verilog, VHDL, Form (FormatKey)
```

ПРОЦЕДУРА СИНТЕЗА

Исходные данные для СС синтеза:

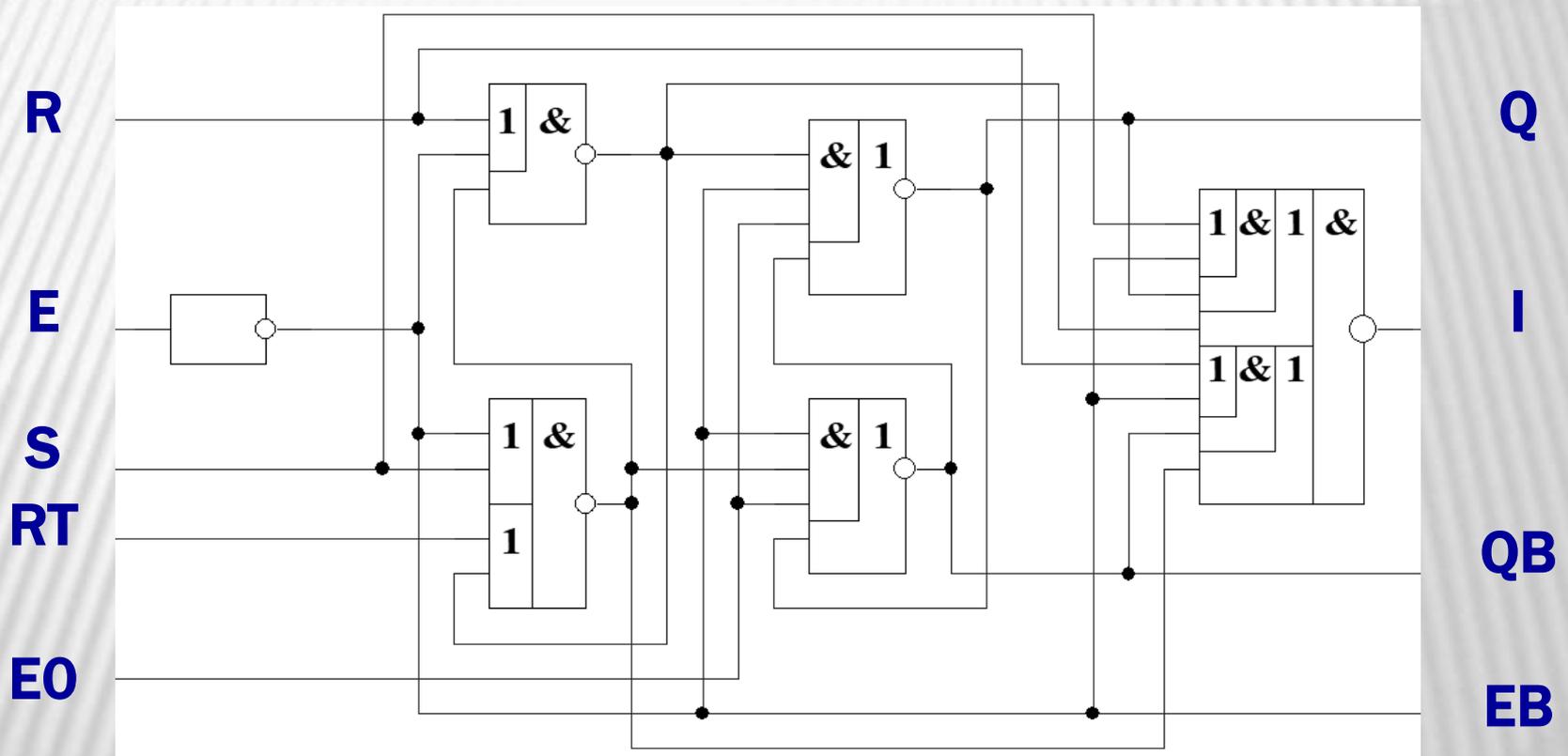
- ❖ Система логических функций
- ❖ СС атрибуты входов и выходов схемы
- ❖ Критерий оптимальности
- ❖ Файлы описания библиотек стандартных и СС элементов и СФБ

СИНТЕЗ ЛОГИКИ СС-СХЕМ (1)

- ❖ Предварительная обработка
- ❖ Генерация триггеров и регистров
- ❖ Встраивание макроэлементов
- ❖ Синтез комбинационных фрагментов:
балансировка, минимизация и дуализация
- ❖ Синтез индикаторной подсхемы
- ❖ Усиление

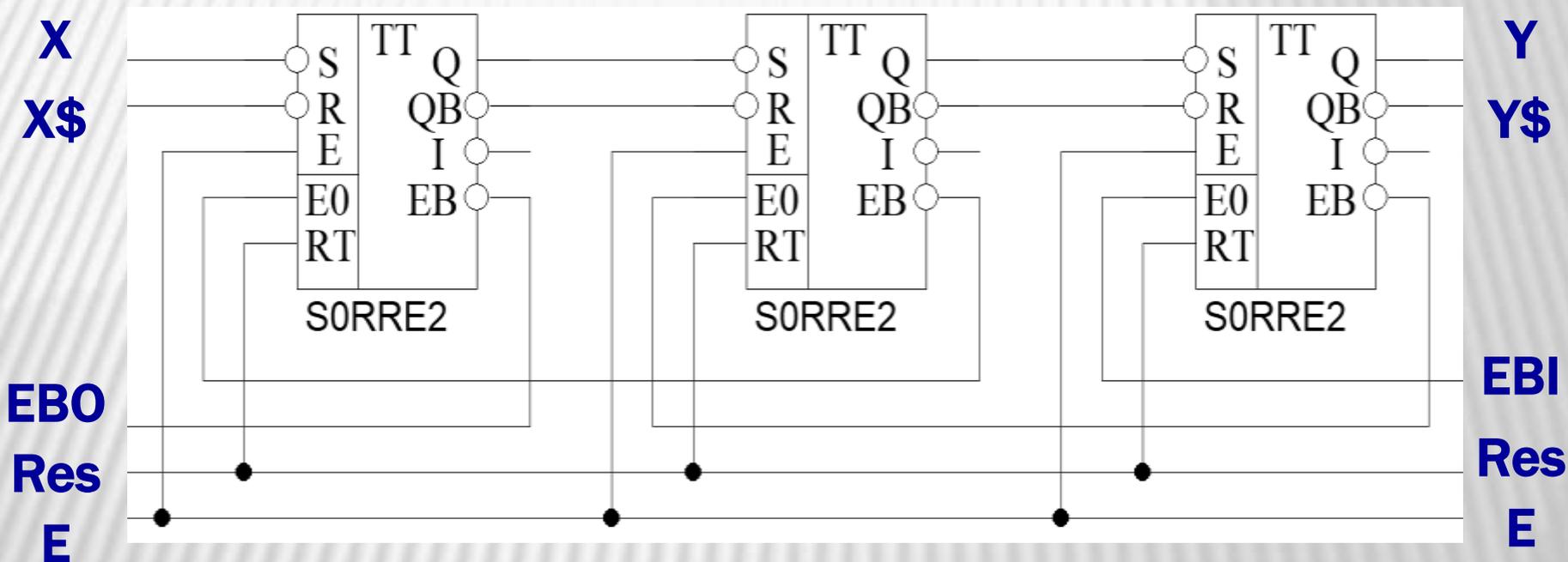
СИНТЕЗ СС-РЕГИСТРОВ СДВИГА (1)

Разряд регистра сдвига



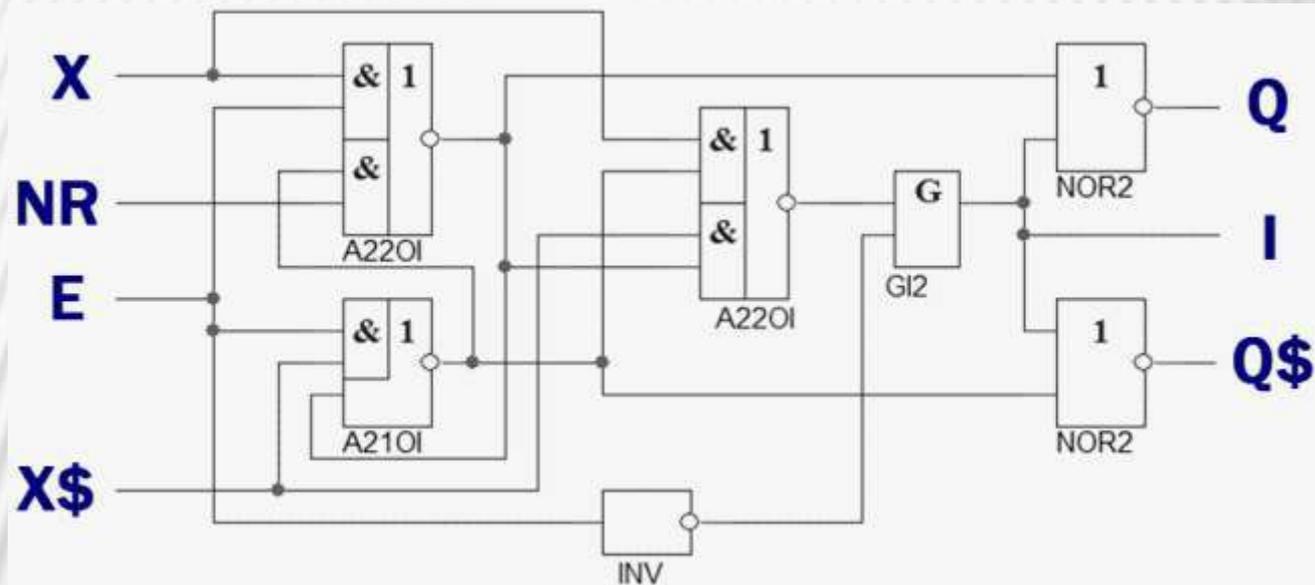
СИНТЕЗ СС-РЕГИСТРОВ СДВИГА (2)

Организация регистра сдвига



СИНТЕЗ СС-РЕГИСТРОВ ХРАНЕНИЯ (1)

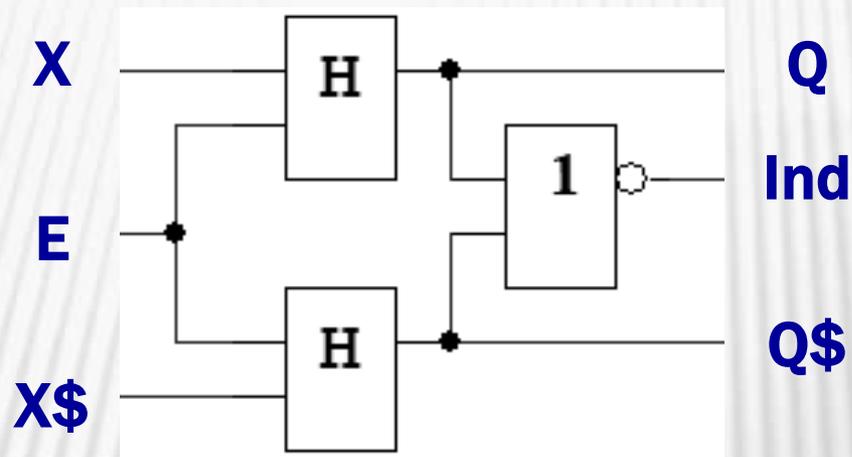
На одноктактных RS-триггерах



44 КМДП транзистора

СИНТЕЗ СС-РЕГИСТРОВ ХРАНЕНИЯ (2)

На гистерезисных (hysteretic, H) триггерах



28 КМДП транзисторов

СИНТЕЗ КОМБИНАЦИОННОЙ ЧАСТИ

Исходная функция:

$$Y = A \& B \mid \sim B \& C \& D \mid \sim A \& C \& D$$

Балансировка:

$$Y = A \& B \mid \underline{B\$} \& C \& D \mid \underline{A\$} \& C \& D$$

Минимизация:

$$Y = A \& B \mid C \& D$$

Дуализация:

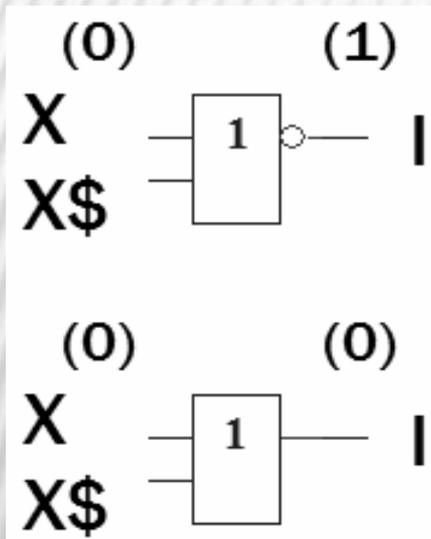
$$Y = A \& B \mid C \& D$$
$$Y\$ = (A\$ \mid B\$) \& (C\$ \mid D\$)$$

Сопряженные
переменные

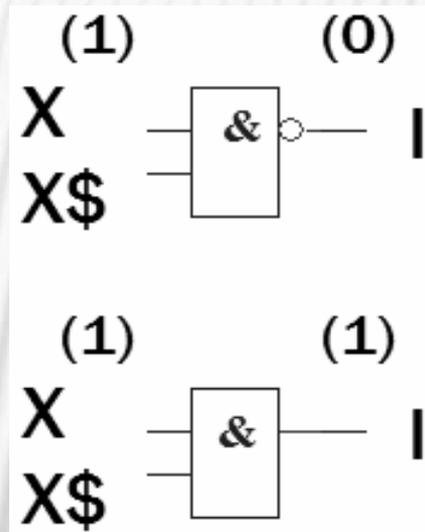
Парафазный
сигнал

СИНТЕЗ ИНДИКАТОРНОЙ ПОДСХЕМЫ (1)

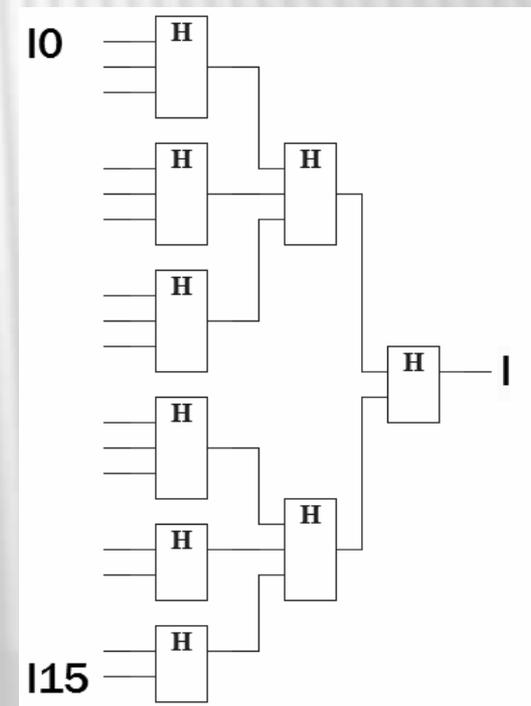
Индикация нулевого спейсера



Индикация единичного спейсера



Сборка индикаторных сигналов



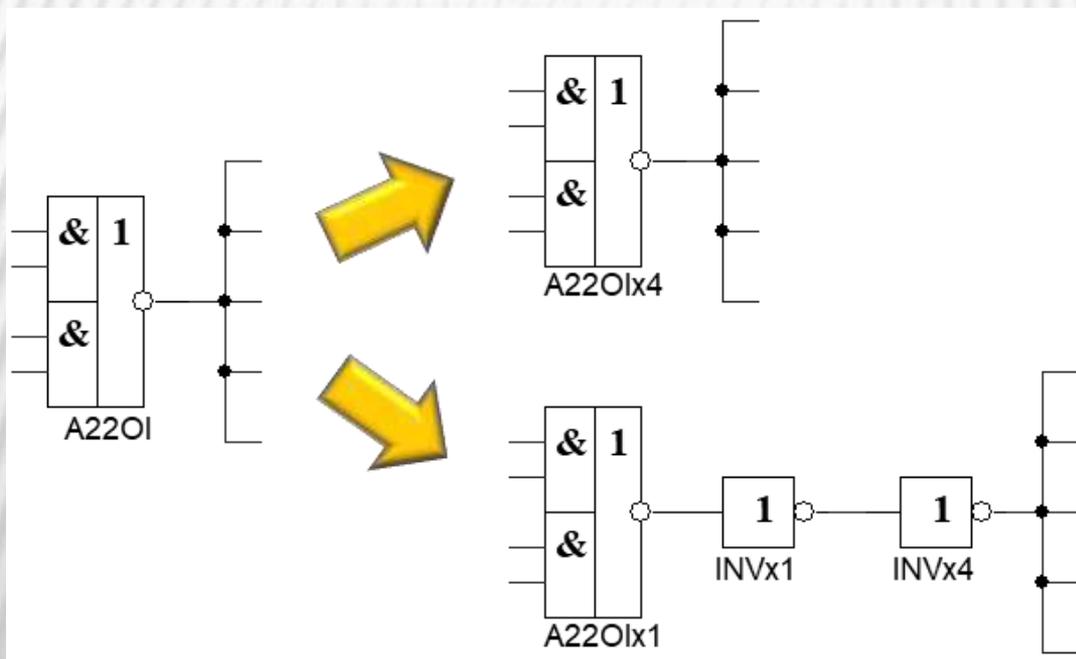
СИНТЕЗ ИНДИКАТОРНОЙ ПОДСХЕМЫ (2)

- ❖ Генерация сигналов, индицирующих парафазные сигналы
- ❖ Группирование индикаторных сигналов по времени их переключения (по каскадам)
- ❖ Доопределение типа спейсера информационных и индикаторных выходов схемы в соответствии с указанными атрибутами с помощью инверторов
- ❖ Покрытие всей совокупности индикаторных сигналов «деревом» гистерезисных триггеров

ОПЦИОНАЛЬНОЕ УСИЛЕНИЕ

Усиливаются:

- ❖ все сигналы, требующие усиления
- ❖ никакие сигналы
- ❖ Указанные пользователем сигналы



**Подбор элемента
по нагрузочной
способности**

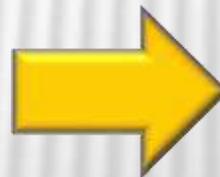
**Добавление
каскада усиления**

РЕЗУЛЬТАТ СИНТЕЗА СС-СХЕМЫ

```
module mult_buta_SS (_M_data_in1, _C_data_in1, _M_data_in2,
                    _C_data_in2, _M_data_out, _C_data_out, _UI_79);
input [3:0] _M_data_in1, _C_data_in1, _M_data_in2, _C_data_in2;
output [7:0] _M_data_out, _C_data_out;
output _UI_79;
// -----
(*UnPhas="_UI_79 1"*)
(*BinPhas={"_M_data_in1[3:0] _C_data_in1[3:0] _M_data_in2[3:0]
_C_data_in2[3:0] 0", "_M_data_out[7:0] _C_data_out[7:0]" 1}*)
(*PhasOut={"_UI_79 <*> _M_data_out[7:0] _C_data_out[7:0]"})
// -----
wire [7:1] _M_005_, _C_005_;
...
```

ТРЕБОВАНИЯ К БИБЛИОТЕКЕ

- ❖ Элементы с монотонной функцией
- ❖ Минимальный набор:
 - ✓ Инвертор, 2И-НЕ, 2ИЛИ-НЕ,
 - ✓ СС-триггер хранения,
 - ✓ Разряд СС-регистра сдвига,
 - ✓ Счетный СС-триггер,
 - ✓ Г-триггер



ЗАКЛЮЧЕНИЕ

- Главное отличие синтеза СС-схем от синтеза синхронных схем заключается в дуализации СС-логики, индикаторной подсхемы и подсхемы замыкания
- Расширение библиотеки стандартных элементов САПР "Ковчег" СС-элементами обеспечило успешную интеграцию специфичных этапов проектирования СС-схем в САПР "Ковчег" в рамках единого маршрута проектирования синхронных и СС-схем
- Дальнейшее развитие методов синтеза будет идти в направлениях выявления и реализации сильно связанных функций, увеличения списка автоматически генерируемых структур, учета данных реальной топологии

КОНТАКТЫ

- ▣ **Адрес:** Институт проблем информатики
Федерального исследовательского центра
«Информатика и управление» Российской академии
наук (ИПИ ФИЦ РАН), Россия, 119333, Москва, ул.
Вавилова, д. 44, корпус 2
- ▣ **Директор:** Академик Соколов И. А.
- ▣ **Телефон:** +7 (495) 137 34 94
- ▣ **Fax:** +7 (495) 930 45 05
- ▣ **E-mail:** ISokolov@ipiran.ru
- ▣ **Докладчик:** Плеханов Л.П., +7(916)277-48-34,
lplekhanov@inbox.ru
- ▣ **Поддержка:**
Исследование выполнено в рамках государственного
задания № 0063-2019-0010