

# ПОВЫШЕНИЕ СБОЕУСТОЙЧИВОСТИ ИНДИКАЦИИ САМОСИНХРОННЫХ СХЕМ



Ю.А. Степченков, Ю.Г. Дьяченко, Ю.В. Рождественский,  
Н.В. Морозов, Д.Ю. Степченков, Д.Ю. Дьяченко



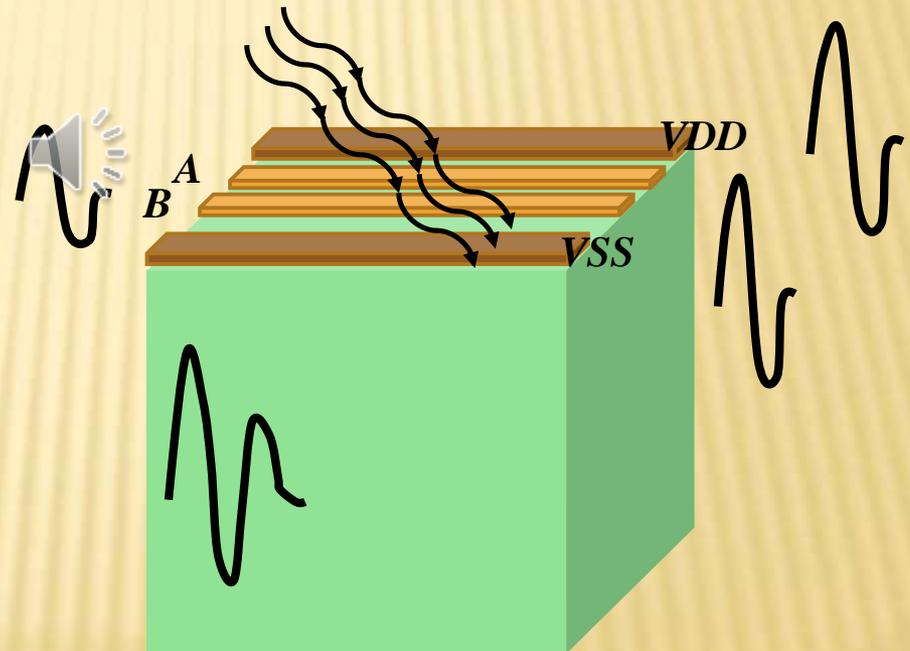
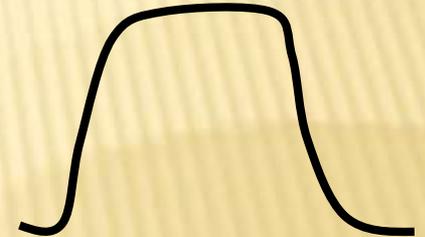
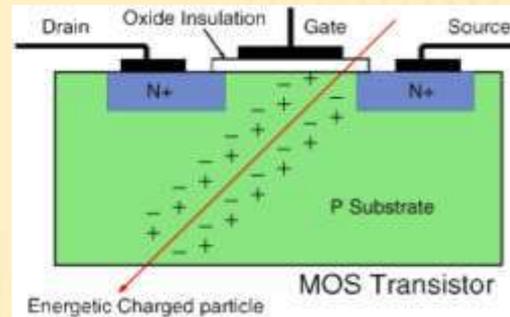
Институт проблем информатики  
Федерального исследовательского  
центра «Информатика и управление» РАН

# СОДЕРЖАНИЕ

- ▣ **Логические сбои в самосинхронных схемах**
- ▣ **Особенности индикации самосинхронных схем**
- ▣ **Схемотехника индикаторной подсхемы**
- ▣ **Способы повышения сбоеустойчивости индикации**
- ▣ **Заключение**

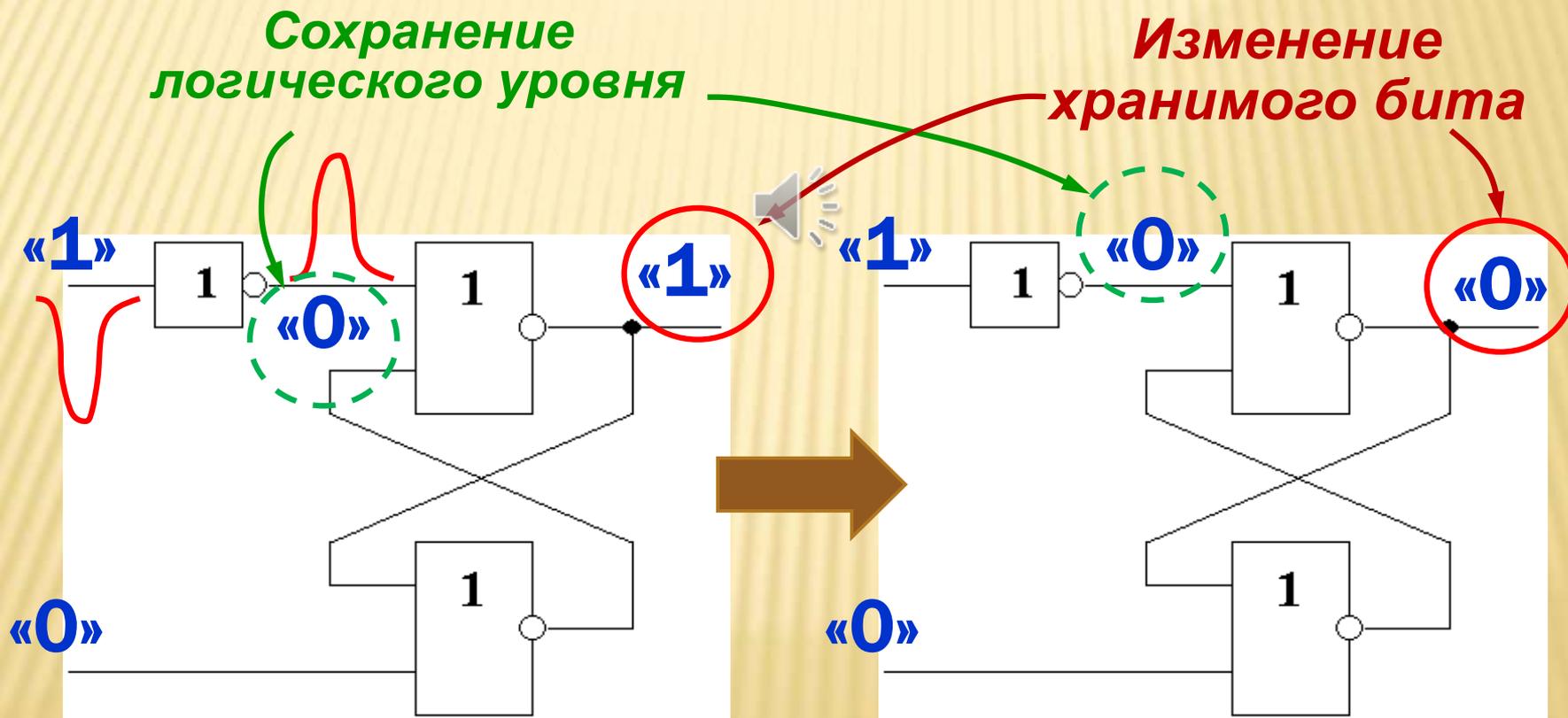
# ИСТОЧНИКИ ЛОГИЧЕСКИХ СБОЕВ

- ▣ Ядерные частицы и космические лучи
- ▣ Внешний электромагнитный импульс
- ▣ Наводки на сигнальные трассы
- ▣ Помехи по шинам питания
- ▣ Шумы по подложке



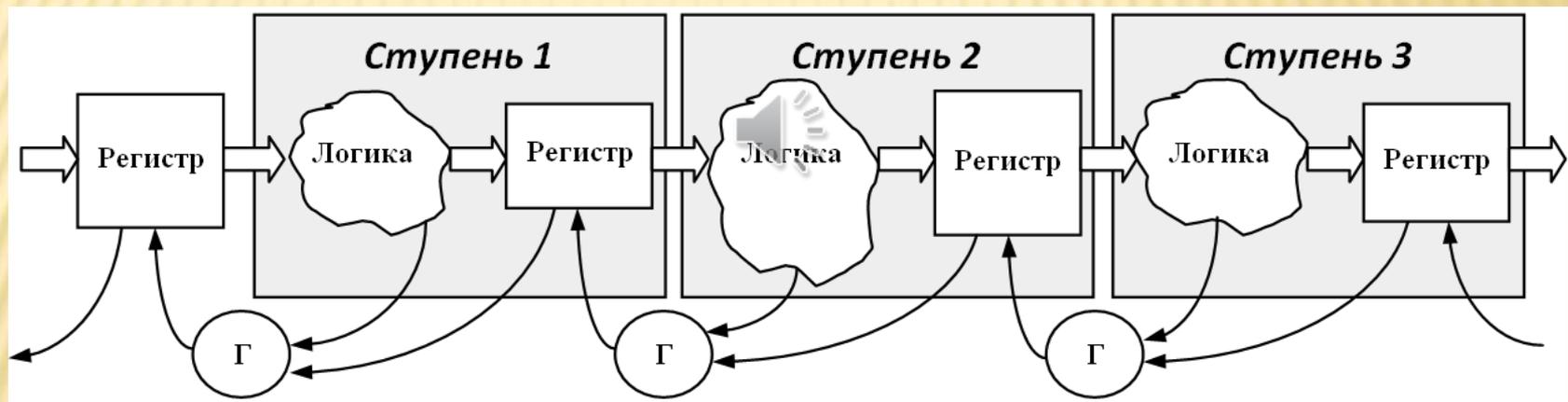
# ЛОГИЧЕСКИЙ СБОЙ В ЦИФРОВЫХ СХЕМАХ

- Относительно безопасен в комбинационных схемах
- Критичен в триггерах и регистрах



# САМОСИНХРОННЫЕ СХЕМЫ

## Запрос-ответное взаимодействие самосинхронного конвейера



# ПАРАФАЗНОЕ КОДИРОВАНИЕ

- ❖ Два рабочих состояния
- ❖ Один спейсер

X	XV	Тип спейсера	
		нулевой	единичный
0	1	 бит 0	бит 0
1	0	бит 1	бит 1
0	0	спейсер	<b>анти-спейсер</b>
1	1	<b>анти-спейсер</b>	спейсер

**Анти-спейсер** – состояние, противоположное спейсеру

# ИНДИКАЦИЯ ПАРАФАЗНЫХ СИГНАЛОВ

Традиционная:



**Достоинство:**

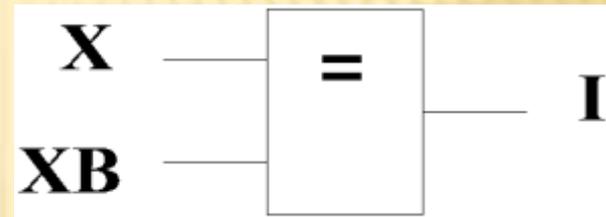
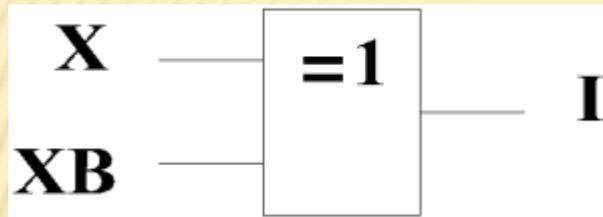
- ❑ простота
- ❑ высокое быстродействие

**Недостатки:**

- ❖ анти-спейсер индицируется как рабочее состояние
- ❖ данные в конвейере портятся

# ИНДИКАЦИЯ ПАРАФАЗНЫХ СИГНАЛОВ

## Сбоеустойчивая:



### Достоинства:

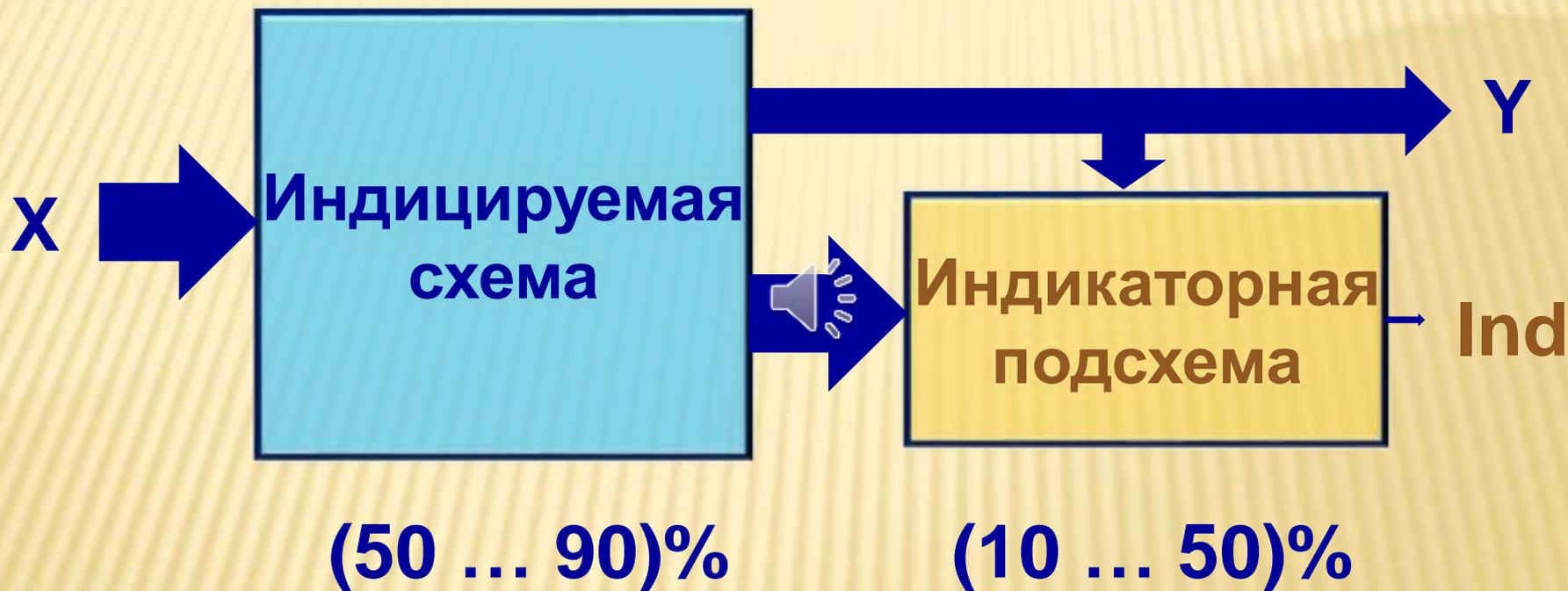


- ❑ подходит для любого спейсера
- ❑ индицирует анти-спейсер как спейсер и данные в конвейере не портятся

### Недостатки:

- ❖ больше сложность реализации
- ❖ ниже быстродействие

# САМОСИНХРОННЫЕ СХЕМЫ

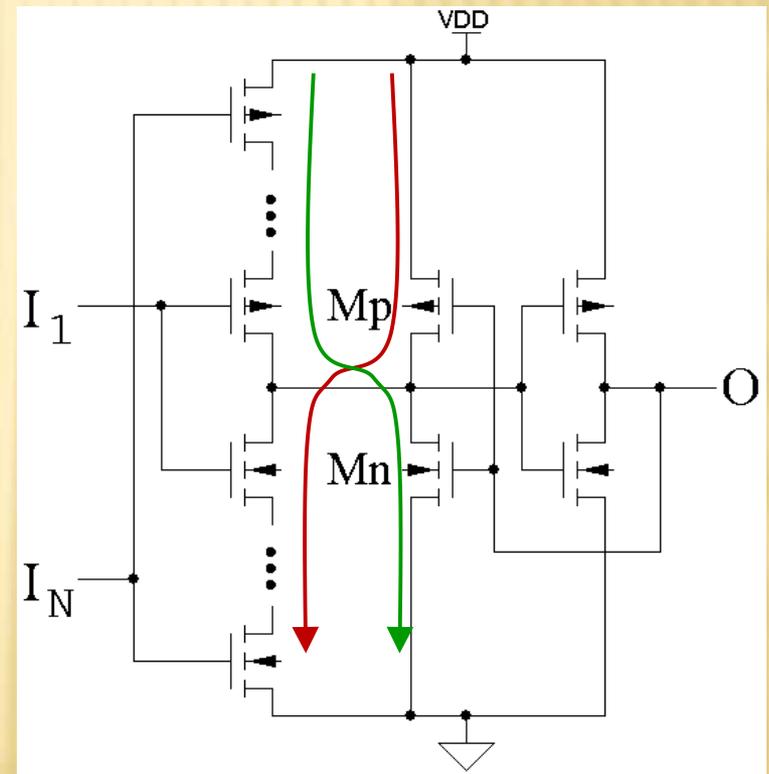
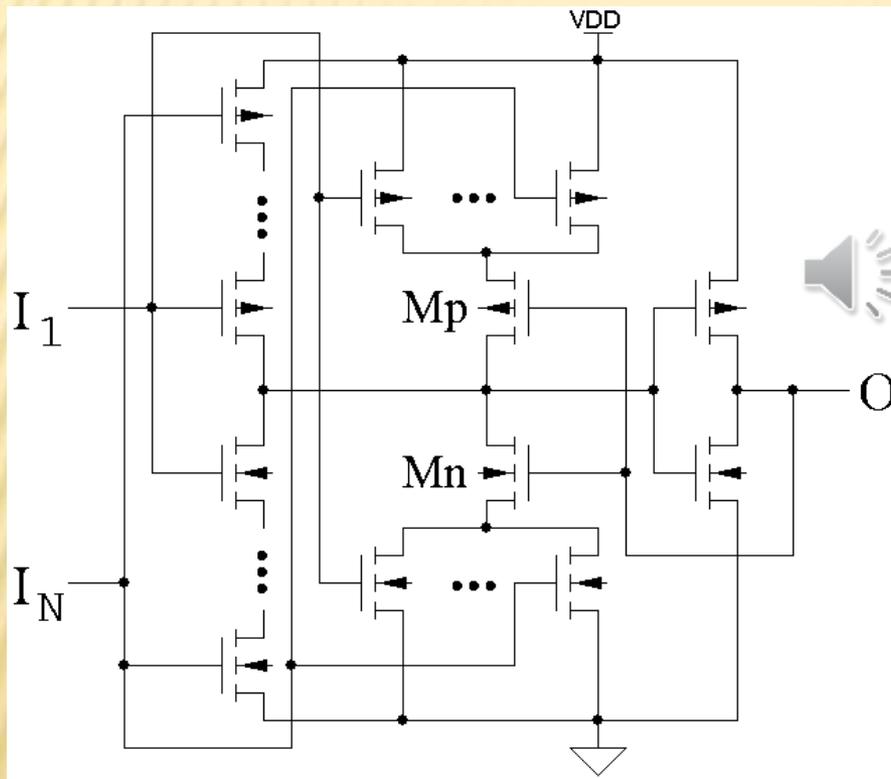


# ТИПЫ ЛОГИЧЕСКИХ СБОЕВ



# ИНДИКАТОРНЫЕ ЭЛЕМЕНТЫ

$$O^+ = I_1 \cdot I_2 \cdot \dots \cdot I_N + O \cdot (I_1 + I_2 + \dots + I_N)$$

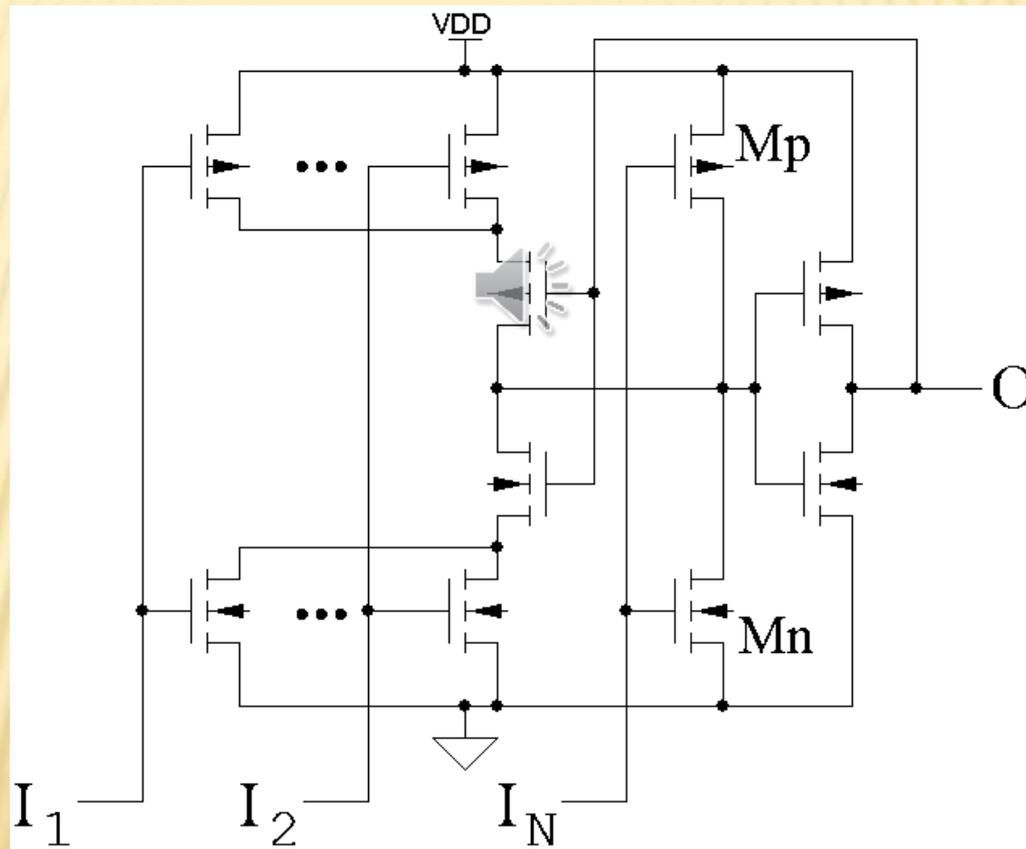


Гистерезисный триггер

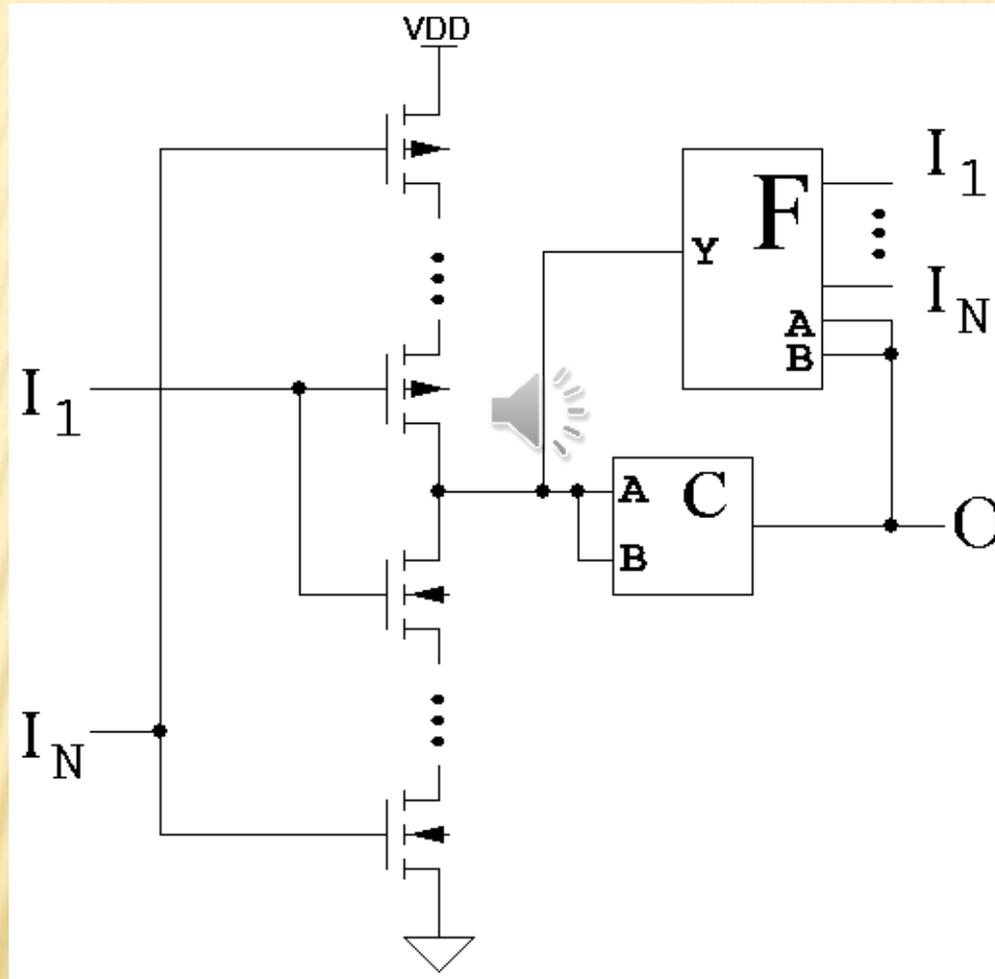
S-элемент

# ИНДИКАТОРНЫЕ ЭЛЕМЕНТЫ

## Многовходовой гистерезисный триггер

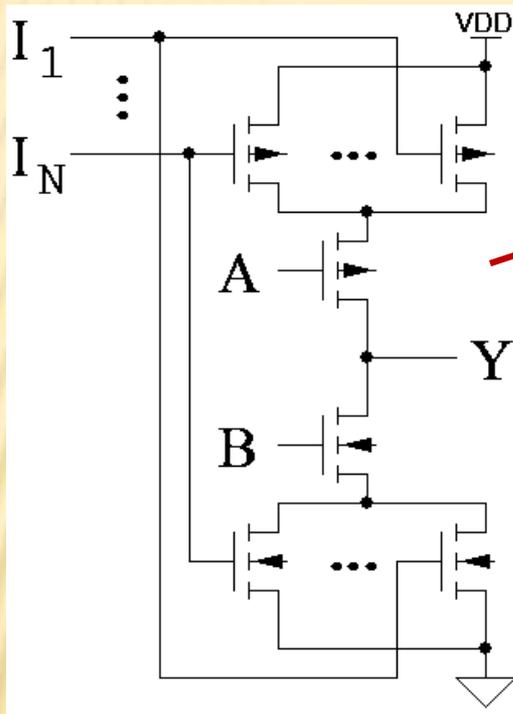


# ИНДИКАТОРНЫЕ ЭЛЕМЕНТЫ

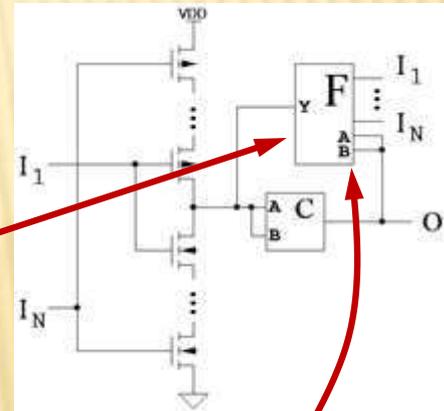


# ИНДИКАТОРНЫЕ ЭЛЕМЕНТЫ

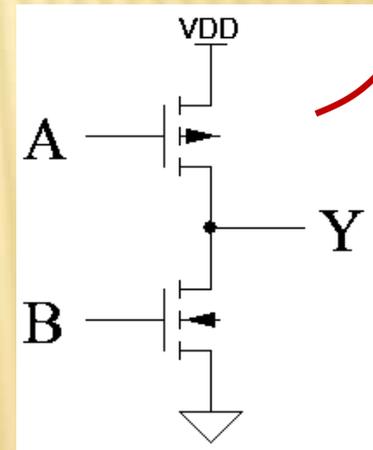
## Реализация блока "F"



В гистерезисном триггере

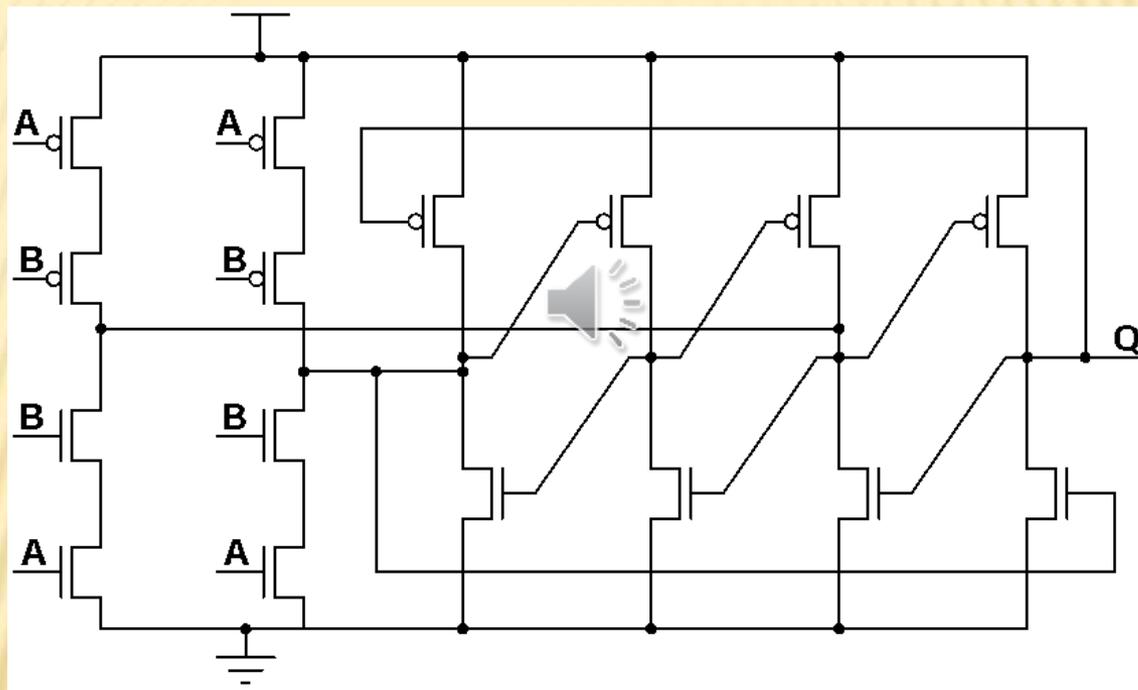


В С-элементе



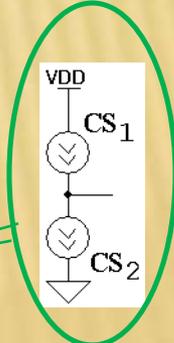
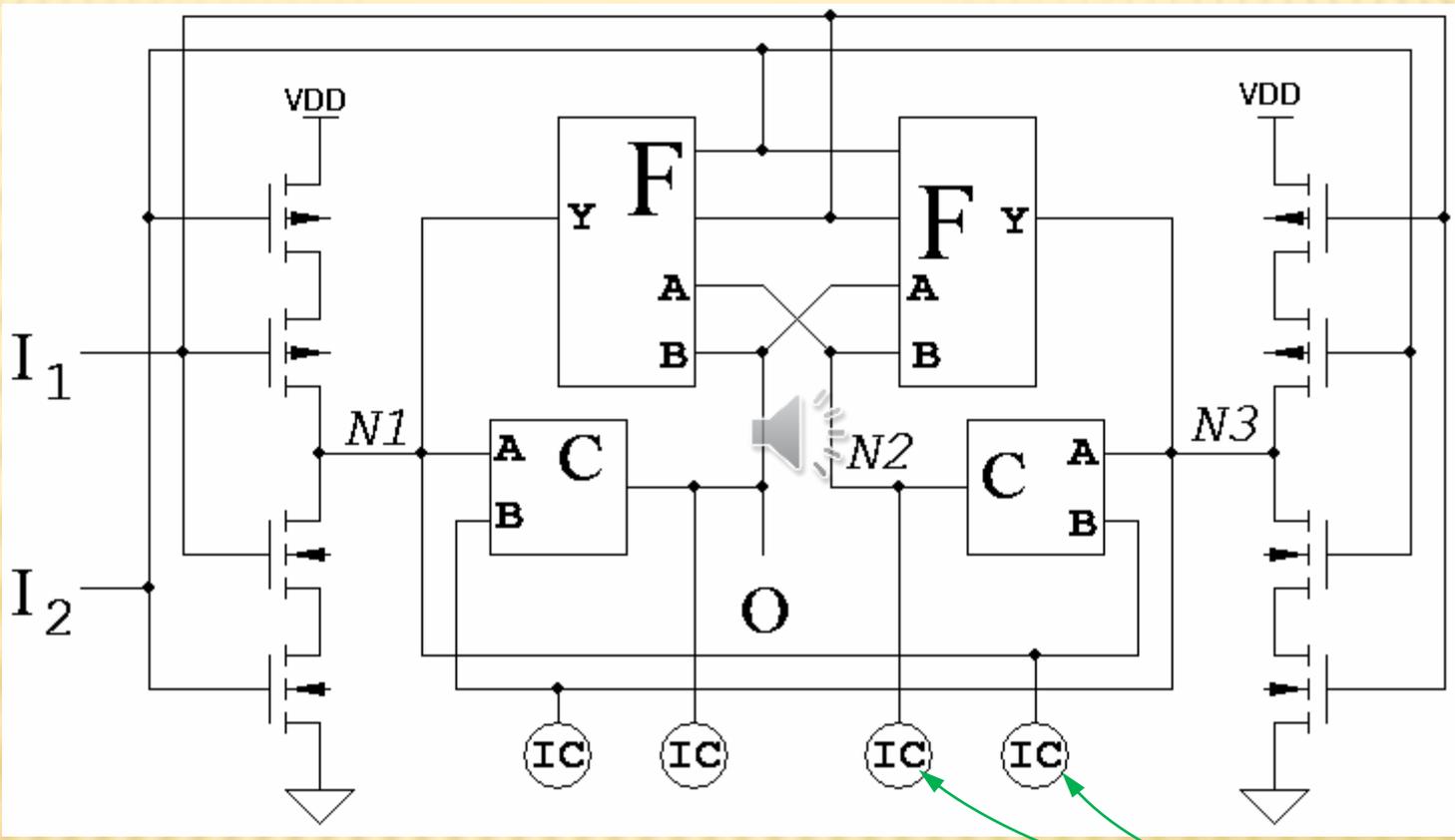
# СБОЕУСТОЙЧИВЫЙ ИНДИКАТОРНЫЙ ЭЛЕМЕНТ

## Dual Interlocked Cell (DICE) реализация\*



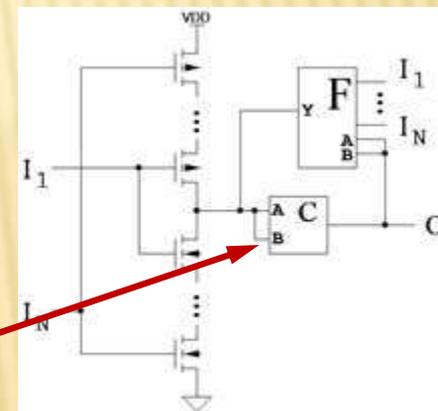
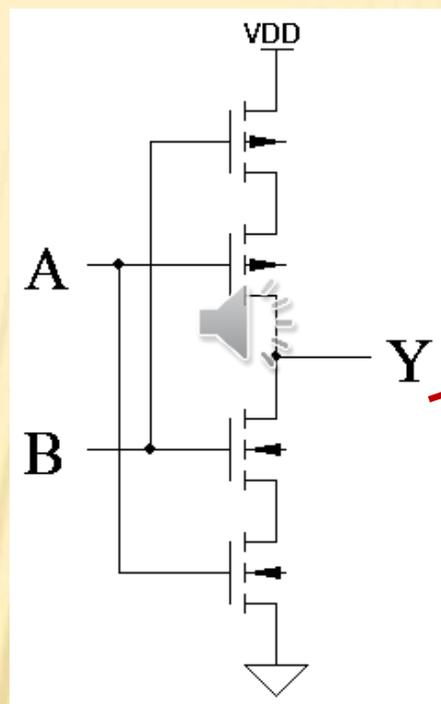
\* Danilov I. A., et al. DICE-based Muller C-elements for soft error tolerant asynchronous ICs / RADECS-2016. DOI: [10.1109/RADECS.2016.8093145](https://doi.org/10.1109/RADECS.2016.8093145)

# СБООУСТОЙЧИВЫЙ ИНДИКАТОРНЫЙ ЭЛЕМЕНТ



# СБОЕУСТОЙЧИВЫЙ ИНДИКАТОРНЫЙ ЭЛЕМЕНТ

## Сбоеустойчивая реализация блока “С” \*



\* Eaton A. Patent No. US 6,756,809 B2. Single event upset immune logic family. 2004

# СРАВНЕНИЕ ВАРИАНТОВ ИНДИКАТОРНЫХ ЭЛЕМЕНТОВ

Вариант	Блок "С"	Блок "F"
1	Схема 1	Схема 1
2	Схема 1	Схема 2
3	Схема 3	Схема 1
4	Схема 3	Схема 2

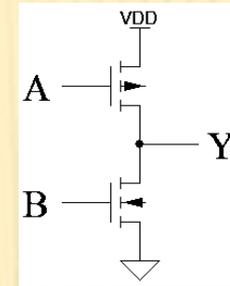


Схема 1

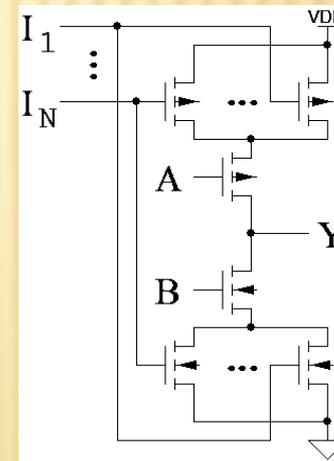


Схема 2

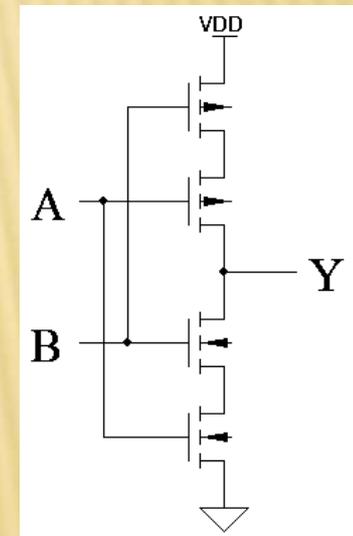
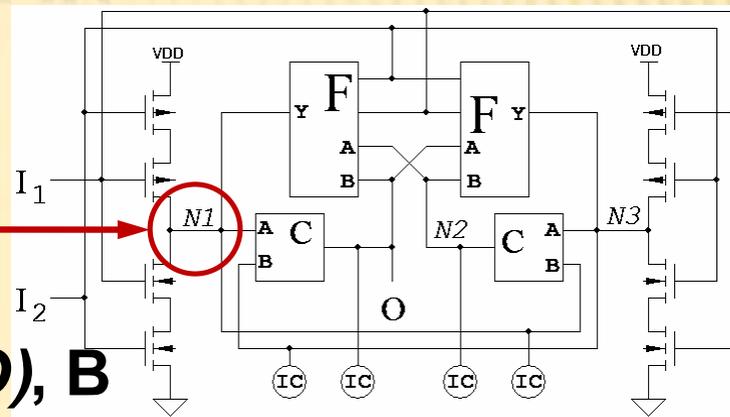


Схема 3

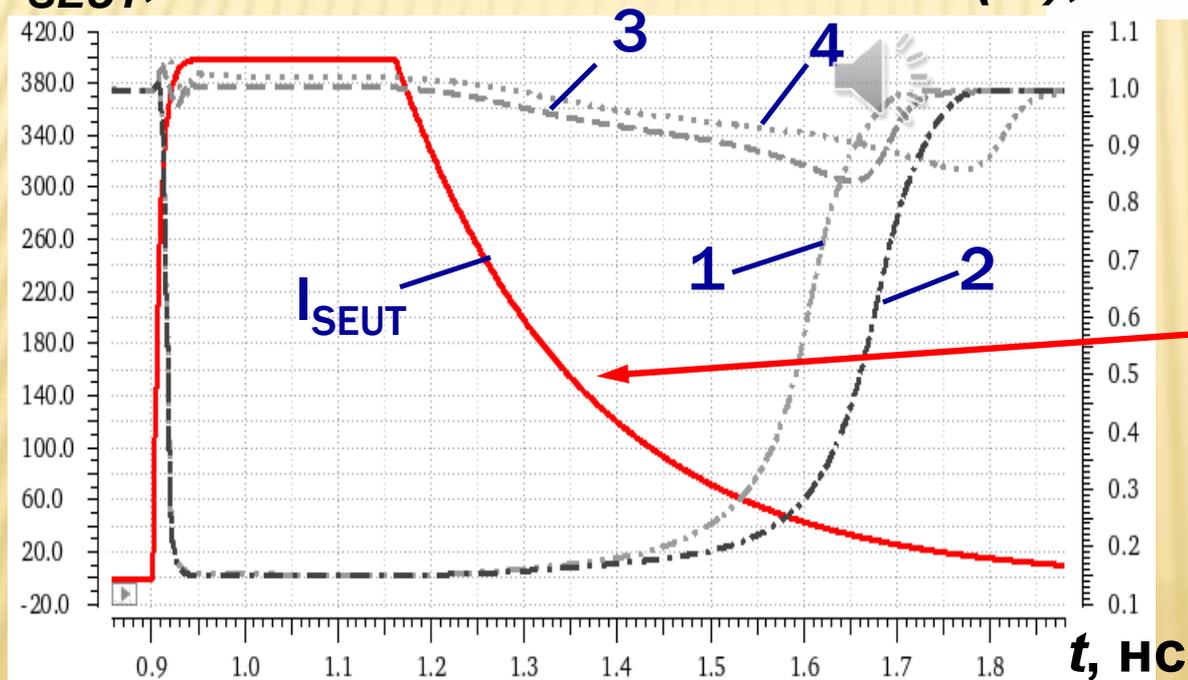
# СРАВНЕНИЕ ВАРИАНТОВ ИНДИКАТОРНЫХ ЭЛЕМЕНТОВ

Реакция выхода  $O$ , хранящего логическую единицу, на импульс ионизационного тока в узле  $N1$



$I_{SEUT}$ , мкА

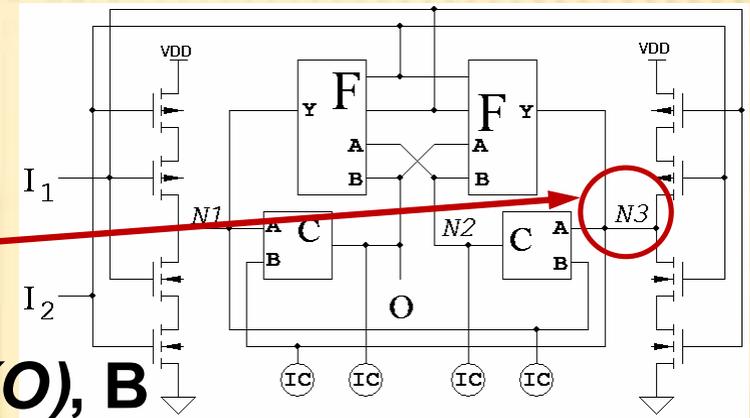
$V(O)$ , В



Параметры импульса тока:  
 $A = 400$  мкА,  
 $t_{фр} = 7$  пс,  
 $t_{сп} = 200$  пс,  
«плато» = 200 пс.

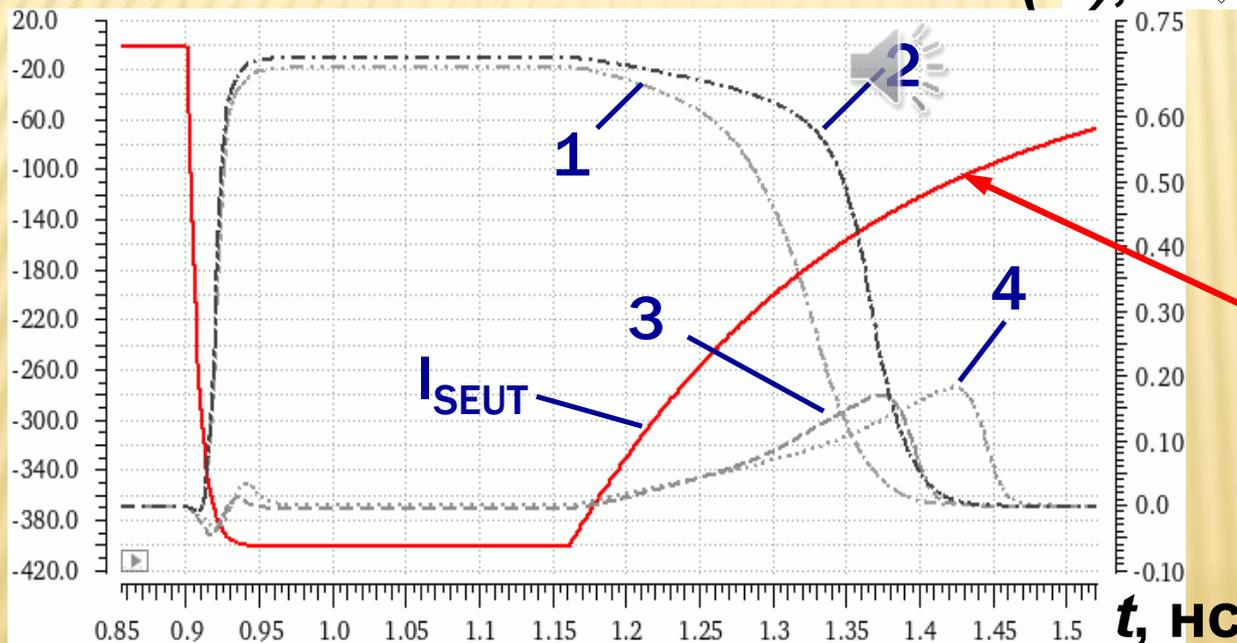
# СРАВНЕНИЕ ВАРИАНТОВ ИНДИКАТОРНЫХ ЭЛЕМЕНТОВ

Реакция выхода O, хранящего логический нуль, на импульс ионизационного тока в узле N3



$I_{SEUT}$ , мкА

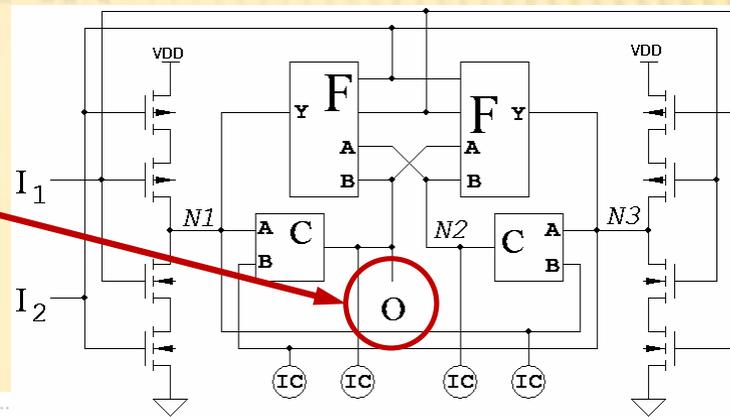
$V(O)$ , В



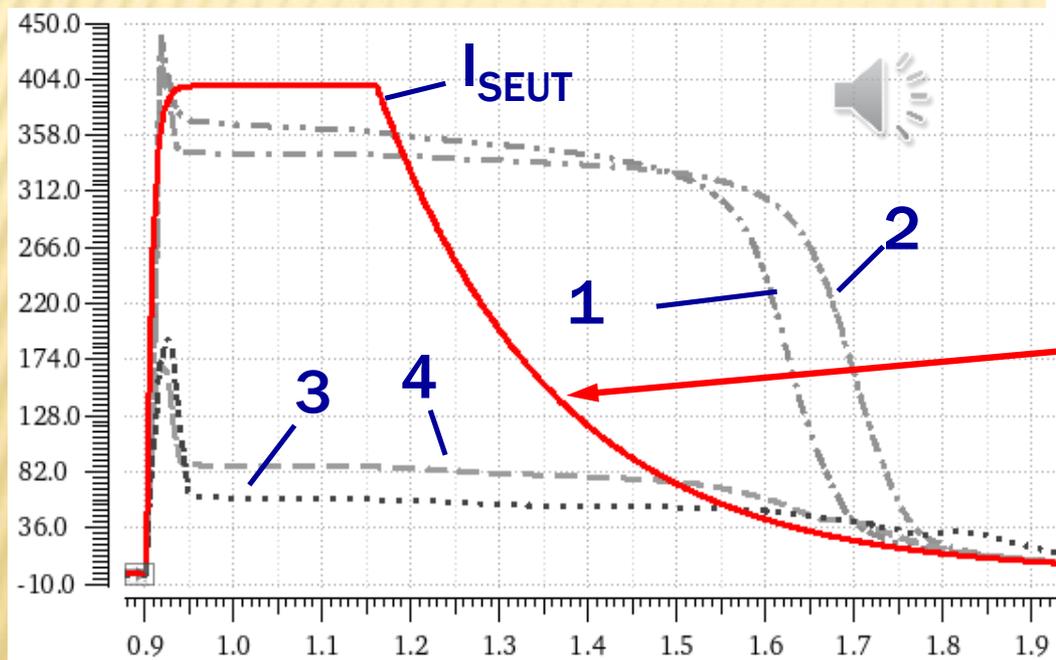
Параметры импульса тока:  
 $A = -400$  мкА,  
 $t_{фр} = 7$  пс,  
 $t_{сп} = 200$  пс,  
«плато» = 200 пс.

# СРАВНЕНИЕ ВАРИАНТОВ ИНДИКАТОРНЫХ ЭЛЕМЕНТОВ

Увеличение тока потребления при импульсе ионизационного тока в узле O



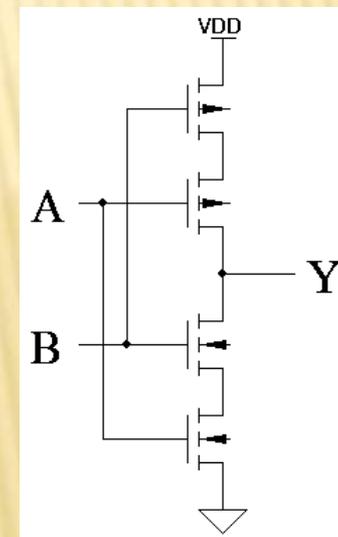
$I_{CC}$ , мкА



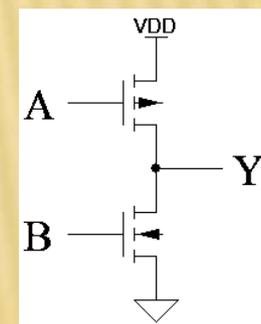
Параметры импульса тока:  
 $A = 400$  мкА,  
 $t_{фр} = 7$  пс,  
 $t_{сп} = 200$  пс,  
«плато» = 200 пс.

# СРАВНЕНИЕ ВАРИАНТОВ ИНДИКАТОРНЫХ ЭЛЕМЕНТОВ

Вариант	Блок "С"	Транзисторы блока "С"	Инвертор на выходе
А	Схема 1	×1	Нет
Б	Схема 1	×2 	Нет
В	Схема 2	×1	Нет
Г	Схема 2	×2	Нет
Д	Схема 1	×1	Да



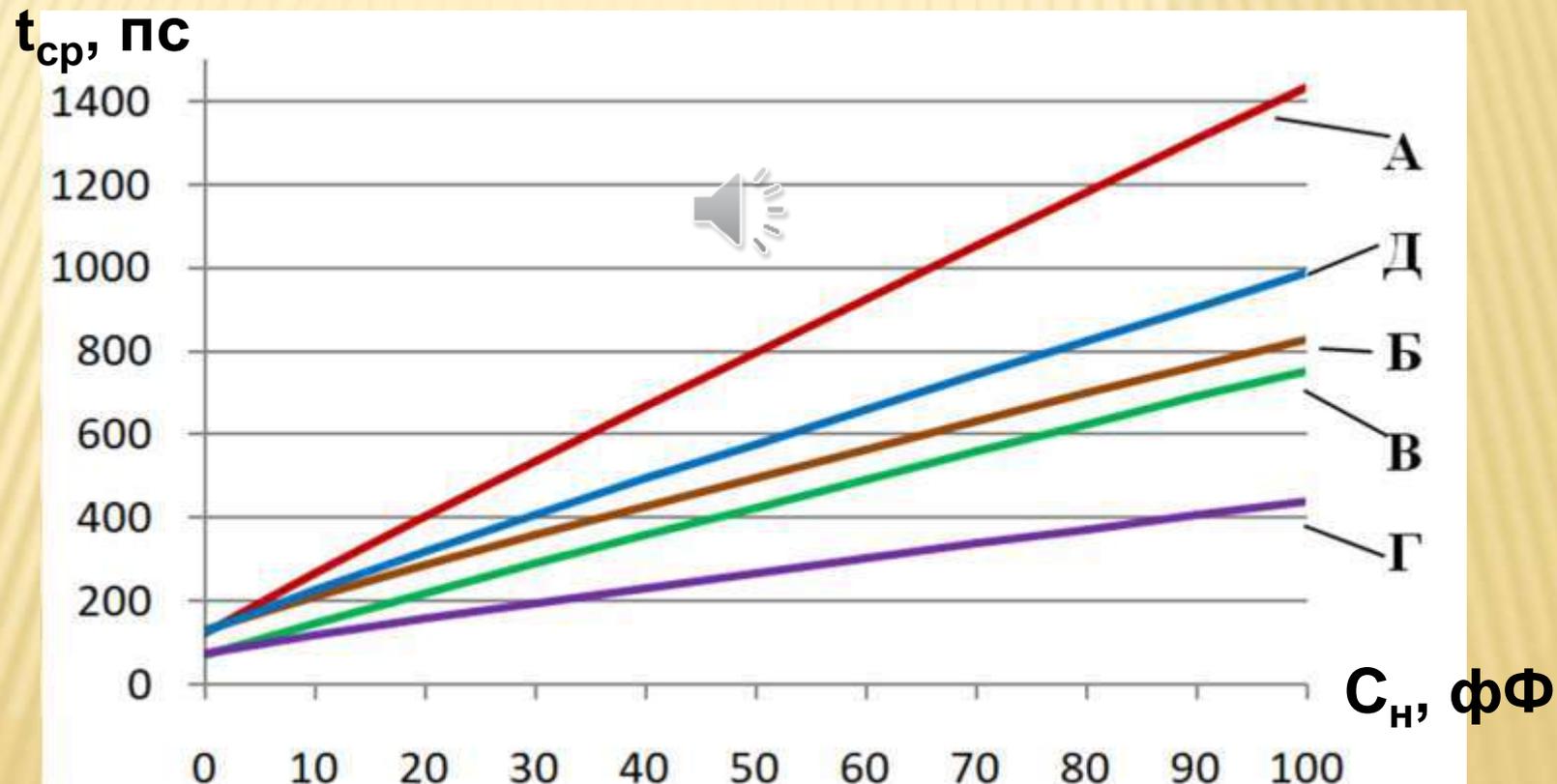
**Схема 1**



**Схема 2**

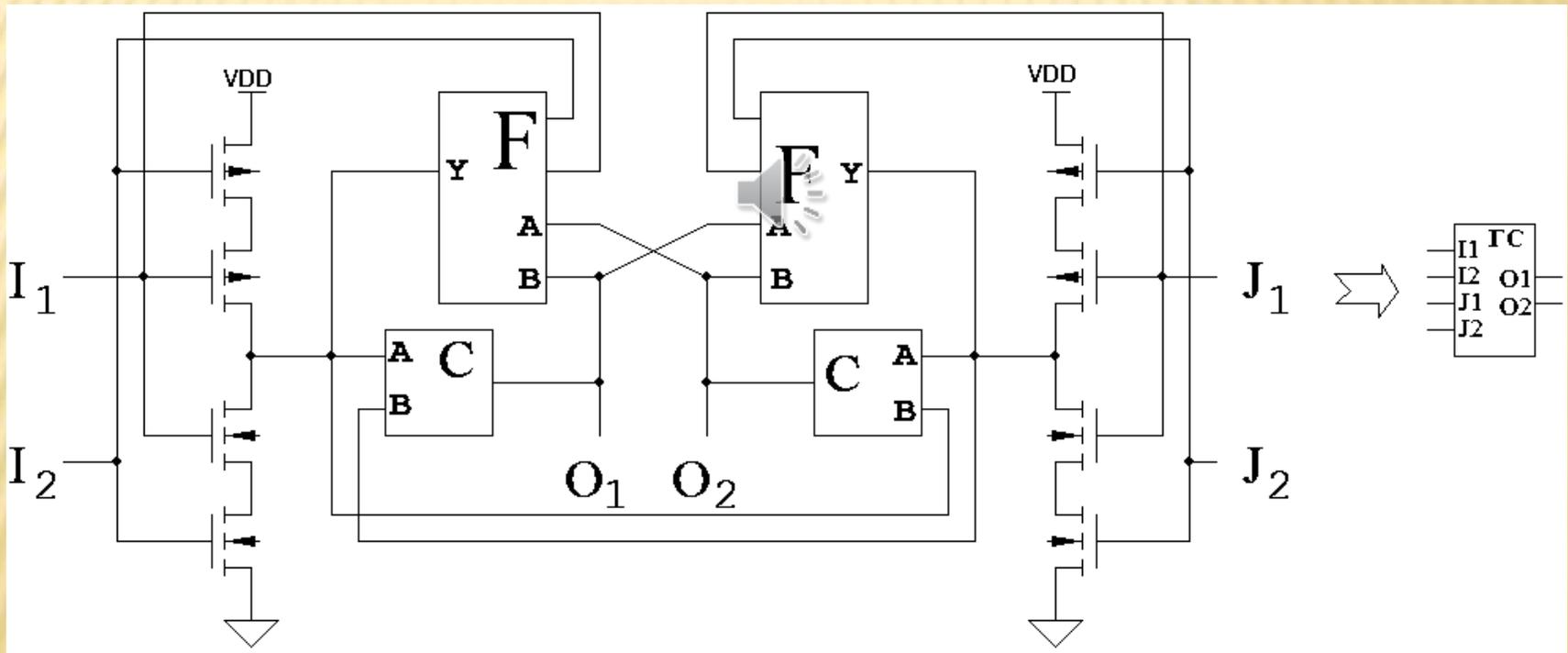
# СРАВНЕНИЕ ВАРИАНТОВ ИНДИКАТОРНЫХ ЭЛЕМЕНТОВ

Усредненные задержки переключения вариантов DICE-подобного индикаторного элемента в зависимости от емкостной нагрузки на выходе

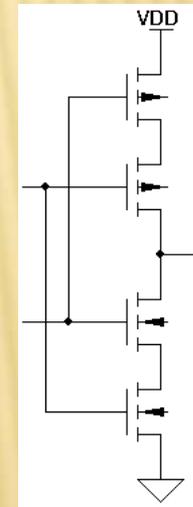
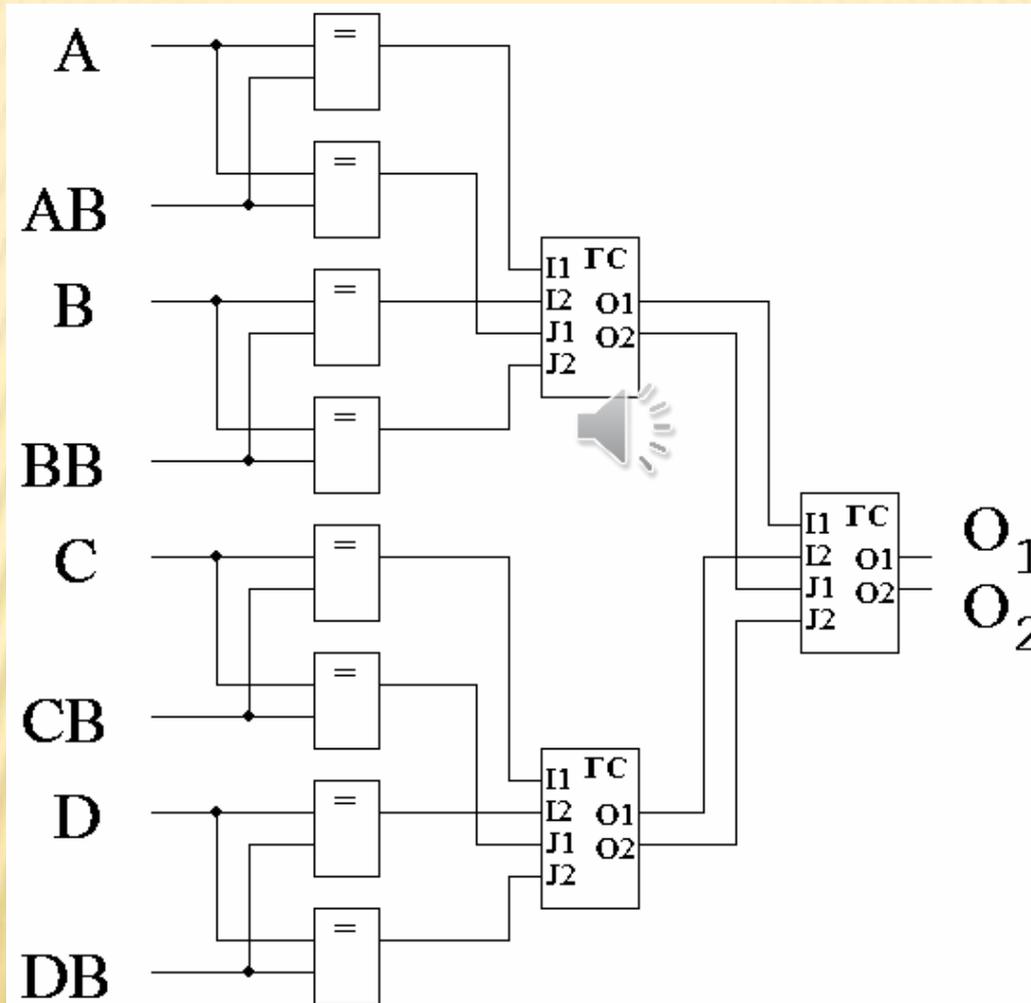


# СБООУСТОЙЧИВЫЙ ИНДИКАТОРНЫЙ ЭЛЕМЕНТ

## DICE-реализация индикаторного элемента с синфазными входами и выходом



# СТРУКТУРА ОБЩЕЙ ИНДИКАТОРНОЙ ПОДСХЕМЫ



# ЗАКЛЮЧЕНИЕ

- ▣ Сбоеустойчивость самосинхронной схемы в значительной степени определяется ее индикаторной подсхемой
- ▣ Элементы XOR / XNOR в первом каскаде индикаторной подсхемы маскируют сбойный анти-спейсер в индицируемой схеме
- ▣ Использование четырехтранзисторного выходного каскада делает индикаторный элемент DICE-типа абсолютно иммунным к одиночным логическим сбоям в его внутренних узлах
- ▣ Защита от логического сбоя на выходе индикаторного элемента DICE-типа достигается с помощью синфазных входов и выходов



**СПАСИБО  
ЗА ВНИМАНИЕ !**



# КОНТАКТЫ

- ▣ Адрес: Институт проблем информатики Федерального исследовательского центра «Информатика и управление» Российской академии наук (ИПИ РАН), Россия, 119333, Москва, ул. Вавилова, д. 44, корпус 2
- ▣ Научный руководитель: директор, академик Соколов И. А.
- ▣ Телефон: +7 (495) 137 34 94
- ▣ Fax: +7 (495) 930 45 05 
- ▣ E-mail: ISokolov@ipiran.ru
- ▣ Докладчик: Дьяченко Ю. Г., +7(495)381-45-21,  
diaura@mail.ru

## Поддержка

Программа фундаментальных исследований Президиума РАН  
(проект 2019-0054-2.3, руководитель - академик РАН Бетелин В.Б.)