

Повышение сбоеустойчивости самосинхронного троичного умножителя

Ю.А. Степченков, Ю.В. Рождественский, Ю.Г. Дьяченко,
Н.В. Морозов, Д.Ю. Степченков, А.В. Рождественскене

Институт проблем информатики Федерального исследовательского центра "Информатика и управление" Российской академии наук (ФИЦ ИУ РАН)

{YRogdest, YStepchenkov, YDiachenko, NMorozov, DStepchenkov}@ipiran.ru

Аннотация—Самосинхронные (СС) схемы в большей степени устойчивы к кратковременным логическим сбоям, чем их синхронные аналоги, благодаря СС-кодированию информационных сигналов, двухфазной дисциплине функционирования и запрос-ответному взаимодействию частей СС-схемы. Специальные схемотехнические и топологические приемы позволяют дополнительно повысить их естественную сбоеустойчивость. В значительной мере это обеспечивается использованием нового принципа индикации СС-сигналов. Классическая индикация строится на основе детектирования единственного спейсерного состояния информационного СС-сигнала в предположении, что остальные состояния являются разрешенными рабочими состояниями. Но при наличии логического сбоя это предположение оказывается неверным. Статья описывает способ повышения помехоустойчивости одноразрядного троичного СС-сумматора и умножителя на его основе. Приведены вероятностные оценки устойчивости исходного и улучшенного в этом отношении умножителя к кратковременным логическим сбоям. Показано, что за счет усложнения индикации одноразрядного сумматора и соответствующего увеличения на 27% аппаратных затрат умножителя 54×54 достигается увеличение времени его бессбойной работы в 1,9 раза.

Ключевые слова—сбоеустойчивость, самосинхронный умножитель, самосинхронное кодирование, троичный сумматор, индикация.

I. ВВЕДЕНИЕ

Проблема помехоустойчивости и сбоеустойчивости цифровых схем выходит на первый план в устройствах, предназначенных для эксплуатации в неблагоприятных внешних условиях. На бортовую аппаратуру воздушного и космического базирования оказывают влияние эффекты, связанные с пролетом через нее высокоэнергичных ядерных частиц, космических лучей, воздействием сильных электромагнитных импульсов. Даже в условиях наземного базирования нельзя исключить из рассмотрения влияние ядерных частиц и космических лучей. К тому же существуют и внутренние источники помех (шумовые наводки, влияние соседних трасс). Все эти причины могут привести к кратковременному логическому сбою – инверсии со-

стояния цепи схемы, которое по окончании действия вызвавшей его причины восстанавливается само собой в комбинационных схемах. В последовательностных схемах сбойное состояние может запомниться и стать постоянным (не кратковременным). На практике логические сбои встречаются гораздо чаще, чем отказы [1].

За счет избыточного (самосинхронного, СС) кодирования информационных сигналов, двухфазной дисциплины функционирования и запрос-ответного взаимодействия СС-схемы обладают рядом преимуществ по сравнению с синхронными аналогами [2], в том числе, большей естественной устойчивостью к кратковременным логическим сбоям [3]. Использование специальных схемотехнических и топологических методов позволяет дополнительно повысить устойчивость СС-схем к логическим сбоям [4].

В результате логического сбоя СС-сигнал может переключиться в некорректное состояние: ошибочное рабочее состояние, преждевременное рабочее состояние, преждевременный спейсер, антиспейсер. Наиболее критичными являются ошибочное рабочее состояние и антиспейсер. Преждевременные корректное (ожидаемое) рабочее состояние и спейсер маскируются свойствами СС-схем и потому не критичны.

Ошибочное рабочее состояние критично, так как оно не нарушает дисциплины функционирования СС-схемы и может быть детектировано только при использовании специальных помехоустойчивых кодов. Антиспейсер парафазного сигнала также является критичным, поскольку традиционной индикаторной подсхемой СС-схемы он будет воспринят как рабочее состояние. Но оно не относится к множеству разрешенных рабочих состояний, и это дает возможность детектировать его как сбой.

Поэтому основной способ повышения сбоеустойчивости СС-схем с парафазным кодированием информационных сигналов с нулевым или единичным спейсером – индикация антиспейсерного состояния парафазного сигнала, возникшего из-за логического сбоя, как спейсера [4]. Реализация аналогичного принципа индикации троичных СС-сигналов также позволяет

повысить сбоеустойчивость использующих троичное кодирование СС-схем.

В данной статье предлагается способ повышения сбоеустойчивости одноразрядного СС-сумматора с троичным СС-кодированием входов и выходов, даются вероятностные оценки устойчивости к сбоям исходного и модифицированного вариантов 54-разрядного СС-умножителя с троичным кодированием сигналов на основе базовых определений показателей надежности цифровых схем [5].

II. ТРОИЧНЫЙ СС-СУММАТОР

Основой СС-умножителя 54×54 из нечувствительного к задержкам блока умножения-сложения-вычитания с плавающей точкой [6], реализующего модифицированный алгоритм Буга, служит одноразрядный СС-сумматор с троичным СС-кодированием входных операндов и выхода суммы. Его схема для нулевого спейсера входных операндов и выхода суммы показана на рис. 1. Элементы, обведенные пунктирными овалами, относятся к индикаторной подсхеме сумматора. Н-элементы являются гистерезисными триггерами (Н-триггерами) [2], или С-элементами Маллера по зарубежной терминологии.

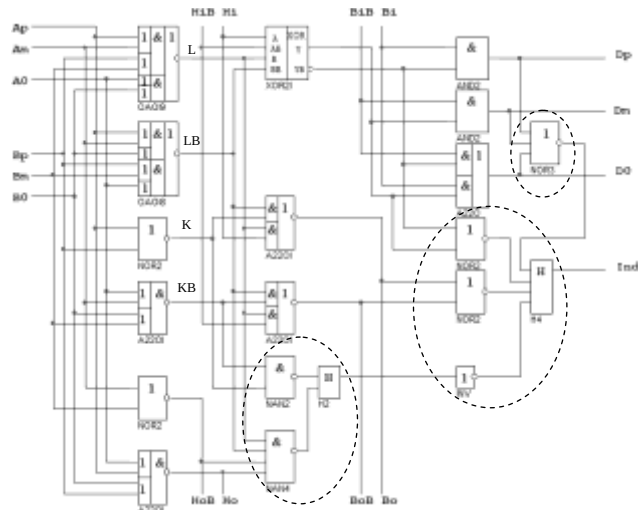


Рис. 1. Троичный одноразрядный СС-сумматор

Здесь $\{A_p, A_m, A_0\}$ и $\{B_p, B_m, B_0\}$ – троичные слагаемые; $\{D_p, D_m, D_0\}$ – троичная сумма; B_i, BiB, Hi, HiB – входные парафазные переносы соответственно с нулевым и единичным спейсером, при построении многоразрядных сумматоров или умножителя они формируются предшествующим разрядом; Bo, BoB, No, NoB – выходные парафазные переносы соответственно с нулевым и единичным спейсером; Ind – индикаторный выход. Табл. 1 иллюстрирует троичное СС-кодирование выхода суммы $\{D_p, D_m, D_0\}$ с нулевым спейсером. Такое же кодирование используется и для слагаемых $\{A_p, A_m, A_0\}$ и $\{B_p, B_m, B_0\}$.

При нормальной (бессбойной) работе сумматора и его окружения на троичном выходе $\{D_p, D_m, D_0\}$ могут появиться только четыре разрешенные комбинации трех компонент троичного кода из возможных восьми.

Именно они анализируются и учитываются индикаторной подсхемой сумматора.

Таблица 1

Троичное СС-кодирование

D_p	D_m	D_0	Состояние
1	0	0	+1
0	0	1	0
0	1	0	-1
0	0	0	спейсер
остальные комбинации			запрещено

Рис. 2 демонстрирует фрагмент схемы, представленной на рис. 1, индицирующий выход суммы. Здесь $\{A, AB\}$ и $\{B, BB\}$ – парафазные сигналы с нулевым спейсером, формируемые внутренними элементами данного и соседнего разрядов сумматора; I – индикаторный сигнал. Для индикации разрешенных состояний троичного СС-кода, приведенного в табл. 1, достаточно использовать один элемент NOR3.

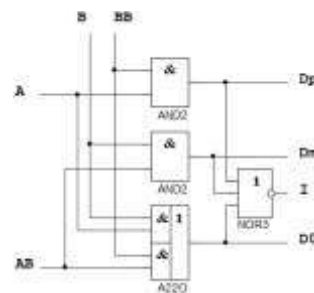


Рис. 2. Классическая индикация троичного выхода суммы с нулевым спейсером

Одиночный кратковременный логический сбой внутри сумматора (в элементах, не являющихся выходными) может привести к появлению запрещенной комбинации сигналов $\{A, AB\}$ и $\{B, BB\}$. При соблюдении правил топологического проектирования СС-схем [4], в частности, при размещении обоих элементов, формирующих компоненты парафазного сигнала, в непосредственной близости друг к другу, в качестве сбойной комбинации могут появиться следующие:

1) Спейсер вместо рабочего состояния – сигнал либо остается в спейсере, если он еще не успел переключиться в рабочее состояние, либо переходит в спейсер из корректного рабочего состояния.

2) Корректное рабочее состояние вместо спейсера – сигнал либо преждевременно переключается случайно в следующее корректное рабочее состояние из спейсера, либо остается в предыдущем рабочем состоянии, которое по логике работы будет корректным и в следующей рабочей фазе.

3) Некорректное рабочее состояние вместо спейсера. При соблюдении правил топологического проектирования СС-схем некорректное рабочее состояние парафазного сигнала может появиться либо в спейсерной фазе, либо при переходе в спейсерную фазу. Если оно появилось при переключении СС-сигнала в рабочее состояние, то оно быстро сменится антиспейсером.

4) Антиспейсер (состояние, инверсное по отношению к спейсеру) может получиться из-за сбоя и в рабочей, и в спейсерной фазе.

Первые два типа сбоя будут замаскированы дисциплиной работы СС-сумматора. Третий тип сбоя с вероятностью 0,5 приведет к распространению некорректного рабочего состояния по СС-схеме. Четвертый тип сбоя в традиционных СС-схемах воспринимается как легальное рабочее состояние и всегда вызывает критичную ошибку.

Третий тип сбоя является статическими, но переключение в него возможно через антиспейсерное состояние. Например, парафазный сигнал $\{X, XB\}$ начинает переключаться из рабочего состояния (10) в спейсер (00), и в этом момент происходит сбой, заставляющий сигнал XB переключиться в значение "1". Тогда на короткое время переходного процесса в элементе, формирующем X , парафазный сигнал $\{X, XB\}$ попадет в кратковременное состояние антиспейсера (11). Поскольку поведение СС-схем должно быть инвариантным по отношению к задержкам элементов, мы обязаны теоретически рассматривать промежуточное состояние антиспейсера как псевдостатическое. Но с учетом реальных практических соотношений длительностей переходных процессов в логических элементах на одном кристалле микросхемы мы будем считать, что случай псевдостатического антиспейсера относится к третьему типу сбоя.

В момент появления однократного сбоя логический элемент может находиться в спейсере или корректном рабочем состоянии с вероятностью 0,5. Следовательно, с вероятностью 0,25 индуцированный логический сбой приведет к появлению антиспейсерного состояния парафазного сигнала, с вероятностью 0,25 – некорректного рабочего состояния и с вероятностью 0,5 будет замаскирован дисциплиной работы СС-схемы (в худшем случае он вызовет приостановку функционирования СС-схемы, но не испортит обрабатываемые данные). Таким образом, вероятность того, что произошедший логический сбой станет критическим, можно оценить как 0,5.

Спейсер и рабочее состояние на входах $\{A, AB\}$ и $\{B, BB\}$ в схеме на рис. 2 приведут к появлению на выходах $\{Dp, Dm, D0\}$ легальной комбинации, соответствующей одной из указанных в табл. 1. Но антиспейсер на одном из парафазных входов $\{A, AB\}$ или $\{B, BB\}$ в то время, как другой вход находится в рабочей фазе, вызовет появление на выходах $\{Dp, Dm, D0\}$ одной из запрещенных комбинаций, приведенных в строках 1 – 4 табл. 2.

Кроме того, одиночный логический сбой может произойти непосредственно в элементах, формирующих троичный выход суммы, и привести к появлению на выходе $\{Dp, Dm, D0\}$ дополнительных запрещенных состояний (строки 5 – 7 табл. 2).

Таблица 2

Сбойные комбинации троичного кода с нулевым спейсером

№№	A	AB	B	BB	Dp	Dm	D0
1	1	1	0	1	1	0	1
2	1	1	1	0	0	1	1
3	0	1	1	1	0	1	1
4	1	0	1	1	1	0	1
5	*	*	*	*	1	1	0
6	*	*	*	*	1	0	1
7	*	*	*	*	0	1	1

Во избежание распространения некорректного кода в качестве рабочего состояния выходов троичного СС-сумматора необходимо индизировать сбойные комбинации троичного кода как спейсер. Для этого нужно использовать схему индикации, показанную на рис. 3. Любое сбойное состояние на выходе $\{Dp, Dm, D0\}$ заставит индикаторный выход I оставаться в спейсере ($I = 1$).

Предлагаемый способ повышения сбоеустойчивости троичного СС-сумматора основан на избыточности троичного кодирования, позволяющей обнаруживать и маскировать некорректные состояния СС-сигналов. Для индикаторных сигналов СС-схемы избыточное кодирование не используется. Поэтому логический сбой в элементах NOR3 и A22210 на рис. 3 в ряде случаев может оказаться не замаскированным.

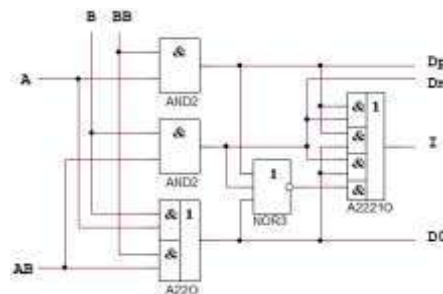


Рис. 3. Сбоеустойчивая индикация троичного выхода суммы с нулевым спейсером

Тем не менее, предлагаемое схемотехническое решение увеличивает сбоеустойчивость троичного СС-сумматора и умножителя на его основе. Оценим количественно достигаемый эффект.

III. СБОЕУСТОЙЧИВОСТЬ ИСХОДНОГО ВАРИАНТА ТРОИЧНОГО СС-СУММАТОРА

Одиночный логический сбой в троичном СС-сумматоре будем считать замаскированным (не критичным), если индикаторный выход Ind сумматора при этом находится в значении, соответствующем спейсеру выхода суммы. Оценим вероятность P_s появления не замаскированного одиночного логического сбоя на выходе суммы троичного СС-сумматора с нулевым спейсером троичных слагаемых и суммы из-за воздействия ядерной частицы.

Причиной появления такого сбоя могут быть следующие события (в скобках указана вероятность наблюдения соответствующего события):

- сбойное состояние входа $\{A_p, A_m, A_0\}$ (P_A),
- сбойное состояние входа $\{B_p, B_m, B_0\}$ (P_B),
- сбойное состояние входа $\{B_i, B_iB\}$ (P_{Bi}),
- сбойное состояние входа $\{H_i, H_iB\}$ (P_{Hi}),
- сбойное состояние внутреннего парафазного сигнала $\{L, LB\}$ (P_L),
- сбойное состояние внутреннего парафазного сигнала $\{K, KB\}$ (P_K),
- сбойное состояние парафазного выхода элемента XOR2I (P_X),
- сбойное состояние троичного выхода $\{D_p, D_m, D_0\}$ (P_D).

Будем считать, что поток ядерных частиц распределен равномерно по площади кристалла и энергии каждой частицы достаточно для изменения состояния выхода логического элемента. Тогда в первом приближении вероятность появления сбоя на выходе логического элемента вследствие поражения его ядерной частицей пропорциональна площади его топологической реализации. При использовании библиотеки стандартных элементов для проектирования СБИС вероятность сбоя в элементе можно считать пропорциональной числу входов элемента.

Будем также считать, что при заданных топологических нормах одна ядерная частица может с вероятностью 0,5 привести к появлению логического сбоя в двух парафазных сигналах схемы и что некорректная комбинация входов элементов, формирующих парафазный или троичный СС-сигнал, с вероятностью 0,5 приведет к появлению логического сбоя на этом сигнале. Кроме того, учтем, что воздействие ядерной частицы может с одинаковой вероятностью привести как к изменению состояния выхода элемента, так и к подтверждению его текущего состояния.

Входные парафазные сигналы переноса и троичные слагаемые в многоразрядном троичном сумматоре формируются такими же одноразрядными сумматорами предыдущего разряда или каскада "дерева" Уоллеса в умножителе. Обозначим вероятность поражения инвертора при данной плотности потока ядерных частиц P_I . Тогда вероятности одиночного сбойного состояния входных и внутренних парафазных и троичных сигналов будут равны:

$$P_A = P_B = P_D = 0,5 \cdot (3 \cdot P_I + 3 \cdot P_I + 5 \cdot P_I + 9 \cdot P_I^2 + 15 \cdot P_I^2 + 15 \cdot P_I^2 + 45 \cdot P_I^3) = 5,5 \cdot P_I + 19,5 \cdot P_I^2 + 22,5 \cdot P_I^3,$$

$$P_{Bi} = 0,5 \cdot (4 \cdot P_I + 4 \cdot P_I) = 4 \cdot P_I,$$

$$P_{Hi} = 0,5 \cdot (2 \cdot P_I + 4 \cdot P_I) = 3 \cdot P_I,$$

$$P_L = 0,5 \cdot (6 \cdot P_I + 6 \cdot P_I) = 6 \cdot P_I,$$

$$P_K = 0,5 \cdot (2 \cdot P_I + 4 \cdot P_I) = 3 \cdot P_I,$$

$$P_X = 0,5 \cdot (5 \cdot P_I) = 2,5 \cdot P_I.$$

На состояние выхода $\{D_p, D_m, D_0\}$ непосредственно влияют сигналы $\{A_p, A_m, A_0\}$, $\{B_p, B_m, B_0\}$, $\{B_i, B_iB\}$, $\{H_i, H_iB\}$, $\{L, LB\}$ и выходы элемента XOR2I. Тогда в первом приближении:

$$P_{S0} = P_{Bi} + P_{Hi} + P_L + P_X + P_A + P_B + P_D = 32 \cdot P_I + 9 \cdot P_I^2 \cdot (6,5 + 7,5 \cdot P_I). \quad (1)$$

Классическая индикация СС-схемы настроена на распознавание лишь одного спейсерного состояния и по умолчанию считает все остальные состояния рабочими. Поэтому с вероятностью P_{S0} случившийся однократный логический сбой приведет к ошибочному результату. Конкретное значение этой вероятности зависит от величины P_I , определяемой плотностью и энергетикой потока ядерных частиц и особенностями технологической и топологической реализации микросхемы.

Предлагаемые в следующем разделе схемотехнические решения позволяют уменьшить вероятность P_S .

IV. ПОВЫШЕНИЕ СБОЕУСТОЙЧИВОСТИ ТРОИЧНОГО СС-СУММАТОРА

Некорректное рабочее состояние парафазного сигнала может быть распознано только с помощью сбоеустойчивого кодирования, примененного в многоразрядных устройствах и выходящего за рамки данной статьи. Антиспейсерное состояние, напротив, может быть успешно детектировано за счет индикации парафазного сигнала элементом XOR или XNOR [4]. Тогда состояние, считающееся запрещенным, будет индцироваться как спейсер.

Некорректное рабочее состояние троичного выхода суммы, соответствующее табл. 1, также не может быть распознано без использования сбоеустойчивого кодирования. Но в отличие от парафазного сигнала, некоторые сбойные состояния, не совпадающие с антиспейсером и с состояниями из табл. 1, могут быть распознаны и заблокированы соответствующей индикацией. Схема на рис. 3 демонстрирует соответствующее схемотехническое решение.

Сбоеустойчивая реализация троичного одноразрядного сумматора представлена на рис. 4. Она не предотвращает появления на информационных выходах некорректных рабочих состояний, как и схема на рис. 1, но в отличие от нее, обеспечивает их маскирование с помощью индикаторного выхода. Дисциплина функционирования СС-схем требует, чтобы готовность нового рабочего состояния на выходе схемы была подтверждена соответствующим значением ее индикаторного выхода, прежде чем значения информационных выходов будут использованы последующими СС-схемами.

Элементы XNOR в схеме на рис. 4 обеспечивают сбоеустойчивую индикацию парафазных сигналов. Элемент A2221O гарантирует индикацию низким уровнем только разрешенных рабочих состояний троичного выхода суммы. В результате антиспейсер парафазных и троичных сигналов и запрещенные состоя-

ния троичного выхода суммы будут замаскированы спейсерным значением индикаторного выхода *Ind*.

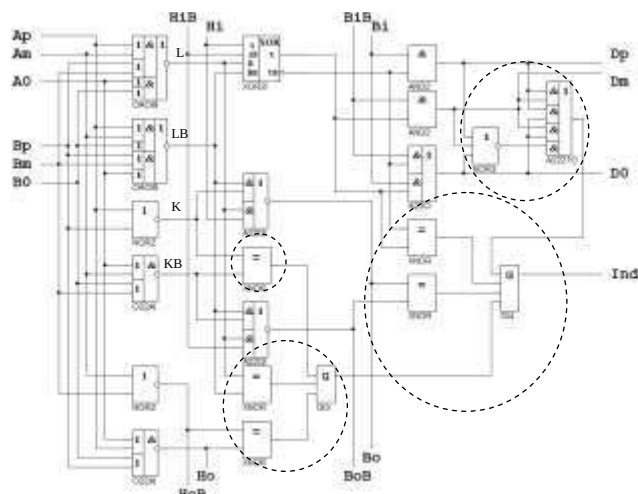


Рис. 4. Сбоеустойчивый троичный одноразрядный СС-сумматор

Формула (1) учитывает и некорректное рабочее состояние, и антиспейсер как источники ошибки при традиционной индикации. Сбоеустойчивая индикация оставляет незамаскированными только некорректные легальные рабочие состояния парафазных и троичных сигналов. Для парафазного сигнала вероятность появления таких состояний в результате произошедшего логического сбоя равна 0,25. Для троичного СС-сигнала эта вероятность тоже равна 0,25 (два возможных некорректных рабочих состояния из восьми комбинаций трех компонент). Это в два раза меньше вероятности того, что произошедший логический сбой станет критичным, при традиционной индикации.

Тогда вероятность появления незамаскированного некорректного рабочего состояния троичного выхода суммы в схеме на рис. 4 опишется формулой:

$$P_S = P_{S0} / 2 = 16 \cdot P_I + 4,5 \cdot P_I^2 \cdot (6,5 + 7,5 \cdot P_I). \quad (2)$$

Таким образом, использование сбоеустойчивой индикации в троичном СС-сумматоре вдвое снижает вероятность появления критичных логических сбоев на его выходе суммы, не замаскированных спейсерным значением индикаторного выхода. Платой за это является увеличение аппаратных затрат на 27% (с 124 КМДП транзисторов до 158 транзисторов).

Для Пуассоновского распределения вероятности событий, инициирующих однократные кратковременные сбои, и прямой зависимости вероятности сбоя от числа элементов в схеме плотность потока сбоев (failure rate function) λ равна [5]:

$$\lambda = N \cdot \lambda_{in} \cdot \alpha,$$

где N – число элементов в схеме; λ_{in} – плотность потока случайных воздействий, инициирующих одиночный сбой схемы; α – вероятность сбоя при поражении одного элемента ядерной частицей.

Тогда отношение времен бессбойной работы для одноразрядного троичного сумматора, показанного на рис. 1, (λ_O) и для сумматора с повышенной сбоеустойчивостью, изображенного на рис. 4, (λ_{FT}) будет иметь вид:

$$K_{TA} = \frac{\lambda_O}{\lambda_{FT}} = \frac{N_O \lambda_{in} \cdot \alpha_O}{N_{FT} \lambda_{in} \cdot \alpha_{FT}} = \frac{N_O \cdot \alpha_O}{N_{FT} \cdot \alpha_{FT}} = \frac{20 \cdot 2}{21 \cdot 1} = 1,9, \quad (3)$$

где λ_O – плотность потока сбоев исходного варианта; λ_{FT} – плотность потока сбоев сбоеустойчивого варианта; N_O – число элементов в функциональной части исходного варианта (без индикаторной подсхемы); N_{FT} – число элементов в функциональной части сбоеустойчивого варианта; α_O – вероятность сбоя при поражении одного элемента исходного варианта; α_{FT} – вероятность сбоя при поражении одного элемента сбоеустойчивого варианта.

Вариант троичного одноразрядного СС-сумматора с повышенной устойчивостью к сбоям не только в функциональной части, но и в индикаторной подсхеме, представлен на рис. 5. В нем используется DICE-подобный подход к построению сбоеустойчивой индикации СС-схемы [7] (элементы индикаторной подсхемы обведены пунктирными овалами, H2 и H3 – DICE-подобные гистерезисные триггеры с синфазными входами и выходами [7]).

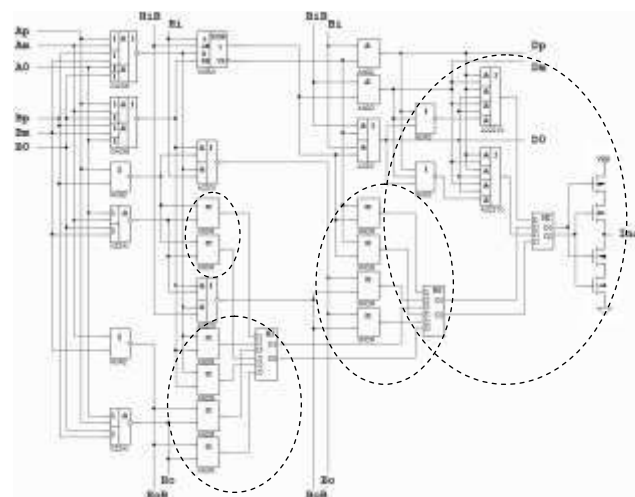


Рис. 5. Сбоеустойчивый троичный одноразрядный СС-сумматор с DICE-подобной индикаторной подсхемой

Сложность реализации одноразрядного троичного СС-сумматора при этом увеличивается до 246 КМОП транзисторов. Это в два раза больше сложности исходного варианта (рис. 1).

Таким образом, за счет фактического дублирования аппаратных затрат на индикаторную подсхему, она оказывается абсолютно иммунной к однократным кратковременным логическим сбоям на своих входах и в своих элементах и не ухудшает сбоеустойчивости сумматора в целом.

V. СБОЕУСТОЙЧИВОСТЬ УМНОЖИТЕЛЯ

Сбоеустойчивый троичный СС-сумматор обеспечивает повышение сбоеустойчивости и умножителя на его основе.

Действительно, пусть СС-умножитель реализует модифицированный алгоритм Бута и его "дерево Уоллеса" построено на троичном одноразрядном СС-сумматоре [6]. Его схема является однородной пирамидальной структурой. Уменьшение в два раза вероятности появления критичных логических сбоев на выходе одноразрядного сумматора во столько же раз снижает и вероятность появления критичного логического сбоя на выходе всего умножителя.

Отношение времен бессбойной работы для исходного варианта умножителя на одноразрядном троичном сумматоре, показанном на рис. 1, и для умножителя на сумматоре с повышенной сбоеустойчивостью, изображенном на рис. 4 или рис. 5, также соответствует формуле (3).

Таким образом, время бессбойной работы при заданной плотности потока случайных воздействий, вызывающих одиночный сбой схемы, в умножителе, построенном на предлагаемом троичном СС-сумматоре, почти удваивается.

VI. ЗАКЛЮЧЕНИЕ

Метод повышения сбоеустойчивости троичного СС-сумматора и умножителя на его основе, представленный в данной статье, основывается на обнаружении состояний парафазных и троичных сигналов, отличных от допустимых рабочих и спейсерных состояний, и индикации их как спейсера. Для этого используется свойство избыточности СС-кодирования.

За счет увеличения на 27% сложности реализации одноразрядного троичного СС-сумматора и умножителя 54×54 на его основе устойчивость его функциональной части к кратковременным одиночным сбоям повышается вдвое, а время бессбойной работы увеличивается в 1,9 раза.

Сложность схемы одноразрядного троичного СС-сумматора с повышенной сбоеустойчивостью, индикаторная подсхема которого полностью иммунна к кратковременным одиночным логическим сбоям, в два раза превышает сложность обычного троичного СС-сумматора.

Поскольку даже двукратное усложнение схемы троичного СС-сумматора не гарантирует обнаружения сбойных некорректных рабочих состояний, наша дальнейшая работа будет посвящена поиску более эффективных схемотехнических решений, обеспечивающих повышение уровня защиты СС-схем от кратковременных одиночных логических сбоев.

ПОДДЕРЖКА

Исследование выполнено при финансовой поддержке Министерства науки и высшего образования Российской Федерации (проект № 075-15-2020-799) в Институте проблем информатики ФИЦ ИУ РАН.

ЛИТЕРАТУРА

- [1] Викторова В.С. Анализ надежности отказоустойчивых управляющих вычислительных систем / В.С. Викторова, Н.В. Лубков, А.С. Степанянц. Москва, Институт проблем управления РАН, 2016. - 117 с. URL: https://www.ipu.ru/sites/default/files/card_file/VLS.pdf (дата обращения 28.05.2021).
- [2] Kishinevsky M., A. Kondratyev, A. Taubin, and V. Varshavsky. 1994. Concurrent Hardware: The Theory and Practice of Self-timed Design. J. Wiley & Sons. 368 p.
- [3] Y.A. Stepchenkov, A.N. Kamenskih, Y.G. Diachenko, Y.V. Rogdestvenski, and D.Y. Diachenko, "Fault-Tolerance of Self-Timed Circuits," in Proc. 10th Int. Conf. on Dependable Systems, Services, and Technologies (DESSERT), Leeds, United Kingdom, 2019, pp. 41–44. DOI: 10.1109/DESSERT.2019.8770047.
- [4] Stepchenkov, Y. A., A. N. Kamenskih, Y. G. Diachenko, Y. V. Rogdestvenski, and D. Y. Diachenko. 2020. Improvement of the natural self-timed circuit tolerance to short-term soft errors, *Advances in Science, Technology and Engineering Systems Journal*. 5(2):44-56.
- [5] Dubrova E. Fault-tolerant design. KTH Royal Institute of Technology, Krista, Sweden, 2013, Springer, 185 p. DOI 10.1007/978-1-4614-2113-9.
- [6] Y. Stepchenkov, Y. Rogdestvenski, Y. Diachenko, D. Stepchenkov, Y. Shikunov, "Energy Efficient Speed-Independent 64-bit Fused Multiply-Add Unit," in Proceedings of 2019 IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering (EIConRus2019), January 2019, pp. 1709-1714.
- [7] Igor Sokolov, Yury Stepchenkov, Yury Diachenko, Yury Rogdestvenski, Denis Diachenko, Increasing Self-Timed Circuit Soft Error Tolerance // Proceedings of 2020 IEEE EastWest Design & Test Symposium (EWDTS), Varna, Bulgaria, September 4 – 7, 2020. P. 450-454.

Improvement of Ternary Self-Timed Multiplier Soft Error Tolerance

Y.A. Stepchenkov, Y.V. Rogdestvenski, Y.G. Diachenko, N.V. Morozov,
D.Y. Stepchenkov, A.V. Rogdestvenskene

Institute of Informatics Problems, Federal Research Center "Computer Science and Control" of the
Russian Academy of Sciences (IPI FRC CSC RAS), IPI RAS

{ YStepchenkov, YRogdest, YDiachenko, NMorozov, DStepchenkov}@ipiran.ru

Abstract — Self-timed (ST) circuits are more short-term soft error tolerant than their synchronous counterparts due to the ST coding of information signals, two-phase operation discipline, and request-acknowledge interaction of ST circuit's parts. Special circuitry and layout techniques make it possible to increase their natural failure tolerance further. New ST signal indication principles essentially ensure this. The classical ST indication detects a single spacer state of the information ST signal. It is assumed that the remaining states are the only allowed working states. However, in the presence of a soft error, this assumption turns out to be incorrect. The article describes a method for increasing the noise immunity of a one-bit ternary ST adder and a multiplier based on this adder. It presents probabilistic soft error tolerance estimates for the original and improved multiplier in this respect. It is shown that due to the complication of a one-bit adder's indication and the corresponding 27% increase in the hardware costs of the 54x54 multiplier, its failure-free operation time rises by 1.9 times.

Keywords — soft error tolerance, self-timed multiplier, self-timed coding, ternary adder, indication.

REFERENCES

- [1] Viktorova V.S. Analiz nadejnosni otkazoustoychivosti upravljajutshih vychislitelnyh sistem [Reliability analysis of fault-tolerant control computing systems] / V.S. Viktorova, N.V. Lubkov, A.S. Stepanjanc. Moscow, Institut problem upravljenija RAN, 2016. - 117 p. URL: https://www.ipu.ru/sites/default/files/card_file/VLS.pdf (last access date 28.05.2021). (in Russian).
- [2] Kishinevsky M., A. Kondratyev, A. Taubin, and V. Varshavsky. 1994. Concurrent Hardware: The Theory and Practice of Self-timed Design. J. Wiley & Sons. 368 p.
- [3] Y.A. Stepchenkov, A.N. Kamenskih, Y.G. Diachenko, Y.V. Rogdestvenski, and D.Y. Diachenko, "Fault-Tolerance of Self-Timed Circuits," in Proc.10th Int. Conf. on Dependable Systems, Services, and Technologies (DESSERT), Leeds, United Kingdom, 2019, pp. 41–44. DOI: 10.1109/DESSERT.2019.8770047.
- [4] Stepchenkov, Y. A., A. N. Kamenskih, Y. G. Diachenko, Y. V. Rogdestvenski, and D. Y. Diachenko. 2020. Improvement of the natural self-timed circuit tolerance to short-term soft errors, Advances in Science, Technology and Engineering Systems Journal. 5(2):44-56.
- [5] Dubrova E. Fault-tolerant design. KTH Royal Institute of Technology, Krista, Sweden, 2013, Springer, 185 p. DOI: 10.1007/978-1-4614-2113-9.
- [6] Y. Stepchenkov, Y. Rogdestvenski, Y. Diachenko, D. Stepchenkov, Y. Shikunov, "Energy Efficient Speed-Independent 64-bit Fused Multiply-Add Unit," in Proceedings of 2019 IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering (EIConRus2019), January 2019, pp. 1709-1714.
- [7] Igor Sokolov, Yury Stepchenkov, Yury Diachenko, Yury Rogdestvenski, Denis Diachenko, Increasing Self-Timed Circuit Soft Error Tolerance // Proceedings of 2020 IEEE EastWest Design & Test Symposium (EWDTS), Varna, Bulgaria, September 4 - 7, 2020. pp. 450-454.