УДК 004.31:004.032.34 DOI: 10.31114/2078-7707-2020-2-66-72

Повышение сбоеустойчивости индикации самосинхронных схем

Ю.А. Степченков, Ю.Г. Дьяченко, Ю.В. Рождественский,
Н.В. Морозов, Д.Ю. Степченков, Д.Ю. Дьяченко

Институт проблем информатики Федерального исследовательского центра "Информатика и управление" Российской академии наук (ИПИ ФИЦ ИУ РАН)

{YStepchenkov, YDiachenko, YRogdest, NMorozov,DStepchenkov}@ipiran.ru,
diaden87@gmail.com

***Аннотация* — Сложность и площадь топологической реализации индикаторной подсхемы самосинхронной (СС) схемы составляют до 50% от сложности и площади всей СС-схемы. Соответственно, вероятности появления кратковременного логического сбоя, вызываемого ионизационным током из-за внешних причин, в индикаторной подсхеме и в остальной части СС-схемы примерно одинаковы. Сбоеустойчивость индикаторной подсхемы определяется ее иммунностью к логическому сбою в индицируемой СС-схеме и сбоеустойчивостью основного компонента индикации – гистерезисного триггера (Г-триггера). Использование DICE реализации Г-триггера существенно повышает сбоеустойчивость индикаторной подсхемы. В статье предлагается заменить двухтранзисторный конвертор в DICE-реализации Г-триггера четырехтранзисторным конвертором и использовать Г-триггеры с синфазными входами и выходом для организации "дерева" индикаторных элементов, формирующих общий индикаторный выход СС-схемы из частичных индикаторных сигналов. В совокупности с элементами "равнозначность" или "неравнозначность" в качестве первого каскада индикаторной подсхемы такой подход обеспечивает абсолютную защиту от логического сбоя в индикаторной подсхеме и анти-спейсера в индицируемой схеме.**

***Ключевые слова* — самосинхронная схема, сбоеустойчивость, кратковременная логическая ошибка, индикация, Г-триггер, DICE-подход.**

I. Введение

В условиях экспансии цифровой техники во все области жизнедеятельности человека как на поверхности Земли, так и в космическом пространстве, все более значимым становится вопрос устойчивости интегральных микросхем к факторам, нарушающим их нормальное функционирование. К числу таких факторов относятся внешнее воздействие (ядерные частицы, космические лучи, электромагнитный импульс) и внутренние помехи (наводки от соседних трасс межсоединений, помехи по шинам питания и по подложке микросхемы). Последствиями влияния внешних факторов являются долговременные эффекты, например, объемный заряд на границе "полупроводник-окисел" из-за накопленной дозы радиации, и кратковременные эффекты – логические сбои в работе микросхемы. Именно логические сбои и являются предметом исследования в данной статье.

Логический сбой в схемах с памятью (триггерах, регистрах, устройствах памяти) способны инвертировать хранимый бит информации и привести в результате к долговременному сбою. Логические сбои в комбинационных схемах выражаются в кратковременном изменении логического уровня одной или нескольких цепей схемы. Это изменение может привести к переключению последующих элементов схемы и распространению ошибки по схеме. В результате на выходе схемы сформируется ошибочное состояние.

Влияние кратковременных логических сбоев на работоспособность цифровых схем усугубляется с повышением быстродействия схем. С увеличением тактовой частоты синхронных схем растет и вероятность запоминания ошибочного выходного состояния комбинационной схемы в регистре.

Альтернативой синхронным схемам являются самосинхронные (СС) схемы [1]-[3]. Они не имеют общего синхросигнала и управляются фазовыми сигналами, индицирующими окончание переключения соответствующей части схемы (например, ступени конвейера) в очередную фазу работы. Только после завершения переключения данной части СС-схемы в корректное рабочее или спейсерное состояние, подтвержденного индикаторным сигналом, разрешается переключение предшествующей части СС-схемы в ее очередную фазу и запись в регистр на входе данной части СС-схемы.

Такое взаимодействие частей СС-схем в совокупности с избыточным кодированием информации повышает их естественную сбоеустойчивость. Как правило, используется парафазное со спейсером кодирование [1]. Оно представляет каждый сигнал X в виде совокупности двух сигналов {X, XB} – прямого компонента X и его дополнения XB. Такое кодирование целесообразно использовать не только в комбинационных СС-схемах, но и в СС-регистрах [4].

Исследования показывают, что комбинационные СС-схемы, помимо прочих преимуществ по сравнению с синхронными аналогами [3], в значительной степени

естественно устойчивы к кратковременным логическим сбоям (далее – логическим сбоям) [5]-[6], возникающим вследствие воздействия одиночных ядерных частиц и космических лучей на тело полупроводника [7]. Примерно третья часть критических сбоев, приводящих к порче обрабатываемых данных или останову работы СС-схемы, связана с переключением парафазного сигнала (ПФС) в состояние, противоположное его спейсеру – "анти-спейсеру". Парафазное кодирование рассматривает только три допустимых состояния ПФС {X, XB}: одно спейсерное ("00" или "11") и два рабочих ("01" и "10"). Четвертое состояние, анти-спейсер, является запрещенным.

Соответственно, классическая индикация состояния ПФС [1] основана на обнаружении факта переключения любого компонента ПФС (X или XB) из спейсера в рабочее значение и обратно. Это существенно упрощает реализацию индикатора. Например, для индикации ПФС с нулевым спейсером ("00") используется логический элемент 2ИЛИ-НЕ, а для индикации ПФС с единичным спейсером ("11") используется логический элемент 2И-НЕ. В результате анти-спейсер, возникший из-за логического сбоя, воспринимается как рабочее состояние и приводит к нарушению работы СС-схемы в виде порчи обрабатываемых данных или "зависания" запрос-ответного взаимодействия СС-схем.

Предложенный в [5]-[6] схемотехнический метод, основанный на индикации анти-спейсера как второго спейсера с помощью элемента "равнозначность" (XNOR) или "неравнозначность" (XOR), маскирует анти-спейсер и значительно повышает устойчивость комбинационных СС-схем к логическим сбоям.

Отметим, что элементы XOR/NXOR использовались в качестве индикаторных элементов и раньше. Но только в том случае, если схема изначально предназначалась для работы с чередующимися типами спейсера для обеспечения лучшей защищенности обрабатываемых данных, например, в криптосистемах[8]. Как средство борьбы с логическими сбоями они не рассматривались.

Индикаторная подсхема СС-схемы объединяет индикаторы всех ПФС в один общий индикаторный сигнал, подтверждающий переключение всей СС-схемы в ту или иную фазу работы, и обеспечивает корректное запрос-ответное взаимодействие функциональных частей СС-схемы.

Аппаратурные затраты на реализацию индикаторной подсхемы могут составлять до 50% от сложности всей СС-схемы. Площадь топологической реализации индикаторной подсхемы составляет такую же часть от площади топологической реализации СС-схемы. Следовательно, вероятность появление в индикаторной подсхеме логического сбоя близка к вероятности аналогичного события в индицируемой части СС-схемы.

Поэтому оценка устойчивости индикаторной подсхемы к логическим сбоям и разработка методов ее повышения является актуальной задачей. Данная статья анализирует критические логические сбои в индикаторной подсхеме СС-схемы, реализованной в комплементарной металл-окисел-полупроводник (КМОП) технологии с проектными нормами 65 нм и ниже, и предлагает схемотехнические способы повышения ее сбоеустойчивости.

II. Схемотехнический базис индикаторной подсхемы

Проблема сбоеустойчивости индикаторной подсхемы имеет два аспекта: невосприимчивость к логическим сбоям в индицируемой СС-схеме и защищенность от логических сбоев, возникающих в самой индикаторной подсхеме.

Логический сбой в индицируемой СС-схеме приводит к появлению трех типов сбойных ситуаций: некорректное рабочее состояние ПФС; преждевременный спейсер ПФС; анти-спейсер ПФС. Первые два события не могут быть распознаны индикаторной подсхемой как сбойные, поскольку они являются легальными в кодировании ПФС. Но за счет двухфазной дисциплины работы СС-схем и использования конвейерной структуры они в значительной степени маскируются [6]. Третья же ситуация, появление анти-спейсера, надежно маскируется с помощью элементов "равнозначность" и "неравнозначность" в качестве индикаторов ПФС [5], которые в результате делают индикаторную подсхему нечувствительной к одной трети возможных логических сбоев в СС-схеме.

Защищенность индикаторной подсхемы от логических сбоев, возникающих непосредственно в ней же, определяется ее схемотехническим базисом. Индикаторный элемент, собирающий частичные индикаторные сигналы в один общий сигнал, за рубежом называется С-элементом Маллера, а в отечественной литературе – гистерезисным триггером (Г-триггером) [2]. Он описывается функцией [1]:

$$O^{+} = I_1 \cdot I_2 \cdot \ldots \cdot I_N + O \cdot (I_1 + I_2 + \ldots + I_N), \qquad (1)$$

где O, O^{+} – текущее и следующее значение общего индикатора; I_1, I_2, …, I_N – частичные индикаторы.

Статическая и полустатическая схемотехнические реализации функции (1) в базисе КМОП-транзисторов показаны на рис. 1. С точки зрения работоспособности Г-триггера, размеры транзисторов Mp и Mn в статической реализации (рис. 1(а)) могут быть произвольными, т.к. при переключении всех входов Г-триггера в одинаковое значение они не препятствуют переключению выхода O Г-триггера в соответствующее состояние. В полустатической реализации (рис. 1(б)) транзисторы Mp и Mn должны быть "слабыми": отношение ширины к длине их канала должно быть меньше, чем у транзисторов остальной части схемы. Пусть ширины канала p-транзисторов (Wp,I) и n-транзисторов (Wn,I) одинаковы для всех транзисторов одного типа входной части Г-триггера, длины их каналов (Lp,I, Ln,I) определяются используемой КМОП технологией. Тогда размеры транзисторов (Wp,F, Wn,F, Lp,F, Ln,F) части схемы, обеспечивающей обратную связь и запоминание состояния Г-триггера, должны удовлетворять соотношениям:

$$\frac{L_{p,F}}{W_{p,F}} \geq N \cdot K_p \cdot \frac{L_{n,I}}{W_{n,I}}, \frac{L_{n,F}}{W_{n,F}} \geq N \cdot K_n \cdot \frac{L_{p,I}}{W_{p,I}}, \quad (2)$$

где K_p, K_n – коэффициенты, зависящие от технологических параметров. Размеры транзисторов выходного каскада могут быть любыми.

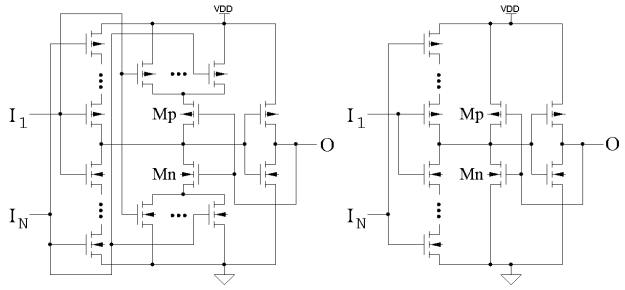


Рис. 1. Статическая (а) и полустатическая (б) схемы Г-триггера

Недостаток полустатической реализации Г-триггера – наличие обязательного сквозного тока через транзистор блока "F" при переключениях Г-триггера. Статическая реализация Г-триггера свободна от сквозного тока при любых его переключениях.

В общем виде схема Г-триггера, независимо от его типа (статического или полустатического), может быть представлена схемой на рис. 2. Здесь блок "F" обеспечивает хранение состояния Г-триггера, когда значения входов I_1, …, I_N не совпадают. Блок "C" усиливает выход триггера и обеспечивает развязку его внутреннего чувствительного узла от помех на выходной цепи.

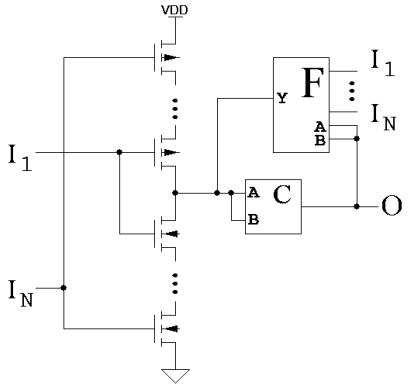


Рис. 2. Обобщенная схема Г-триггера

На рис. 3 показаны реализации блока "F", соответствующие полустатической (рис. 3(а)) и статической (рис. 3(б)) схеме Г-триггера при замыкании входов A и B. Схема блока "C" эквивалентна схеме на рис. 3(а) также при замыкании входов A и B.

В промышленных библиотеках стандартных элементов для КМОП технологии с проектными нормами 65 нм и ниже число последовательно соединенных транзисторов в принципиальных схемах элементов ограничено тремя во избежание образования в принципиальной схеме слишком длинных цепочек последовательно соединенных транзисторов p-типа. Поэтому в индикаторной подсхеме рекомендуется использовать Г-триггеры с числом входов $N \leq 3$. В работе [9] была предложена реализация многовходового Г-триггера, показанная на рис. 4.

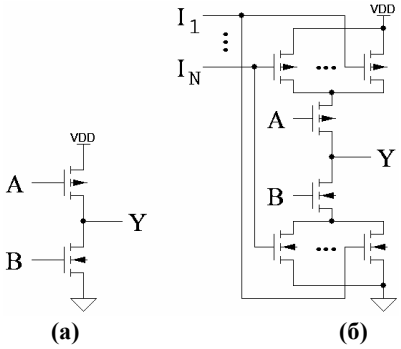


Рис. 3. Схема полустатического (а) и статического (б) F-блока Г-триггера

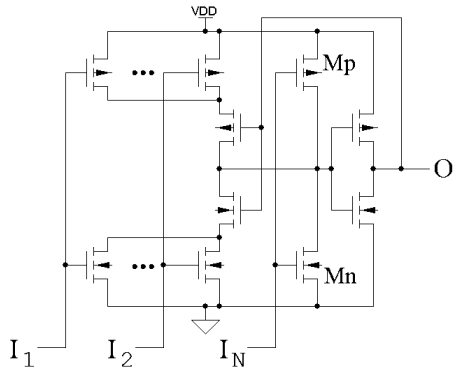


Рис. 4. Схема многовходового Г-триггера

Схема многовходового Г-триггера не нарушает ограничения на число последовательно соединенных транзисторов и обеспечивает минимальность аппаратурных затрат. В худшем случае она также является полустатической и вынуждает разработчиков соблюдать определенные соотношения между размерами ее транзисторов, описанные в [9]: размеры транзисторов Mp и Mn должны быть меньше размеров остальных транзисторов. Но она существенно упрощает и ускоряет индикацию многоразрядных цифровых устройств, что подтверждается экспериментальными данными, приведенными там же.

III. Сбоеустойчивая реализация Г-триггера

Г-триггер является элементом с памятью. Поэтому логический сбой, возникший внутри него, может в нем запомниться. С точки зрения опасности логического сбоя, наиболее критичными узлами в схеме Г-триггера являются входы и выход блока "C" на рис. 2. В работе [10] предлагается для повышения устойчивости Г-триггера использовать Dual Interlocked CEll (DICE) подход к реализации Г-триггера. Структурная схема такой реализации показана на рис. 5 для двухвходового Г-триггера. При этом блок "F" реализуется схемой на рис. 3(а) или 3(б), а блок"C" – схемой на рис. 3(а). DICE-реализация предотвращает запоминание одиночного логического сбоя в Г-триггере и обеспечивает долговременную иммунность выхода O к любым одиночным логическим

сбоям в узлах *N2* и *N3* [10]. В долгосрочной перспективе логический сбой заканчивается, не изменяя логического состояния, хранимого Г-триггером.

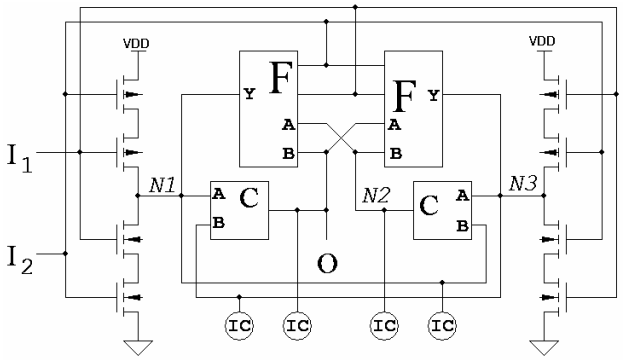
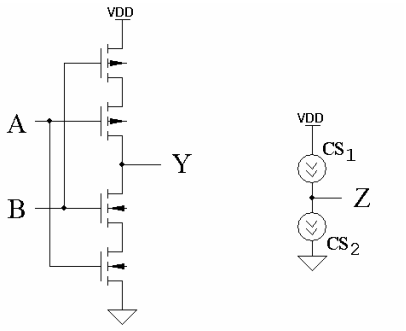


Рис. 5. Обобщенная схема DICE-подобного Г-триггера с источниками ионизационного тока, эмулирующими воздействие логических сбоев

Однако предлагаемые в [10] DICE-реализации Г-триггера не обеспечивают кратковременной иммунности к логическим сбоям, возникающим в узле *N1*: на короткое время выход О может переключиться в противоположное логическое состояние. Этот недостаток устраняется с помощью реализации блока "С" схемой, показанной на рис. 6(а) [11].



(а) **(б)**

Рис. 6. Схема сбоеустойчивого блока "С" (а) и источника ионизационных токов "IC" (б)

Она обеспечивает полную иммунность выхода О к одиночному логическому сбою в узлах *N1–N3*: изменение потенциала в любом из этих узлов не приводит к изменению логического уровня на выходе Г-триггера за время действия одиночного логического сбоя.

IV. Сравнение вариантов Г-триггера

Для проверки устойчивости вариантов Г-триггера к одиночному логическому сбою использовались источники ионизационного тока "IC", генерируемого в одном из узлов схемы Г-триггера, показанные на рис. 6(б). Воздействие логического сбоя эмулировалось включением одного из источников "CS_1" или "CS_2". Источники тока при моделировании программой Spectre (Cadence) описывались импульсом тока 400 мкА с передним фронтом 7 пс, задним фронтом 200 пс и "плато" [7] 200 пс. Моделирование проводилось в режиме одного активного источника ионизационного тока в одном сеансе моделирования.

Таблица 1

Варианты реализации блоков "С" и "F"

№ варианта	Блок "С"	Блок "F"
1	Рис. 3(а)	Рис. 3(а)
2	Рис. 3(а)	Рис. 3(б)
3	Рис. 6(а)	Рис. 3(а)
4	Рис. 6(а)	Рис. 3(б)

Табл. 1 описывает варианты реализации блоков "С" и "F" в анализируемых схемах Г-триггера. Реакция выхода О вариантов Г-триггера на одиночный логический сбой в узлах *N1* и *N3* показана на рис. 7 и 8. Здесь I_{SEUT} – ионизационный ток, эпюра которого показана сплошной линией. Рис. 7 демонстрирует изменение потенциала выхода О при появлении ионизационного тока положительной полярности в узле *N1* во время хранения Г-триггером высокого уровня. Рис. 8 показывает изменение потенциала выхода О при появлении ионизационного тока отрицательной полярности в узле *N3* во время хранения Г-триггером низкого уровня.

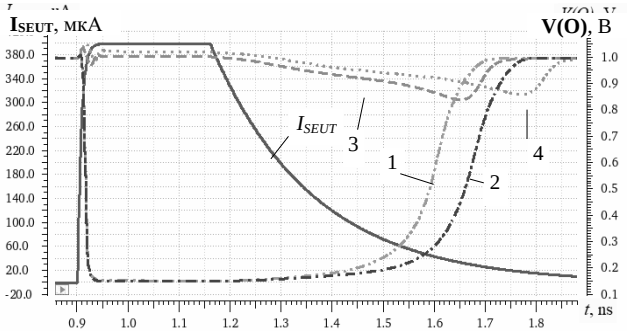


Рис. 7. Реакция выхода О Г-триггера, показанного на рис. 5, на импульс ионизационного тока в узле *N1* для вариантов реализации Г-триггера из табл. 1

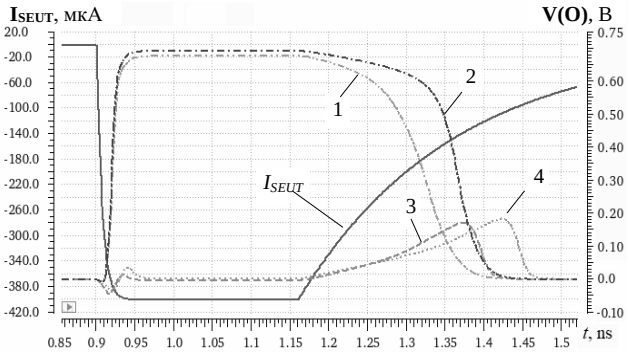


Рис. 8. Реакция выхода О Г-триггера, показанного на рис. 5, на импульс ионизационного тока в узле *N3* для вариантов реализации Г-триггера из табл. 1

Таким образом, реализация блока "С" схемой на рис. 6(а) гарантирует маскирование любого логического

сбоя во внутреннем узле Г-триггера DICE-типа на рис. 5. Платой за это является ухудшение быстродействия Г-триггера.

Рис. 9 демонстрирует графики зависимости средней суммарной задержки переключения из 0 в 1 и обратно полустатических двухвходовых Г-триггеров с двухтранзисторной и четырехтранзисторной реализацией блока "С" в зависимости от нагрузки на выходе Г-триггера Сн. Буквами обозначены варианты, представленные в табл. 2, где в графе "выходные транзисторы" указано число параллельно соединенных однократных транзисторов в выходном каскаде Г-триггера.

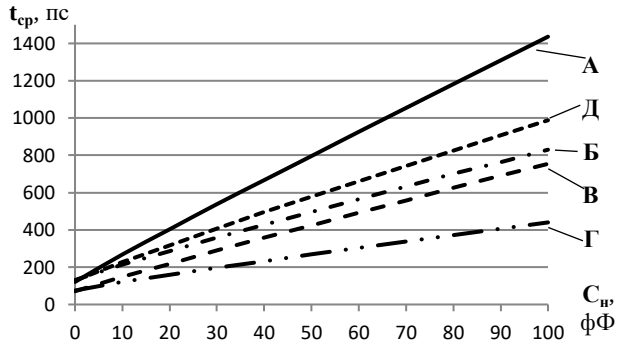


Рис. 9. Усредненные задержки переключения отказоустойчивых Г-триггеров

Таблица 2

Варианты отказоустойчивых Г-триггеров

Вариант	Блок "С"	Выходные транзисторы	Инвертор на выходе
А	Рис. 6(а)	×1	Нет
Б	Рис. 6(а)	×2	Нет
В	Рис. 3(а)	×1	Нет
Г	Рис. 3(а)	×2	Нет
Д	Рис. 6(а)	×1	Да

Сравнение адекватных вариантов Г-триггеров (А и В, Б и Г) показывает, что Г-триггер с повышенной защитой от логических сбоев в его внутренних узлах в 1,9 раза медленнее своего DICE-аналога. Это связано с увеличением внутренней паразитной емкости, перезаряжаемой цепочками последовательно соединенных транзисторов входного каскада Г-триггера, и ухудшением нагрузочной способности выходного каскада Г-триггера. Использование дополнительного инвертора на выходе Г-триггера в качестве промежуточного усилителя не спасает положения: задержка такого Г-триггера (вариант Д) оказывается в 1,2 раза хуже задержки Г-триггера с удвоенными транзисторами (вариант Б).

Тем не менее, использование DICE-подобного Г-триггера с улучшенной устойчивостью к одиночным логическим сбоям целесообразно в аппаратуре, предъявляющей особые требования к надежности функционирования в условиях активного воздействия физических факторов, порождающих логические сбои.

Кроме того, использование четырехтранзисторного блока "С" обеспечивает снижение тока потребления ICC при появлении логического сбоя непосредственно на выходе О, как показано на рис. 10 для вариантов реализации Г-триггера, представленных в табл. 1. Из рис. 10 видно, что реализация блока "С" в схеме Г-триггера DICE-типа схемой, показанной на рис. 6(а), в несколько раз уменьшает всплеск тока потребления, вызванный логическим сбоем на выходе О.

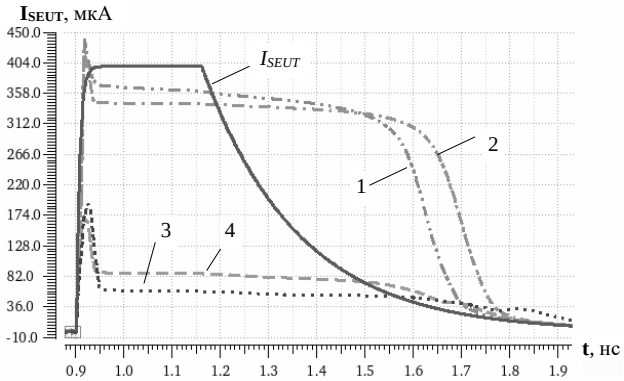


Рис. 10. Импульс тока потребления в DICE-реализациях Г-триггера в момент появления логического сбоя

Появление логического сбоя непосредственно на выходе О Г-триггера может быть замаскировано только при использовании Г-триггера DICE-типа с синфазными входами и выходом (ГС-триггера) и синфазного принципа формирования индикаторных сигналов. Схема ГС-триггера показана на рис. 11. Она отличается от схемы на рис. 5 тем, что обе половинки DICE-подобного Г-триггера имеют раздельные пары входов. В правой части рис. 11 показано символьное изображение такого ГС-триггера. Пары входов (I_1, I_2) и (J_1, J_2) логически идентичны. Они формируются синфазными выходами O_1 и O_2 соответствующих Г-триггеров или дублированными индикаторными элементами первого каскада в индикаторной подсхеме. Тогда логический сбой на одном из входов (например, I_1), будет замаскирован корректным значением его дубликата (J_1).

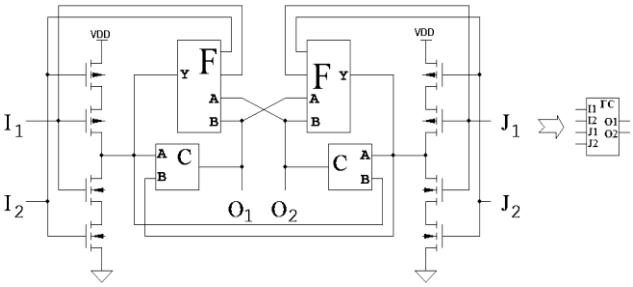


Рис. 11. DICE-реализация Г-триггера с синфазными входами и выходом

В этом случае блоки "С" и "F" реализуются любой из схем, рассмотренных выше: влияние логического сбоя ограничится только повышенным током

потребления в момент появления логического сбоя, как показано на рис. 10.

Структура общей индикаторной подсхемы СС-схемы на основе ГС-триггеров показана на рис. 12 на примере СС-схемы с четырьмя индицируемыми ПФС сигналами. Первый каскад индикаторной подсхемы реализуется элементами "равнозначность" (XNOR), последующие каскады – ГС-триггерами. Унарный сигнал фазового управления при необходимости формируется с помощью четырехтранзисторной схемы конвертора, изображенной на рис. 6(а), к входам (A, B) которой подключается синфазный индикаторный выход индикаторной подсхемы (O_1, O_2).

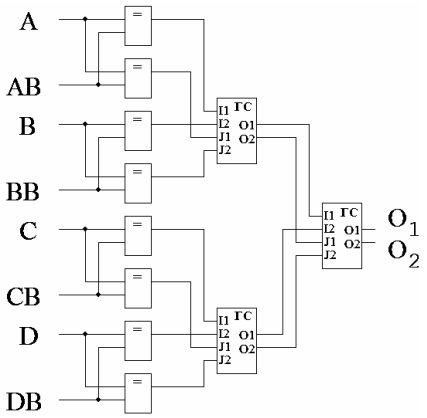


Рис. 12. Структура общей индикаторной подсхемы СС-схемы

Таким образом, стопроцентная устойчивость индикаторной подсхемы к одиночным логическим сбоям в ней самой и в индицируемой СС-схеме достигается за счет удвоения ее сложности. Схема управления запрос-ответным взаимодействием функциональных СС-блоков строится также на основе ГС-триггеров.

V. Заключение

Сбоеустойчивость СС-схемы в значительной степени определяется ее индикаторной подсхемой, сложность и площадь топологической реализации которой составляют до 50% от сложности и площади всей СС-схемы. Поэтому вероятность появления логического сбоя в индикаторной подсхеме примерно равна вероятности появления логического сбоя в остальной части СС-схемы.

Повышение иммунности индикаторной подсхемы к одиночным логическим сбоям обеспечивается специальной DICE-схемотехникой Г-триггера, основного компонента индикаторной подсхемы СС-схем. Использование четырехтранзисторного выходного каскада вместо двухтранзисторного делает Г-триггер DICE-типа абсолютно иммунным к одиночным логическим сбоям в его внутренних узлах.

Защита от логического сбоя на выходе Г-триггера достигается с помощью Г-триггеров с синфазными входами и выходом. Преобразование синфазного сигнала в унарный сигнал реализуется четырехтранзисторным конвертором, идентичным четырехтранзисторному выходному каскаду в DICE-подобном Г-триггере.

Поддержка

Исследование выполнено при финансовой поддержке по Программе фундаментальных исследований Президиума РАН (проект 2019-0054-2.2) в Институте проблем информатики ФИЦ ИУ РАН.

Литература

[1] Muller D. E. and Bartky W. S. A theory of asynchronous circuits / Proceedings of an International Symposium on the Theory of Switching. Harvard University Press, April 1959, pp. 204–243.

[2] Kishinevsky M., Kondratyev A., Taubin A., Varshavsky V. et al. Concurrent Hardware: The Theory and Practice of Self-timed Design, J.Wiley, 1994. 388 p.

[3] Степченков Ю.А., Дьяченко Ю.Г., Горелкин Г.А. Самосинхронные схемы – будущее микроэлектроники // ЦНИИ "Электроника": Вопросы радиоэлектроники, 2011. № 2. С. 153-184.

[4] Степченков Ю. А., Дьяченко Ю. Г., Рождественский Ю. В., Морозов Н. В., Степченков Д. Ю., Дьяченко Д. Ю. Оптимизация индикации многоразрядных самосинхронных схем // Системы и средства информатики. 2019. №4.С. 14-27.

[5] Stepchenkov Y. A., Kamenskih A. N., Diachenko Y. G., Rogdestvenski Y. V., and Diachenko D. Y. Fault-Tolerance of Self-Timed Circuits / Proceedings of the 10th International Conference on Dependable Systems, Services, and Technologies (DESSERT). 2019. P. 41-44. https://doi.org/10.1109/DESSERT.2019.8770047.

[6] Stepchenkov Y. A., Kamenskih A. N., Diachenko Y. G., Rogdestvenski Y. V., and Diachenko D. Y. Improvement of the natural self-timed circuit tolerance to short-term soft errors // Advances in Science, Technology and Engineering Systems Journal. 2020. V. 5. №2. P. 44-56.

[7] Mavis D., Eaton P. SEU and SET modeling and mitigation in deep submicron technologies / Proceedings of the IEEE Int. Reliability Physics Symp. 2007. P. 293–305.

[8] Cilio W., Di J., Smith S. C., and Thompson D. R. Mitigating Power- and Timing-based Side-Channel Attacks Using Dual-Spacer Dual-Rail Delay-Insensitive Asynchronous Logic // Elsevier's Microelectronics Journal.V. 4. №3.2013.P. 258-269.

[9] Stepchenkov Yuri, Diachenko Yuri, Rogdestvenski Yuri, Shikunov Yuri, and Diachenko Denis. Advanced Indication of the Self-Timed Circuits / Proceedings of the 2019 IEEE East-West Design & Test Symposium (EWDTS). 2019. P. 207-212.

[10] Danilov I. A., Gorbunov M. S., Shnaider A. I., Balbekov A. O., Rogatkin Y. B., and Bobkov S. G. DICE-based Muller C-elements for soft error tolerant asynchronous ICs / Proceedings of the 16th European Conference on Radiation and Its Effects on Components and Systems (RADECS), 2016. P. 1-4. DOI: 10.1109/RADECS.2016.8093145.

[11] Eaton A. Patent No. US 6,756,809 B2. Single event upset immune logic family. Date of Patent : Jan. 29, 2004.

Hardening Self-Timed Circuit Indication against Soft Errors

Y.A. Stepchenkov, Y.G. Diachenko, Y.V. Rogdestvenski, N.V. Morozov,
D.Y. Stepchenkov, D.Y. Diachenko

Institute of Informatics Problems, Federal Research Center "Computer Science and Control" of the Russian Academy of Sciences (IPI FRC CSC RAS), IPI RAS

{YStepchenkov, YDiachenko, YRogdest, NMorozov, DStepchenkov}@ipiran.ru,
diaden87@gmail.com

Abstract —Adverse external influences (nuclear particles, cosmic rays, electromagnetic impulses) and internal disturbances (interference from adjacent signal traces, noises on power buses, and substrate) give rise to long-term (memory bit upset) and short-term (soft error) effects that affect digital circuit performance. Clock frequency rising increases the likelihood of writing soft error to synchronous register and makes synchronous circuits more sensitive to soft errors. An alternative to synchronous circuits are the self-timed ones. They are more immune to the soft errors due to dual-rail data coding and switching completion indication ensuring handshaking between their parts. The self-timed circuit's indication subcircuit occupies 25% through 50% of the entire self-timed circuit's hardware and layout area. So, short-term soft errors, caused by ionization events and interference inductions, appear in the indication subcircuit with a probability comparable to the soft error appearance probability in the self-timed circuit rest part. Indication subcircuit soft error tolerance depends on its immunity to soft errors in the indicated self-timed circuit and failure protection of Muller's C-element that is an indication base component. XOR and XNOR cells at the indication subcircuit first stage mask so-called anti-spacer state that is one-third part of the soft errors appeared in indicated circuits. Dual interlocked C-element implementation increases the indication subcircuit failure tolerance, but not sufficiently. The article proposes to replace the two-transistor converter in the dual interlocked C-element with a four-transistor converter and to use C-elements with in-phase inputs and output for building an indication "tree" combining all partial indication signals into a total one. Together with the XOR cell at the indication subcircuit first stage, the proposed approach provides an absolute protection against both soft errors in indication subcircuit and anti-spacer in the indicated self-timed circuit.

***Keywords* — self-timed circuits, failure tolerance, short-term soft error, indication, C-element, DICE-like approach.**

REFERENCES

[1] Muller D. E. and Bartky W. S. A theory of asynchronous circuits / Proceedings of an International Symposium on the Theory of Switching. Harvard University Press, April 1959, pp. 204–243.

[2] Kishinevsky M., Kondratyev A., Taubin A., Varshavsky V. et al. Concurrent Hardware: The Theory and Practice of Self-timed Design, J.Wiley, 1994. 388 p.

[3] Stepchenkov YU.A., D'yachenko YU.G., Gorelkin G.A. Samosinhronnye skhemy – budushchee mikroelektroniki (Self-timed circuits are the future of microelectronics) // CNII "Elektronika": Voprosy radioelektroniki, 2011. № 2. S. 153-184.

[4] Stepchenkov YU. A., D'yachenko YU. G., Rozhdestvenskij YU. V., MorozovN. V., Stepchenkov D. YU., D'yachenko D. YU. Optimizaciya indikacii mnogorazryadnyh samosinhronnyh skhem (Multi-bit self-timed circuit indication optimization) / Sistemy i sredstva informatiki, №4, 2019. S. 14-27.

[5] Stepchenkov Y. A., Kamenskih A. N., Diachenko Y. G., Rogdestvenski Y. V., and Diachenko D. Y. Fault-Tolerance of Self-Timed Circuits / Proceedings of the 10th International Conference on Dependable Systems, Services, and Technologies (DESSERT),. 2019. P. 41-44.https://doi.org/10.1109/DESSERT.2019.8770047.

[6] Stepchenkov Y. A., Kamenskih A. N., Diachenko Y. G., Rogdestvenski Y. V., and Diachenko D. Y. Improvement of the natural self-timed circuit tolerance to short-term soft errors // Advances in Science, Technology and Engineering Systems Journal. 2020. V. 5. №2. P. 44-56.

[7] Mavis D., Eaton P. SEU and SET modeling and mitigation in deep submicron technologies / Proceedings of the IEEE Int. Reliability Physics Symp. 2007. P. 293–305.

[8] Cilio W., Di J., Smith S. C., and Thompson D. R. Mitigating Power- and Timing-based Side-Channel Attacks Using Dual-Spacer Dual-Rail Delay-Insensitive Asynchronous Logic // Elsevier's Microelectronics Journal. V. 4. №3.2013. P. 258-269.

[9] Stepchenkov Yuri, Diachenko Yuri, Rogdestvenski Yuri, Shikunov Yuri, and Diachenko Denis. Advanced Indication of the Self-Timed Circuits / Proceedings of the 2019 IEEE East-West Design & Test Symposium (EWDTS). 2019. P. 207-212.

[10] Danilov I. A., Gorbunov M. S., Shnaider A. I., Balbekov A. O., Rogatkin Y. B., and Bobkov S. G. DICE-based Muller C-elements for soft error tolerant asynchronous ICs / Proceedings of the 16th European Conference on Radiation and Its Effects on Components and Systems (RADECS), 2016. P. 1-4. DOI: 10.1109/RADECS.2016.8093145.

[11] Eaton A. Patent No. US 6,756,809 B2. Single event upset immune logic family. Date of Patent : Jan. 29, 2004.