

**Федеральное
государственное
бюджетное учреждение
науки**

**Институт
проблем
информатики
(ИПИ РАН)**

**Ю.А. Степченков, А.Н. Денисов, Ю.Г. Дьяченко,
Ф.И. Гринфельд, О.П. Филимоненко, Н.В. Морозов,
Д.Ю. Степченков**

**БИБЛИОТЕКА ЭЛЕМЕНТОВ
ДЛЯ ПРОЕКТИРОВАНИЯ САМОСИНХРОННЫХ ПОЛУЗАКАЗ-
НЫХ БМК МИКРОСХЕМ
СЕРИЙ 5503/5507**



2014

Федеральное государственное бюджетное учреждение науки
ИНСТИТУТ ПРОБЛЕМ ИНФОРМАТИКИ
Российской академии наук
(ИПИ РАН)

**Ю.А. Степченков, А.Н. Денисов, Ю.Г. Дьяченко,
Ф.И. Гринфельд, О.П. Филимонов, Н.В. Морозов,
Д.Ю. Степченков**

**БИБЛИОТЕКА ЭЛЕМЕНТОВ ДЛЯ ПРОЕКТИРОВАНИЯ
САМОСИНХРОННЫХ ПОЛУЗАКАЗНЫХ БМК МИКРОСХЕМ
СЕРИЙ 5503/5507**

Москва
ИПИ РАН
2014

УДК 621.3.049.771

*Печатается по решению Ученого совета
Института проблем информатики РАН*

Рецензент:

доктор технических наук В.Н. Захаров

Авторы:

Ю.А. Степченков, А.Н. Денисов, Ю.Г. Дьяченко, Ф.И. Гринфельд, О.П. Филимоненко, Н.В. Морозов, Д.Ю. Степченков

Библиотека элементов для проектирования самосинхронных полупроводниковых БМК микросхем серий 5503/5507 — М.: ИПИ РАН, 2014. — 296 с. — ISBN 978-5-91993-027-3.

Книга содержит описание библиотеки элементов, предназначенной для проектирования самосинхронных интегральных микросхем на основе базовых матричных кристаллов серий 5503/5507 средствами САПР «Ковчег». Самосинхронные схемы характеризуются рядом параметров, выгодно отличающих их от синхронных схем, в том числе устойчивостью функционирования к разбросу и отклонениям параметров элементной базы из-за старения элементов, изменения температуры и напряжения источника питания.

Предназначена для разработчиков радиоэлектронной аппаратуры, а также для преподавателей, студентов старших курсов и аспирантов, изучающих современные методы проектирования специализированных БИС.

ISBN 978-5-91993-027-3

© Институт проблем информатики РАН
© Ю.А. Степченков, А.Н. Денисов,
Ю.Г. Дьяченко, Ф.И. Гринфельд,
О.П. Филимоненко, Н.В. Морозов,
Д.Ю. Степченков

Содержание

Введение	15
1 Состав библиотеки 5503СС/5507СС	21
1.1 Логические элементы, выполняющие простую функцию	21
1.2 Логические элементы, выполняющие сложную функцию	22
1.3 Мультиплексоры	24
1.4 Преобразователи, компараторы, мажоритарные элементы ..	25
1.5 Индикаторные элементы	26
1.6 Триггеры – части макроэлементов	29
1.7 Функционально законченные триггеры	31
1.8 Разряд последовательного счетчика	35
1.9 Элементы одноразрядного сумматора	36
1.10 Арбитры	37
1.11 Элементы шины	37
1.12 Макроэлементы	38
2 Описание базовых элементов	41
A2210I Логический элемент 2И-2И-3ИЛИ-НЕ	42
A2222I Логический элемент 2И-2И-2И-2И-4ИЛИ-НЕ	42
A2220I Логический элемент 2И-2И-2И-3ИЛИ-НЕ	43
A203I Логический элемент 2И-3ИЛИ-НЕ	43
A204I Логический элемент 2И-4ИЛИ-НЕ	43
A20AI Логический элемент 2И-2ИЛИ-2И-НЕ	44
A310I1 Логический элемент 3И-2ИЛИ-НЕ	44
A3220I Логический элемент 3И-2И-2И-3ИЛИ-НЕ	45
A320I Логический элемент 3И-2И-2ИЛИ-НЕ	45
A3330I Логический элемент 3И-3И-3И-3ИЛИ-НЕ	46
A330I Логический элемент 3И-3И-2ИЛИ-НЕ	46
A410I Логический элемент 4И-2ИЛИ-НЕ	46
A420I Логический элемент 4И-2И-2ИЛИ-НЕ	47
A430I Логический элемент 4И-3И-2ИЛИ-НЕ	47
A440I Логический элемент 4И--2ИЛИ-НЕ	48
AD1P1 Неполный одноразрядный сумматор с парафазными (со спейсером) входами и унарным выходом	48
AD1P2 Неполный одноразрядный сумматор с парафазными (со спейсером) входами и унарным выходом (быстродействующая модификация)	49

AD1P3	Неполный одноразрядный сумматор с парафазными (со спейсером) входами и выходами	50
AND4M	Логический элемент 4И (однокаскадный)	52
AOAI1	Логический элемент 2И-2И-2ИЛИ-2И-НЕ	53
AOAI2	Логический элемент 2И-2И-3ИЛИ-2И-НЕ	53
AOAI8	Логический элемент	54
AOAO1	Индикаторный элемент	54
AOAOAI	Индикаторный элемент с нулевым спейсером для четырех бифазных и одного унарного входов	55
AOAOI1	Логический элемент 2И-2И-2ИЛИ-2И-2ИЛИ-НЕ	57
AOAOI2	Логический элемент 2И-2И-2ИЛИ-2И-2И-2ИЛИ-НЕ	58
AOAOI3	Логический элемент 2И-2И-2ИЛИ-2И-2И-2ИЛИ-НЕ	59
AOAOI4	Индикаторный элемент с нулевым спейсером для пяти бифазных и одного унарного входов	60
AOAOI5	Элемент формирования ускоренного переноса	61
AOAOI6	Элемент формирования ускоренного переноса	62
AOAOI7	Логический элемент	63
ARB0	Асинхронный арбитр	63
BPC0	Преобразователь бифазного сигнала в парафазный с нулевым спейсером	64
BPC1	Преобразователь бифазного сигнала в парафазный с единичным спейсером	65
C0CI	Счетный триггер с нулевым спейсером, самосинхронным сбросом и индикаторным выходом	66
C0CP	Разряд последовательного счетчика с нулевым спейсером, самосинхронными сбросом и установкой	67
C0R	Разряд последовательного счетчика с нулевым спейсером и синхронным сбросом	69
C0RI	Счетный триггер с нулевым спейсером, синхронным сбросом и индикаторным выходом	70
C1C	Разряд последовательного счетчика с единичным спейсером и самосинхронным сбросом	71
C1CP	Разряд последовательного счетчика с единичным спейсером, самосинхронными сбросом и установкой	72
CMPP	Одноразрядный компаратор для парафазных сигналов с выработкой сигнала эквивалентности	73

CMPP0	Одноразрядный компаратор для парафазных сигналов с нулевым спейсером, парафазным выходом и индикацией входов	74
CMPP1	Одноразрядный компаратор для парафазных сигналов с единичным спейсером, парафазным выходом и индикацией входов	75
D0E10	Однотактный D-триггер с нулевым спейсером и разрешением записи	77
D0RE10	Однотактный D-триггер с нулевым спейсером, синхронным сбросом и разрешением записи	78
D0RE21	Двухтактный D-триггер с нулевым спейсером, синхронным сбросом и разрешением записи	79
D0SE10	Однотактный D-триггер с нулевым спейсером, синхронной установкой и разрешением записи	81
D1E10	Однотактный D-триггер с единичным спейсером и разрешением записи	82
D1RE10	Однотактный D-триггер с единичным спейсером, синхронным сбросом и разрешением записи	84
D1SE10	Однотактный D-триггер с единичным спейсером, синхронной установкой и разрешением записи	85
G0B32I	G-триггер с нулевым спейсером, тремя бифазными и двумя унарными входами, двумя выходами (вариант 1)	87
G0B3I	G-триггер с нулевым спейсером, тремя бифазными и одним унарным входами	88
G0B3I2	G-триггер с нулевым спейсером, тремя бифазными и двумя унарными входами, двумя выходами (вариант 2)	89
G0B3IB	G-триггер с нулевым спейсером, тремя бифазными и одним унарным входами, двумя выходами	91
G0P2	G-триггер с нулевым спейсером и двумя парафазными входами	92
G0PI	G-триггер с нулевым спейсером, одним унарным и одним парафазным входами	93
G0PI2	G-триггер с нулевым спейсером, двумя унарными и одним парафазным входами	94
G1B32I	G-триггер с единичным спейсером, тремя бифазными и двумя унарными входами (вариант 1)	95

G1B3I	G-триггер с единичным спейсером, тремя бифазными , и одним унарными входами	96
G1B3I2	G-триггер с единичным спейсером, тремя бифазными и двумя унарными входами (вариант 2)	98
G1B3IB	G-триггер с единичным спейсером, тремя бифазными и одним унарными входами, двумя выходами	99
G1P2	G-триггер с единичным спейсером и двумя парафазными входами	100
G1PI	G-триггер с единичным спейсером, одним унарным и одним парафазным входами	102
G1PI2	G-триггер с единичным спейсером, двумя унарными и одним парафазным входами	103
GI2	G-триггер с двумя унарными входами	104
GI2M	G-триггер с двумя унарными входами и парафазным выходом	105
GI2RS	G-триггер с двумя унарными входами, парафазным выходом, асинхронными сбросом и установкой	106
GI3	G-триггер с тремя унарными входами	107
GI3M	G-триггер с тремя унарными входами, мостовая схема . . .	108
GI3M1	G-триггер с тремя унарными входами и парафазным выходом . .	109
GI3RS	G-триггер с тремя унарными входами, асинхронными сбросом и установкой, парафазным выходом	110
GI4	G-триггер с четырьмя унарными входами	111
GI4M	G-триггер с четырьмя унарными входами и парафазным выходом	112
GI4RS	G-триггер с четырьмя унарными входами, парафазным выходом, асинхронными сбросом и установкой	113
GIM6	Шестивходовой G-триггер	115
GIM8	Восьмивходовой G-триггер	115
GIM12	Двенадцативходовой G-триггер	116
GIM16	Шестнадцативходовой G-триггер	117
GIMI	Двухвходовая секция многовходового G-триггера (входная) . . .	118
GIMO	Двухвходовая секция многовходового G-триггера (выходная) ..	119
IBUI	Вход внутренней шины	120
IBUO	Выход внутренней шины	122
L0DRE1	Однотактный D-триггер с нулевым спейсером, синхронным сбросом и разрешением записи	123

L0DRE2	Двухтактный D-триггер с нулевым спейсером, синхронным сбросом и разрешением записи	124
L0RCE2	Двухтактный RS-триггер с нулевым спейсером, синхронным сбросом и разрешением записи	125
L0RRE2	Двухтактный RS-триггер с нулевым спейсером, синхронным сбросом, разрешением записи и дополнительным разрешением записи первой ступени	127
L0RRE3	Двухтактный RS-триггер с нулевым спейсером, синхронным сбросом и разрешением записи	129
L0RRE4	Двухтактный RS-триггер с нулевым спейсером, синхронным сбросом, разрешением записи и дополнительным разрешением записи второй ступени	131
L0RTE2	Двухтактный RS-триггер с нулевым спейсером, самосинхронными параллельными сбросом и установкой, разрешением записи (вариант 1)	133
L0RTE3	Двухтактный RS-триггер с нулевым спейсером, самосинхронными параллельными сбросом и установкой, разрешением записи (вариант 2)	135
L1DRE2	Двухтактный D-триггер с единичным спейсером, синхронным сбросом и разрешением записи	137
L1RCE2	Двухтактный RS-триггер с единичным спейсером, синхронным сбросом и разрешением записи	138
L1RRE2	Двухтактный RS-триггер с единичным спейсером, синхронным сбросом и разрешением записи	140
L1RTE2	Двухтактный RS-триггер с единичным спейсером, самосинхронными параллельными сбросом и установкой, разрешением записи (вариант 1)	142
L1RTE3	Двухтактный RS-триггер с единичным спейсером, самосинхронными параллельными сбросом и установкой, разрешением записи (вариант 2)	144
M021BE	Мультиплексор из 2 в 1 с нулевым спейсером, инверсией выходов и разрешением	146
M021EM	Мультиплексор из 2 в 1 с нулевым спейсером, мощным выходом и разрешением	148
M021M	Мультиплексор из 2 в 1 с нулевым спейсером и мощным выходом	149

MAJBM	Мажоритарный элемент для трех унарных сигналов, с унарным выходом	150
MAJP	Мажоритарный элемент для трех парафазных сигналов, с парафазным выходом	151
NAN4	Логический элемент 4И-НЕ	152
NOR4	Логический элемент 4ИЛИ-НЕ	152
O221AI	Логический элемент 2ИЛИ-2ИЛИ-3И-НЕ	153
O2222I	Логический элемент 2ИЛИ-2ИЛИ-2ИЛИ-2ИЛИ-4И-НЕ	153
O222AI	Логический элемент 2ИЛИ-2ИЛИ-2ИЛИ-3И-НЕ	154
O2A3I	Логический элемент 2ИЛИ-3И-НЕ	154
O2A4I	Логический элемент 2ИЛИ-4И-НЕ	155
O2AOI	Логический элемент 2ИЛИ-2И-2ИЛИ-НЕ	155
O322AI	Логический элемент 3ИЛИ-2ИЛИ-2ИЛИ-3И-НЕ	156
O32AI	Логический элемент 3ИЛИ-2ИЛИ-2И-НЕ	156
O331AI	Логический элемент 3ИЛИ-3ИЛИ-3И-НЕ	157
O333AI	Логический элемент 3ИЛИ-3ИЛИ-3ИЛИ-3И-НЕ	157
O33AI	Логический элемент 3ИЛИ-3ИЛИ-2И-НЕ	158
O3AI1	Логический элемент 3ИЛИ-2И-НЕ	158
O41AI	Логический элемент 4ИЛИ-2И-НЕ	159
O42AI	Логический элемент 4ИЛИ-2ИЛИ-2И-НЕ	159
O43AI	Логический элемент 4ИЛИ-3ИЛИ-2И-НЕ	160
O44AI	Логический элемент 4ИЛИ-4ИЛИ-2И-НЕ	160
OAOA1	Индикаторный элемент	161
OAOA11	Логический элемент 2ИЛИ-2ИЛИ-2И-2ИЛИ-2И-НЕ	161
OAOA12	Логический элемент 2ИЛИ-2ИЛИ-2И-2ИЛИ-2ИЛИ-2ИЛИ-3И-НЕ	162
OAOA13	Логический элемент 2ИЛИ-2ИЛИ-2И-2ИЛИ-2ИЛИ-2И-НЕ	162
OAOA15	Логический элемент 2ИЛИ-2И-2ИЛИ-2И-НЕ	163
OAOA16	Логический элемент 2ИЛИ-2И-2ИЛИ-2И-2ИЛИ-2И-НЕ	163
OAOA17	Логический элемент	164
OAOAOI	Индикаторный элемент	165
OAOI1	Логический элемент 2ИЛИ-2ИЛИ-2И-2ИЛИ-НЕ	165
OAOI2	Логический элемент 2ИЛИ-2ИЛИ-3И-2ИЛИ-НЕ	166
OAOI8	Логический элемент 2ИЛИ-2И-2ИЛИ-2И-2ИЛИ-НЕ	166
OR4M	Логический элемент 4ИЛИ (однокаскадный)	167

R010	Однотактный RS-триггер с нулевым спейсером	167
R011	Однотактный RS-триггер с парафазным входом с нулевым спейсером и мощным выходом	168
R0C10	Однотактный RS-триггер с нулевым спейсером и самосинхронным сбросом	169
R0C11	Однотактный RS-триггер с нулевым спейсером, самосинхронным сбросом и парафазным выходом с нулевым спейсером	171
R0C12	Однотактный RS-триггер с нулевым спейсером, самосинхронным сбросом и парафазным выходом с единичным спейсером	173
R0C13	Однотактный RS-триггер с парафазным входом с нулевым спейсером, самосинхронным сбросом и мощным выходом	175
R0CE10	Однотактный RS-триггер с нулевым спейсером, самосинхронным сбросом и разрешением записи	176
R0CE11	Однотактный RS-триггер с нулевым спейсером, самосинхронным сбросом, разрешением записи и парафазным выходом с нулевым спейсером	178
R0CE12	Однотактный RS-триггер с нулевым спейсером, самосинхронным сбросом, разрешением записи и парафазным выходом с единичным спейсером	180
R0CE13	Однотактный RS-триггер с нулевым спейсером, самосинхронным сбросом, разрешением записи и мощным выходом	182
R0E10	Однотактный RS-триггер с нулевым спейсером и разрешением записи	183
R0E11	Однотактный RS-триггер с нулевым спейсером, разрешением записи и мощным выходом	185
R0P10	Однотактный RS-триггер с нулевым спейсером и самосинхронной установкой	186
R0P11	Однотактный RS-триггер с нулевым спейсером, самосинхронной установкой и парафазным выходом с нулевым спейсером	187
R0P12	Однотактный RS-триггер с нулевым спейсером, самосинхронной установкой и парафазным выходом с единичным спейсером	189

R0P13	Однотактный RS-триггер с парафазным входом с нулевым спейсером, самосинхронной установкой и мощным выходом .	191
R0PE10	Однотактный RS-триггер с нулевым спейсером, самосинхронной установкой и разрешением записи	193
R0PE11	Однотактный RS-триггер с нулевым спейсером, самосинхронной установкой, разрешением записи и парафазным выходом с нулевым спейсером	194
R0PE12	Однотактный RS-триггер с нулевым спейсером, самосинхронной установкой, разрешением записи и парафазным выходом с единичным спейсером	196
R0PE13	Однотактный RS-триггер с нулевым спейсером, самосинхронной установкой, разрешением записи и мощным выходом	198
R0R10	Однотактный RS-триггер с нулевым спейсером и синхронным сбросом	199
R0R11	Однотактный RS-триггер с парафазным входом с нулевым спейсером, синхронным сбросом и мощным выходом	201
R0RE10	Однотактный RS-триггер с нулевым спейсером, синхронным сбросом и разрешением записи	202
R0RE11	Однотактный RS-триггер с нулевым спейсером, синхронным сбросом, разрешением записи и частичной индикацией	204
R0RE12	Однотактный RS-триггер с нулевым спейсером, синхронным сбросом и разрешением записи	206
R0RE13	Однотактный RS-триггер с нулевым спейсером, синхронным сбросом, разрешением записи и мощным выходом	208
R0RE20	Двухтактный RS-триггер с нулевым спейсером, синхронным сбросом, разрешением записи и инверсным сигналом индикации	210
R0RE21	Двухтактный RS-триггер с нулевым спейсером, синхронным сбросом, разрешением записи и частичной индикацией	212
R0RE22	Двухтактный RS-триггер с нулевым спейсером, синхронным сбросом, разрешением записи и прямым выходом индикации	215

R0S11	Однотактный RS-триггер с парафазным входом с нулевым спейсером, синхронной установкой и мощным выходом	217
R0SE13	Однотактный RS-триггер с нулевым спейсером, синхронной установкой, разрешением записи и мощным выходом	218
R111	Однотактный RS-триггер с парафазным входом с единичным спейсером и мощным выходом	220
R1C10	Однотактный RS-триггер с единичным спейсером и самосинхронным сбросом	221
R1C11	Однотактный RS-триггер с единичным спейсером, самосинхронным сбросом и парафазным выходом с нулевым спейсером	222
R1C12	Однотактный RS-триггер с единичным спейсером, самосинхронным сбросом и парафазным выходом с единичным спейсером	224
R1C13	Однотактный RS-триггер с парафазным входом с единичным спейсером, самосинхронным сбросом и мощным выходом	226
R1CE10	Однотактный RS-триггер с единичным спейсером, самосинхронным сбросом и разрешением записи	228
R1CE11	Однотактный RS-триггер с единичным спейсером, самосинхронным сбросом, разрешением записи и парафазным выходом с нулевым спейсером	230
R1CE12	Однотактный RS-триггер с единичным спейсером, самосинхронным сбросом, разрешением записи и парафазным выходом с единичным спейсером	232
R1CE13	Однотактный RS-триггер с единичным спейсером, самосинхронным сбросом, разрешением записи и мощным выходом	233
R1E11	Однотактный RS-триггер с единичным спейсером, разрешением записи и мощным выходом	235
R1P10	Однотактный RS-триггер с единичным спейсером и самосинхронной установкой	236
R1P11	Однотактный RS-триггер с единичным спейсером, самосинхронной установкой и парафазным выходом с нулевым спейсером	238

R1P12	Однотактный RS-триггер с единичным спейсером, самосинхронной установкой и парафазным выходом с единичным спейсером	240
R1P13	Однотактный RS-триггер с парафазным входом с единичным спейсером, самосинхронной установкой и мощным выходом	242
R1PE10	Однотактный RS-триггер с единичным спейсером, самосинхронной установкой и разрешением записи . . .	243
R1PE11	Однотактный RS-триггер с единичным спейсером, самосинхронной установкой, разрешением записи и парафазным выходом с нулевым спейсером	245
R1PE12	Однотактный RS-триггер с единичным спейсером, самосинхронной установкой, разрешением записи и парафазным выходом с единичным спейсером	247
R1PE13	Однотактный RS-триггер с единичным спейсером, самосинхронной установкой, разрешением записи и мощным выходом	249
R1R11	Однотактный RS-триггер с парафазным входом с единичным спейсером, синхронным сбросом и мощным выходом	251
R1RE10	Однотактный RS-триггер с единичным спейсером, синхронным сбросом и разрешением записи	252
R1RE11	Однотактный RS-триггер с единичным спейсером, синхронным сбросом, разрешением записи и частичной индикацией	254
R1RE13	Однотактный RS-триггер с единичным спейсером, синхронным сбросом, разрешением записи и мощным выходом	256
R1RE20	Двухтактный RS-триггер с единичным спейсером, синхронным сбросом и разрешением записи	258
R1S11	Однотактный RS-триггер с парафазным входом с единичным спейсером, синхронной установкой и мощным выходом	260
R1SE13	Однотактный RS-триггер с единичным спейсером, синхронной установкой, разрешением записи и мощным выходом	261
UOAOAI	Логический элемент U	263

U0AOI	Логический элемент U0	263
U0AOI1	Логический элемент U1	263
U0AOI2	Логический элемент U2	264
U0AOI3	Логический элемент U3	264
U0AOI4	Логический элемент U4	265
U0AOI5	Логический элемент U5	265
U0AOI6	Логический элемент U6	265
U0AOI7	Логический элемент U7	266
U0AOI8	Логический элемент U8	266
U0AOI9	Логический элемент U9	267
UPC0	Преобразователь унарного сигнала в парафазный с нулевым спейсером	267
UPC1	Преобразователь унарного сигнала в парафазный с единичным спейсером.	268
3	Описание макроэлементов	270
D0RE20	Двухтактный D-триггер с нулевым спейсером, синхронным сбросом и разрешением записи	270
D1RE20	Двухтактный D-триггер с единичным спейсером, синхронным сбросом и разрешением записи	271
R0CE20	Двухтактный RS-триггер с нулевым спейсером, самосинхронным сбросом и разрешением записи	273
R1CE20	Двухтактный RS-триггер с единичным спейсером, самосинхронным сбросом и разрешением записи	274
S0RRE0	Разряд сдвигового регистра на базе двухтактного RS-триггера с нулевым спейсером, синхронным сбросом и разрешением записи	276
S0RRE1	Разряд сдвигового регистра на базе двухтактного RS-триггера с нулевым спейсером, синхронным сбросом, разрешением записи и инверсным индикаторным выходом	278
S0RRE2	Разряд сдвигового регистра на базе двухтактного RS-триггера с нулевым спейсером, синхронным сбросом и разрешением записи	280
S0RTE0	Разряд сдвигового регистра на базе двухтактного RS- триггера с нулевым спейсером, самосинхронными парал- лельными сбросом и установкой, разрешением записи	282

S0RTE1	Разряд сдвигового регистра на базе двухтактного RS-триггера с нулевым спейсером, самосинхронными параллельными сбросом и установкой, разрешением записи, двухкаскадным индикатором окончания переходных процессов	285
S1RRE0	Разряд сдвигового регистра на базе двухтактного RS-триггера с единичным спейсером, синхронным сбросом и разрешением записи	287
S1RRE1	Разряд сдвигового регистра на базе двухтактного RS-триггера с единичным спейсером, синхронным сбросом, разрешением записи и инверсным индикаторным выходом	289
S1RTE0	Разряд сдвигового регистра на базе двухтактного RS-триггера с единичным спейсером, самосинхронными параллельными сбросом и установкой, разрешением записи	291
S1RTE1	Разряд сдвигового регистра на базе двухтактного RS-триггера с единичным спейсером, самосинхронными параллельными сбросом и установкой, разрешением записи, двухкаскадным индикатором окончания переходных процессов	293

Введение

Представляемая библиотека элементов предназначена для реализации самосинхронизирующихся (далее для краткости – самосинхронных, СС) устройств, независимых от задержек элементов (НЗЭ). В ее состав входят базовые элементы и макроэлементы, отсутствующие в исходной библиотеке логических элементов семейства базовых матричных кристаллов (БМК) серий 5503/5507 (далее по тексту 550*).

Данная библиотека СС-элементов (5503СС/5507СС) – расширение унифицированной стандартной библиотеки элементов, которая ориентирована, в основном, на разработку синхронных и, частично, асинхронных полузаказных микросхем на БМК серий 550*. Поэтому в настоящем руководстве не приводятся сведения о конструкции БМК серий 550*, номинальных и предельно допустимых значениях их электрических параметров и т.д.

Термин "независимые от задержек элементов" означает, что любой инициированный извне переходный процесс в элементе должен быть индицирован (зафиксирован факт его окончания), и задержка любого компонента элемента (например, инвертора) может иметь произвольное конечное значение. Элементы НЗЭ-библиотеки могут быть использованы для построения синхронных, асинхронных или квазисамосинхронных устройств, в которых приведенные условия не соблюдаются или соблюдаются частично. Все элементы классов "Логические элементы, выполняющие простую функцию" и "Логические элементы, выполняющие сложную функцию" не содержат какой-либо самосинхронной специфики и могут рассматриваться как расширение традиционных библиотек логических элементов. В дальнейшем, если это не оговорено особо, под термином "самосинхронный" (СС) будет пониматься НЗЭ-исполнение.

Описания элементов содержат краткие структурно-функциональные характеристики, логические функции, таблицы истинности и (если необходимо) сигнальные графы. В нотации логических функций используются символы логических операций сложения "+", умножения "*" и инверсии "/" (или "—").

СС-элементы обеспечивают индикацию окончания процессов перехода из рабочей фазы в промежуточную (спейсер) и обратно.

Спейсеры могут принимать значения 0 и 1.

В соответствии с принципами СС-схемотехники схемы имеют на входе какие-либо сигналы следующих типов или их сочетание:

- информационные унарные (непарные) входные сигналы;
- информационные бифазные (парные) сигналы;
- информационные парафазные сигналы без спейсера;
- информационные парафазные сигналы со спейсером;
- индикаторные унарные сигналы;
- управляющие сигналы (сигналы разрешения),
- мультистабильные сигналы.

Под информационным унарным сигналом понимается обычный непарный сигнал, например, унарный вход D у D-триггера.

Под бифазным сигналом (БФ) понимается пара выходов бистабильной ячейки (название сигнала указывает на его родственную связь с такой ячейкой). Бифазный сигнал имеет два устойчивых состояния (01 и 10) и только одно транзитное (переходное) состояние (00 или 11).

Под парафазным сигналом без спейсера (ПФ) понимается пара сигналов, имеющая два устойчивых состояния: (01 и 10) и два транзитных состояния (00 и 11). Пример – вход и выход инвертора.

Под парафазным сигналом со спейсером (ПФС) понимается представление исходного одноразрядного сигнала двумя битами. Например, 0 кодируется как 01, а 1 – как 10. Роль спейсера играет один из двух наборов – 00 или 11. Сигнал ПФС имеет три устойчивых состояния: 01, 10 и 00 (или 11).

Под мультистабильным сигналом (МС) понимается совокупность из m сигналов, имеющая одно спейсерное состояние, в котором все сигналы принимают одинаковое значение, и m рабочих состояний, в каждом из которых только один из сигналов принимает значение, противоположное спейсерному. Пример – сигналы выборки однокасадного мультиплексора.

Если библиотечный элемент не имеет сигнала разрешения записи, то тип спейсера в названии элемента указывает на тип спейсера информационных ПФС-входов; например, в названии элемента **R010** (однотактный RS-триггер с нулевым спейсером) состояние спейсера (режима хранения информации) определяет состояние информационных ПФС-сигналов – **RS=00**.

Если библиотечный элемент имеет сигнал разрешения записи (например, **ROE10** – одноканальный RS-триггер с нулевым спейсером и разрешением записи), то в названии элемента указывается тип спейсера именно по сигналу разрешения записи. В данном случае нулевое значение сигнала разрешения записи запрещает запись в триггер состояния информационных RS-входов, и триггер хранит информацию, записанную в него ранее.

Для элементов с разрешением записи тип спейсера управляющего сигнала, указанный в названии элемента, может совпадать или отличаться от типа спейсера информационных ПФС-сигналов. Например, у элемента RORE11 они совпадают, а у элемента RORE12 – отличаются. Тип спейсера информационных ПФС-сигналов, если таковые используются, указывается в тексте описания элемента и в таблице истинности.

На рисунках приняты следующие обозначения:

B (BB) – прямой (обратный) сигнал БФ-сигнала, например, B2, B2B – второй БФ-сигнал на входе индикатора АОАОАИ;

C – унарный сигнал самосинхронного сброса в нуль;

D – информационный унарный сигнал (сигнал данных);

E – управляющий сигнал (сигнал разрешения);

G – идентификатор гистерезисного триггера в аббревиатуре названия элемента и обозначении выполняемой им функции;

I – унарный сигнал индикации текущей фазы работы схемы;

P – унарный сигнал самосинхронной установки в единицу;

P (PB) – прямой (обратный) сигнал ПФС-сигнала;

R, RT – унарный сигнал синхронного (асинхронного) сброса;

R + S – парный информационный сигнал сброса/установки RS-триггера;

RT + ST – парный управляющий сигнал самосинхронного сброса/установки RS-триггера;

S, ST – унарный сигнал синхронной или асинхронной установки в единицу;

W – унарный управляющий сигнал разрешения самосинхронного сброса/установки с использованием парных сигналов RT, ST;

0 (1) – идентификатор нулевого (единичного) спейсера в аббревиатуре названия элемента и обозначении функции, выполняемой элементом.

Знаком + в имени сигнала помечено его будущее значение.

Символ * в таблицах истинности означает любое возможное состояние, "X" – неопределенное состояние.

Символ \boxplus в условном графическом обозначении (УГО) означает, что это элемент с тремя состояниями и доопределением до высокого уровня.

Символ \boxminus в УГО означает, что это элемент с тремя состояниями и доопределением до низкого уровня.

Символ \boxtimes в УГО означает, что выходы элемента в рабочих состояниях – инверсные, а в состоянии спейсера – одинаковые.

В таблице истинности для ряда элементов, например, **G0P2**, **G0P1**, **G0P12**, **G1P2**, **G1P1**, **G1P12** и других, некоторые комбинации входов помечены (выделены серым) как запрещенные. С позиций самосинхронизации эти состояния недопустимы, так как нарушается контроль действительного окончания переходных процессов. Если такие комбинации появятся на входах элемента, система моделирования “Ковчег” выдаст предупреждение пользователю.

В таблице задержек элемента приведены задержки переключения соответствующего выхода элемента при изменении входа, указанного в пути, для БМК серии 5503/5507. Значения t^{01} и t^{10} соответствуют задержкам переключения выхода из состояния с низким уровнем (логического 0) в состояние с высоким уровнем (логическую 1) и наоборот.

Термин «каскадность элемента» используется в данном руководстве в двух смыслах: логическом и электрическом.

В логическом смысле термин «каскадность» используется при описании логических элементов, выполняющих сложную функцию. В начале имени элемента указывается обозначение функции групп входов первого каскада и количество входов каждой группы. Далее дается обозначение функций второго и третьего каскадов.

На рисунке 1 показаны УГО трех элементов. В соответствии с термином *логической* каскадности элементы AND4 и AND4M – однокаскадные, а элемент A44OI – двухкаскадный.

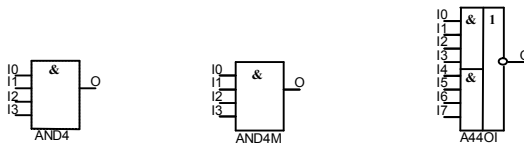


Рисунок 1 Примеры УГО логических элементов

В СС-схемотехнике термин «однокаскадность» используется в *электрическом* смысле. При этом однокаскадным является элемент, имеющий один внешний выход, одну одновыходовую функциональную часть, определяющую логическую функцию элемента, и в некоторых случаях один или несколько инверторов или повторителей. В соответствии с этим определением AND4 – двухкаскадный элемент, AND4M и A44OI – однокаскадные.

В СС-схеме необходимо формирование общего (глобального) сигнала окончания переходных процессов путем сборки локальных сигналов индикации. На рисунке 2 приведены обозначение, функция и примеры реализации так называемого гистерезисного триггера (G-триггера) GI2 – индикатора двух локальных сигналов индикации.

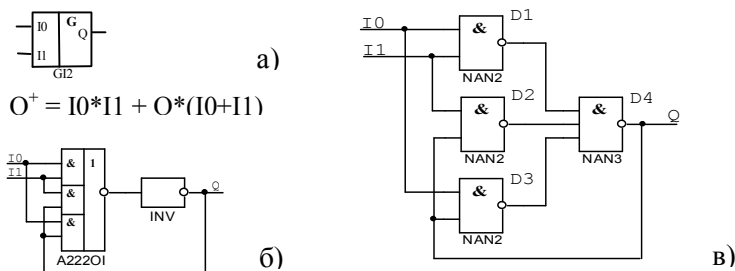


Рисунок 2 Двухвходовой G-триггер: (а) УГО и выполняемая функция, (б) корректная и (в) некорректная реализации

Если наборы на входах **I0** и **I1** (00 и 11) фиксируются на длительное время, за которое успевают закончиться все переходные процессы, оба варианта реализации (б) и (в) свободны от состязаний. Однако если в схеме (б) изменение выхода – признак окончания всех переходных процессов, то в схеме (в) после изменения выхода переходные процессы в первом каскаде могут продолжаться.

Таблица истинности элемента GI2

№ строки	Входы		Выход
	I0	I1	Q
1	0	0	0
2	0	1	хранение
3	1	0	хранение
4	1	1	1

G-триггер должен индицировать окончание переходных процессов не только в схемах, формирующих его входы, но и в себе самом. При этом предполагается, что логические состязания на уровне одного однокаскадного элемента невозможны, т.к. время его переключения определяется, в основном, перезарядом его выходной емкости.

Рассмотрим возможные состязания в схеме (в) G-триггера. Исходное состояние $I_0=I_1=0$, при этом на выходах всех элементов первого каскада логическая 1, а $Q=0$. Изменение выхода ($Q=1$) произойдет после того, как выполнится условие $I_0=I_1=1$. Предположим, что задержки элементов D2 и D3 так велики, что сигналы на их выходах остались равными 1², в то время как один из входов I_0 или I_1 перешел в исходное состояние 0. При этом выход элемента D1 станет равным 1. Тогда выход Q может перейти из 1 в 0, не дожидаясь окончания переходных процессов в других элементах первого каскада, т.е. выполнения условия $I_0=I_1=0$; схема, таким образом, не выполнит функцию индикатора.

Реализация сложных индикаторных и функциональных СС-элементов, эффективных по быстродействию и аппаратным затратам, требует более разнообразных однокаскадных элементов в универсальном функциональном базисе И-ИЛИ-НЕ/ИЛИ-И-НЕ. Этим объясняется ввод в библиотеку элементов в базисе И-ИЛИ-НЕ и ИЛИ-И-НЕ, не имеющих СС-специфики.

В настоящем руководстве представлено 252 базовых элемента и 13 макроэлементов.³

² Напомним, что самосинхронная схема (в данном случае G-триггер) должна работать корректно при любых величинах задержек в ее элементах.

³ Представленные результаты и монография выполнены при частичной финансовой поддержке РФФИ в рамках научных проектов №№ 13-07-12068/14 офи_м и 13-07-12062/14 офи_м.

1 Состав библиотеки 5503СС/5507СС

В состав библиотеки 5503СС/5507СС входят следующие классы элементов:

- базовые элементы:
 - логические элементы, выполняющие простую функцию;
 - логические элементы, выполняющие сложную функцию;
 - мультиплексоры;
 - преобразователи, компараторы, мажоритарные элементы;
 - индикаторные элементы;
 - триггеры – части макроэлементов;
 - функционально законченные триггеры;
 - разряд последовательного счетчика;
 - разряд сдвигового регистра;
 - элементы одноразрядного сумматора;
 - арбитры;
 - элементы шины;
- макроэлементы.

1.1 Логические элементы, выполняющие простую функцию

Имя логического элемента, выполняющего простую функцию, включает в себя название функции, общее количество входов, признак парафазных входных сигналов, признак инверсного выхода, признак модификации данного элемента (может отсутствовать).



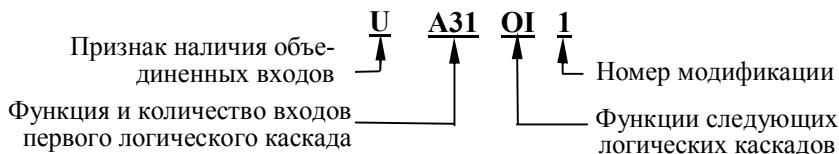
Обозначения функций:

- **AND** – И;
- **NAN** – И-НЕ;
- **NOR** – ИЛИ-НЕ;
- **OR** – ИЛИ.

Имя	Функция
AND4M	4И: $I0 * I1 * I2 * I3$
NAN4	4И-НЕ: $\overline{I0 * I1 * I2 * I3}$
NOR4	4ИЛИ-НЕ: $\overline{I0 + I1 + I2 + I3}$
OR4M	4ИЛИ: $I0 + I1 + I2 + I3$

1.2 Логические элементы, выполняющие сложную функцию

Имя логического элемента, реализующего сложную функцию, включает в себя признак наличия объединенных входов, название функции первого логического каскада, количество входов первого каскада, названия функций следующих логических каскадов, номер модификации элемента (может отсутствовать).



Обозначения функций:

- **A** – И (AND);
- **O** – ИЛИ (OR);
- **I** – функция инверсии.

Если имя логического элемента превышает 6 знаков, то количество входов первого каскада может быть опущено.

Имя	Функция
1	2
A22IOI	$\overline{I0 * I1 + I2 * I3 + I4}$
A2222I	$\overline{I0 * I1 + I2 * I3 + I4 * I5 + I6 * I7}$
A222OI	$\overline{I0 * I1 + I2 * I3 + I4 * I5}$
A2O3I	$\overline{I0 * I1 + I2 + I3}$
A2O4I	$\overline{I0 * I1 + I2 + I3 + I4}$
A2OAI	$\overline{((I0 * I1 + I2) * I3)}$
A3IOI	$\overline{I0 * I1 * I2 + I3}$
A322OI	$\overline{I0 * I1 * I2 + I3 * I4 + I5 * I6}$
A32OI	$\overline{I0 * I1 * I2 + I3 * I4}$
A333OI	$\overline{I0 * I1 * I2 + I3 * I4 * I5 + I6 * I7 * I8}$

Продолжение таблицы

1	2
A33OI	$/(I0*I1*I2+I3*I4*I5)$
A41OI	$/(I0*I1*I2*I3+I4)$
A42OI	$/(I0*I1*I2*I3+I4*I5)$
A43OI	$/(I0*I1*I2*I3+I4*I5*I6)$
A44OI	$/(I0*I1*I2*I3+I4*I5*I6*I7)$
AOAI1	$(((I0*I1+I2*I3)*I4)B)$
AOAI2	$(((I0*I1+I2*I3+I4)*I5)$
AOAI8	$(((I0*I1+I2)*I3*I4+I5))$
AOAO1	$(I0*I1+I2*I3)*I4+(I3*I5+I1*I6)*I7$
AOAO11	$(((I0*I1+I2*I3)*I4+I5)$
AOAO12	$(((I0*I1+I2*I3)*I4+I5*I6+I7*I8)$
AOAO13	$(((I0*I1+I2*I3)*I4+I5*I6)$
AOAO15	$(((I0*I1+I2)*I3+I4)$
AOAO16	$(((I0*I1+I2)*I3+I4)*I5+I6)$
AOAO17	$(((I0*I1+I2)*I3+(I4*I5+I6)*I7)$
O221AI	$(((I0+I1)*(I2+I3)*I4)$
O2222I	$(((I0+I1)*(I2+I3)*(I4+I5)*(I6*I7))$
O222AI	$(((I0+I1)*(I2+I3)*(I4+I5))$
O2A3I	$(((I0+I1)*I2*I3)$
O2A4I	$(((I0+I1)*I2*I3*I4)$
O2AOI	$(((I0+I1)*I2+I3)$
O322AI	$(((I0+I1+I2)*I3+I4)*(I5+I6))$
O32AI	$(((I0+I1+I2)*I3+I4))$
O331AI	$(((I0+I1+I2)*I3+I4+I5)*I6)$
O333AI	$(((I0+I1+I2)*I3+I4+I5)*(I6+I7+I8))$
O33AI	$(((I0+I1+I2)*I3+I4+I5))$
O3AI1	$(((I0+I1+I2)*I3)$
O41AI	$(((I0+I1+I2+I3)*I4)$
O42AI	$(((I0+I1+I2+I3)*I4+I5))$
O43AI	$(((I0+I1+I2+I3)*I4+I5+I6))$
O44AI	$(((I0+I1+I2+I3)*I4+I5+I6+I7))$
OA0A1	$((I0+I1)*(I2+I3)+I4)*((I3+I5)*(I1+I6)+I7)$
OA0AI1	$(((I0+I1)*(I2+I3)+I4)*I5)$
OA0AI2	$(((I0+I1)*(I2+I3)+I4)*(I5+I6)*(I7+I8))$
OA0AI3	$(((I0+I1)*(I2+I3)+I4)*(I5+I6))$
OA0AI5	$(((I0+I1)*I2+I3)*I4)$
OA0AI6	$((((I0+I1)*I2+I3)*I4+I5)*I6)$
OA0AI7	$((((I0+I1)*I2+I3)*I4+I5)*I6+I7))$
OA0AOI	$(((I0+I1)*(I2+I3)+I4)*(I1+I5)*(I3+I6)+I7)+I8)$

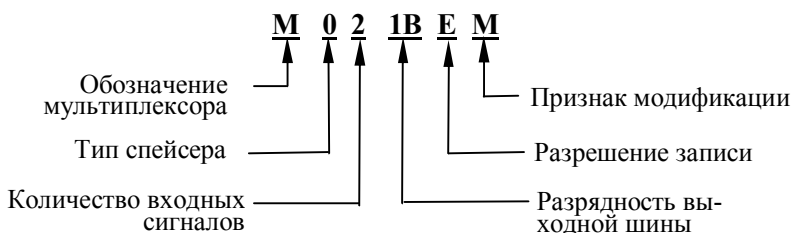
Окончание таблицы

1	2
ОАОП1	$(((I0+I1)*(I2+I3)+I4)$
ОАОП2	$(((I0+I1)*(I2+I3)*I4+I5)$
ОАОП8	$(((I0+I1)*I2+(I3+I4)*I5)$
УОАОП1	$(((I0+I1)*I3+I0*I1)*I2)$
УОАОП1	$/(I0*(I1+I2)+I1*I3)$
УОАОП11	$(((I0+I1)*I2+I0*I1*I3)$
УОАОП12	$(((I0+I1+I2)*I3+I0*I1)$
УОАОП13	$(((I0+I1)*(I2+I3)+I2*I3)$
УОАОП14	$/(I0*I1*(I2+I3)+I2*I3)$
УОАОП15	$(((I0+I1)*I2+I0*I1+I3)$
УОАОП16	$(((I0+I1+I2)*I3+I0*I1*I2)$
УОАОП17	$(((I0+I1)*I2*I3+I0*I1*(I2+I3))$
УОАОП18	$(((I0+I3)*(I1+I2)+I0*I3+I1*I2)$
УОАОП19	$(((I0+I1+I2+I3)*I4+I0*I1*I2*I3)$

1.3 Мультиплексоры

Мультиплексор – элемент, выполняющий функцию передачи одного из нескольких входных сигналов на выход в зависимости от значения входного управляющего кода.

Имя мультиплексора включает в себя название функции, тип спейсера, количество входных парафазных шин, разрядность выходной парафазной шины, разрешение записи, признак модификации.



Разрядность выходной шины обозначается буквой **B** и цифрой.

В случае одноразрядного сигнала признак шины отсутствует, а буква **B** обозначает инверсию выходного сигнала.

Сигнал разрешения **E** и признак модификации **M** могут отсутствовать.

Имя	Функция
M021BE	Мультиплексор из 2 в 1 с нулевым спейсером, инверсией выходов и разрешением
M021EM	Мультиплексор из 2 в 1 с нулевым спейсером, мощным выходом и разрешением
M021M	Мультиплексор из 2 в 1 с нулевым спейсером и мощным выходом

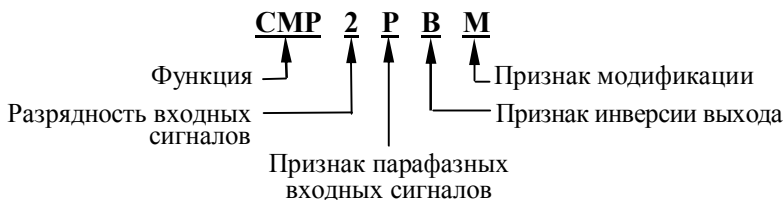
1.4 Преобразователи, компараторы, мажоритарные элементы

Преобразователь – логический элемент, преобразующий бифазный сигнал в парафазный.

Компаратор – логический элемент, выполняющий логическую функцию сравнения двух двоичных чисел.

Мажоритарный элемент – логический элемент, выполняющий логическую функцию мажорирования трех чисел (унарных или бинарных).

Имя элемента включает в себя название функции, разрядность входных сигналов, признак парафазных входных сигналов, признак инверсии выхода и признак модификации (необязательные).



Обозначения функций:

- **ВРС** – преобразование бифазного сигнала в парафазный;
- **СМР** – сравнение двух чисел с выработкой сигнала эквивалентности;
- **МАЈ** – мажорирование.

Разрядность сравниваемых чисел может иметь значения 2, 4, 8, 16.

Для одноразрядных компараторов разрядность не указывается.

Признак модификации М может отсутствовать.

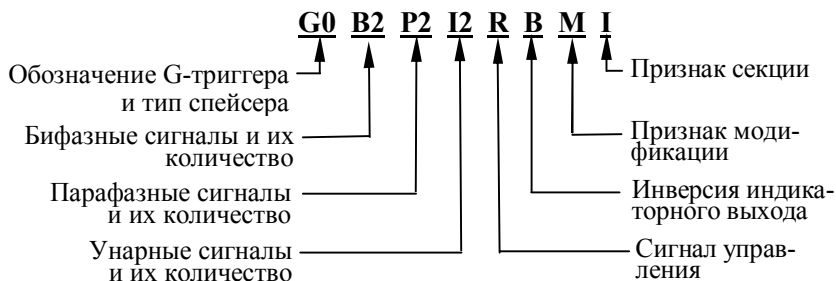
Имя	Функция
ВРС0	Преобразователь бифазного сигнала в парафазный с нулевым спейсером
ВРС1	Преобразователь бифазного сигнала в парафазный с единичным спейсером
СМРР	Одноразрядный компаратор для парафазных сигналов с выработкой сигнала эквивалентности
СМРР0	Одноразрядный компаратор для парафазных сигналов с нулевым спейсером, с парафазным выходом и индикацией входов
СМРР1	Одноразрядный компаратор для парафазных сигналов с единичным спейсером, с парафазным выходом и индикацией входов
МАЖМ	Мажоритарный элемент для трех унарных сигналов, с унарным выходом
МАЖР	Мажоритарный элемент для трех парафазных сигналов, с парафазным выходом

1.5 Индикаторные элементы

В эту группу элементов входят как G-триггеры, так и их части, не содержащие внутренней обратной связи.

Гистерезисные триггеры (G-триггеры) – элементы, обеспечивающие индикацию окончания перехода из рабочей фазы в промежуточную (спейсер) и обратно как в функциональной части СС-схемы, так и в собственно индикаторе.

Имя G-триггера включает в себя обозначение элемента, тип спейсера, признаки бифазных, парафазных и унарных индицируемых сигналов и их количество, сигнал управления, признак инверсии выхода, признак модификации, признак секции.



Тип спейсера:

- **0** – нулевой;
- **1** – единичный.

В элементах только с унарными входами тип спейсера отсутствует.

Тип индицируемых сигналов:

- **I** – индикаторные унарные (непарные);
- **P** – парафазные (парные) со спейсером (три устойчивых состояния);
- **B** – бифазные (парные) без спейсера (два устойчивых состояния).

Элементы с единичными парафазными и унарными входами обозначаются просто как **P** и **I**, соответственно.

Признак инверсии **B** (в конце обозначения элемента) указывает инверсию выхода.

Признак модификации может отсутствовать. Модификациями считаются **G**-триггеры, реализованные по мостовой схеме.

Признаки секции:

- **I** – входная;
- **O** – выходная.

В имени триггера указываются сигналы управления установкой и сбросом:

- **S** – синхронная установка (Set);
- **R** – синхронный сброс (Reset);
- **RS** – синхронные сброс и установка.

Имя индикатора образуется так же, как для элемента со сложной функцией.

Признак модификации **M** может отсутствовать.

Имя	Функция
1	2
AOAOAI	Индикаторный элемент с нулевым спейсером, для четырех бифазных и одного унарного входов
AOAOI4	Индикаторный элемент с нулевым спейсером, для пяти бифазных и одного унарного входов
G0B32I	G -триггер с нулевым спейсером, тремя бифазными и двумя унарными входами, двумя выходами (вариант 1)
G0B3I	G -триггер с нулевым спейсером, тремя бифазными и одним унарным входами
G0B3I2	G -триггер с нулевым спейсером, тремя бифазными и двумя унарными входами, двумя выходами (вариант 2)
G0B3IB	G -триггер с нулевым спейсером, тремя бифазными и одним унарным входами, инверсным выходом
G0P2	G -триггер с нулевым спейсером и двумя парафазными входами

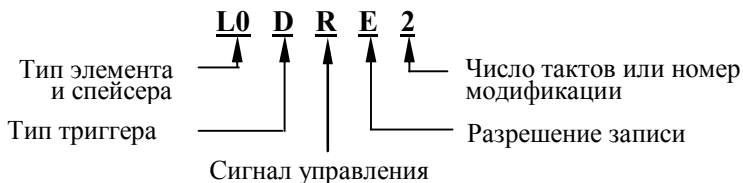
Окончание таблицы

1	2
G0PI	G-триггер с нулевым спейсером, одним унарным и одним парафазным входами
G0PI2	G-триггер с нулевым спейсером, двумя унарными и одним парафазным входами
G1B32I	G-триггер с единичным спейсером, тремя бифазными и двумя унарными входами (вариант 1). Первичное использование – в составе макроэлемента S1RTE1
G1B3I	G-триггер с единичным спейсером, тремя бифазными и одним унарным входами. Первичное использование – в составе макроэлемента SIRRE0
G1B3I2	G-триггер с единичным спейсером, тремя бифазными и двумя унарными входами (вариант 2). Первичное использование – в составе макроэлемента D1RE20
G1B3IB	G-триггер с единичным спейсером, тремя бифазными и одним унарным входами, двумя выходами. Первичное использование – в составе макроэлемента SIRRE1
G1P2	G-триггер с единичным спейсером и двумя парафазными входами
G1PI	G-триггер с единичным спейсером, одним унарным и одним парафазным входами
G1PI2	G-триггер с единичным спейсером, двумя унарными и одним парафазным входами
GI2	G-триггер с двумя унарными входами
GI2M	G-триггер с двумя унарными входами и парафазным выходом
GI2RS	G-триггер с двумя унарными входами, парафазным выходом, асинхронными сбросом и установкой
GI3	G-триггер с тремя унарными входами
GI3M	G-триггер с тремя унарными входами, мостовая схема
GI3M1	G-триггер с тремя унарными входами и парафазным выходом
GI3RS	G-триггер с тремя унарными входами, парафазным выходом, асинхронными сбросом и установкой
GI4	G-триггер с четырьмя унарными входами
GI4M	G-триггер с четырьмя унарными входами и парафазным выходом
GI4RS	G-триггер с четырьмя унарными входами, парафазным выходом, асинхронными сбросом и установкой
GIM6	Шестивходовой G-триггер
GIM8	Восьмивходовой G-триггер
GIM12	Двенадцативходовой G-триггер
GIM16	Шестнадцативходовой G-триггер
GIMI	Двухвходовая секция многовходового G-триггера (входная)
GIMO	Двухвходовая секция многовходового G-триггера (выходная)

1.6 Триггеры – части макроэлементов

Триггеры по уровню – полуфабрикаты, части макроэлементов; для получения статуса СС-элементов они должны быть дополнены соответствующим индикатором окончания переходных процессов.

Имя триггера включает в себя тип элемента, тип спейсера, тип триггера, признаки управляющих сигналов, признак разрешения записи, число каскадов (тактов) или номер модификации:



Тип элемента отвечает его функциональному назначению как логической части макроэлемента (**L** – Logical part).

Тип спейсера:

- 0 – нулевой;
- 1 – единичный.

Обозначения типа триггера:

- **R** – RS-триггер;
- **D** – D-триггер.

В имени триггера указываются сигналы управления установкой и сбросом, в качестве которых могут использоваться следующие сигналы:

- **S** – синхронная установка (Set);
- **R** – синхронный сброс (Reset);
- **P** – самосинхронная установка (Preset);
- **C** – самосинхронный сброс (Clear);
- **T** – самосинхронная предустановка (Timeset).

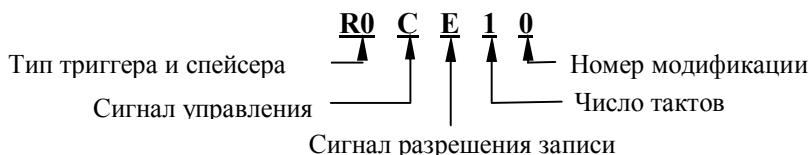
Признак разрешения записи **E** (Enable) указывает на наличие входа разрешения записи информации в триггер (может отсутствовать).

Число тактов может быть 1 или 2; ≥ 3 означает номер модификации.

Имя	Функция
L0DRE1	Однотактный D-триггер с нулевым спейсером, синхронным сбросом и разрешением записи. Первичное использование – в качестве синхронного триггера.
L0DRE2	Двухтактный D-триггер с нулевым спейсером, синхронным сбросом и разрешением записи
L0RCE2	Двухтактный RS-триггер с нулевым спейсером, самосинхронным сбросом и разрешением записи. Первичное использование – в составе макроэлемента R0CE20.
L0RRE2	Двухтактный RS-триггер с нулевым спейсером, синхронным сбросом, разрешением записи и дополнительным разрешением записи первой ступени. Первичное использование – в составе макроэлементов S0RRE0 и S0RRE1.
L0RRE3	Двухтактный RS-триггер с нулевым спейсером, синхронным сбросом и разрешением записи. Может быть использован (как входная часть) для построения двухтактных RS-триггеров.
L0RRE4	Двухтактный RS-триггер с нулевым спейсером, синхронным сбросом, разрешением записи и дополнительным разрешением записи второй ступени. Первичное использование – в составе макроэлемента S1RRE2
L0RTE2	Двухтактный RS-триггер с нулевым спейсером, самосинхронными сбросом и установкой, разрешением записи (вариант 1). Первичное использование – в составе макроэлемента S0RTE0.
L0RTE3	Двухтактный RS-триггер с нулевым спейсером, самосинхронными сбросом и установкой, разрешением записи (вариант 2). Первичное использование – в составе макроэлемента S0RTE1.
L1RCE2	Двухтактный RS-триггер с единичным спейсером, самосинхронным сбросом и разрешением записи. Первичное использование – в составе макроэлемента R1CE20.
L1RRE2	Двухтактный RS-триггер с единичным спейсером, синхронным сбросом и разрешением записи. Первичное использование – в составе макроэлементов S1RRE0 и S1RRE1.
L1RTE2	Двухтактный RS-триггер с единичным спейсером, самосинхронными сбросом и установкой, разрешением записи (вариант 1). Первичное использование – в составе макроэлемента S1RTE0.
L1RTE3	Двухтактный RS-триггер с единичным спейсером, самосинхронными сбросом и установкой, разрешением записи (вариант 2). Первичное использование – в составе макроэлемента S1RTE1.

1.7 Функционально законченные триггеры

Имя триггера данных (функционально законченного триггера) включает в себя тип триггера, тип спейсера, признаки управляющих сигналов, признак разрешения записи, число каскадов (тактов) в триггере и номер модификации:



Обозначения типа триггера:

- **R** – RS-триггер;
- **D** – D-триггер.

Тип спейсера может принимать следующие значения:

- **0** – нулевой;
- **1** – единичный.

В имени триггера указываются сигналы управления установкой и сбросом, в качестве которых могут использоваться такие сигналы:

- **S** – синхронная установка (Set);
- **R** – синхронный сброс (Reset);
- **P** – самосинхронная установка (Preset);
- **C** – самосинхронный сброс (Clear).

Признак разрешения записи **E** (Enable) указывает на наличие входа разрешения записи в триггер (может отсутствовать).

Число тактов может быть 1 или 2.

Модификациями считаются триггеры, имеющие инверсные входные сигналы, иное исполнение индикаторных элементов или другие отличия. Номер модификации может принимать значения от 0 до 9.

Имя	Функция
1	2
D0E10	Однотактный D-триггер с нулевым спейсером и разрешением записи
D0RE10	Однотактный D-триггер с нулевым спейсером, синхронным сбросом и разрешением записи
D0SE10	Однотактный D-триггер с нулевым спейсером, синхронной установкой и разрешением записи

Продолжение таблицы

1	2
D1E10	Однотактный D-триггер с единичным спейсером и разрешением записи
D1RE10	Однотактный D-триггер с единичным спейсером, синхронным сбросом и разрешением записи
D1SE10	Однотактный D-триггер с единичным спейсером, синхронной установкой и разрешением записи
R010	Однотактный RS-триггер с нулевым спейсером
R011	Однотактный RS-триггер с парафазным входом с нулевым спейсером и мощным выходом
R0C10	Однотактный RS-триггер с нулевым спейсером и самосинхронным сбросом
R0C11	Однотактный RS-триггер с нулевым спейсером, самосинхронным сбросом и парафазным выходом с нулевым спейсером
R0C12	Однотактный RS-триггер с нулевым спейсером, самосинхронным сбросом и парафазным выходом с единичным спейсером
R0C13	Однотактный RS-триггер с парафазным входом с нулевым спейсером, самосинхронным сбросом и мощным выходом
R0CE10	Однотактный RS-триггер с нулевым спейсером, самосинхронным сбросом и разрешением записи
R0CE11	Однотактный RS-триггер с нулевым спейсером, самосинхронным сбросом, разрешением записи и парафазным выходом с нулевым спейсером
R0CE12	Однотактный RS-триггер с нулевым спейсером, самосинхронным сбросом, разрешением записи и парафазным выходом с единичным спейсером
R0CE13	Однотактный RS-триггер с нулевым спейсером, самосинхронным сбросом, разрешением записи и мощным выходом
R0E10	Однотактный RS-триггер с нулевым спейсером и разрешением записи
R0E11	Однотактный RS-триггер с нулевым спейсером, разрешением записи и мощным выходом
R0P11	Однотактный RS-триггер с нулевым спейсером, самосинхронной установкой и парафазным выходом с нулевым спейсером
R0P12	Однотактный RS-триггер с нулевым спейсером, самосинхронной установкой и парафазным выходом с единичным спейсером
R0P13	Однотактный RS-триггер с самосинхронной установкой и мощным парафазным выходом с нулевым спейсером
R0PE10	Однотактный RS-триггер с нулевым спейсером, самосинхронной установкой и разрешением записи
R0PE11	Однотактный RS-триггер с нулевым спейсером, самосинхронной установкой, разрешением записи и парафазным выходом с нулевым спейсером

Продолжение таблицы

1	2
R0PE12	Однотактный RS-триггер с нулевым спейсером, самосинхронной установкой, разрешением записи и парафазным выходом с единичным спейсером
R0PE13	Однотактный RS-триггер с нулевым спейсером, самосинхронной установкой, разрешением записи и мощным выходом
R0R10	Однотактный RS-триггер с нулевым спейсером и синхронным сбросом
R0R11	Однотактный RS-триггер с парафазным входом с нулевым спейсером, синхронным сбросом и мощным выходом
R0RE10	Однотактный RS-триггер с нулевым спейсером, синхронным сбросом и разрешением записи
R0RE11	Однотактный RS-триггер с нулевым спейсером, синхронным сбросом, разрешением записи и частичной индикацией
R0RE12	Однотактный RS-триггер с нулевым спейсером, синхронным сбросом и разрешением записи
R0RE13	Однотактный RS-триггер с нулевым спейсером, синхронным сбросом, разрешением записи и мощным выходом
R0RE20	Двухтактный RS-триггер с нулевым спейсером, синхронным сбросом, разрешением записи и инверсным сигналом индикации
R0RE21	Двухтактный RS-триггер с нулевым спейсером, синхронным сбросом, разрешением записи и частичной индикацией
R0RE22	Двухтактный RS-триггер с нулевым спейсером, синхронным сбросом, разрешением записи и прямым сигналом индикации
R0S11	Двухтактный RS-триггер с парафазным входом с нулевым спейсером, синхронной установкой и мощным выходом
R0SE13	Однотактный RS-триггер с нулевым спейсером, синхронной установкой, разрешением записи и мощным выходом
R111	Однотактный RS-триггер с парафазным входом с единичным спейсером и мощным выходом
R1C10	Однотактный RS-триггер с единичным спейсером и самосинхронным сбросом
R1C11	Однотактный RS-триггер с единичным спейсером, самосинхронным сбросом и парафазным выходом с нулевым спейсером
R1C12	Однотактный RS-триггер с единичным спейсером, самосинхронным сбросом и парафазным выходом с единичным спейсером
R1C13	Однотактный RS-триггер с парафазным входом с единичным спейсером, самосинхронным сбросом и мощным выходом
R1CE10	Однотактный RS-триггер с единичным спейсером, самосинхронным сбросом и разрешением записи

Продолжение таблицы

1	2
R1CE11	Однотактный RS-триггер с единичным спейсером, самосинхронным сбросом, разрешением записи и парафазным выходом с нулевым спейсером
R1CE12	Однотактный RS-триггер с единичным спейсером, самосинхронным сбросом, разрешением записи и парафазным выходом с единичным спейсером
R1CE13	Однотактный RS-триггер с единичным спейсером, самосинхронным сбросом, разрешением записи и мощным выходом
R1E11	Однотактный RS-триггер с единичным спейсером, разрешением записи и мощным выходом
R1P10	Однотактный RS-триггер с единичным спейсером и самосинхронной установкой
R1P11	Однотактный RS-триггер с единичным спейсером, самосинхронной установкой и парафазным выходом с нулевым спейсером
R1P12	Однотактный RS-триггер с единичным спейсером, самосинхронной установкой и парафазным выходом с единичным спейсером
R1P13	Однотактный RS-триггер с парафазным входом с единичным спейсером, самосинхронной установкой и мощным выходом
R1PE10	Однотактный RS-триггер с единичным спейсером, самосинхронной установкой и разрешением записи
R1PE11	Однотактный RS-триггер с единичным спейсером, самосинхронной установкой, разрешением записи и парафазным выходом с нулевым спейсером
R1PE12	Однотактный RS-триггер с единичным спейсером, самосинхронной установкой, разрешением записи и парафазным выходом с единичным спейсером
R1PE13	Однотактный RS-триггер с единичным спейсером, самосинхронной установкой, разрешением записи и мощным выходом
R1PE20¹⁾	Двухтактный RS-триггер с единичным спейсером, самосинхронной установкой и разрешением записи
R1R11	Однотактный RS-триггер с парафазным входом с единичным спейсером, синхронным сбросом и мощным выходом
R1RE10	Однотактный RS-триггер с единичным спейсером, синхронным сбросом и разрешением записи
R1RE11	Однотактный RS-триггер с единичным спейсером, синхронным сбросом, разрешением записи и частичной индикацией
R1RE13	Однотактный RS-триггер с единичным спейсером, синхронным сбросом, разрешением записи и мощным выходом

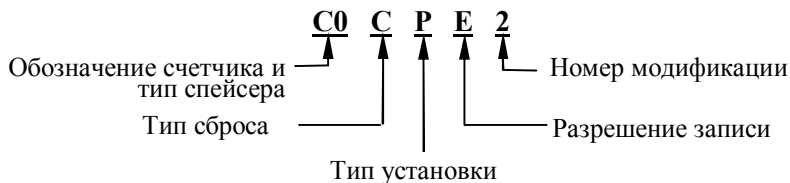
Окончание таблицы

1	2
R1RE20	Двухтактный RS-триггер с единичным спейсером, синхронным сбросом и разрешением записи
R1S11	Однотактный RS-триггер с парафазным входом с единичным спейсером, синхронной установкой и мощным выходом
R1SE13	Однотактный RS-триггер с единичным спейсером, синхронной установкой, разрешением записи и мощным выходом

1.8 Разряд последовательного счетчика

Разряд последовательного счетчика на базе Т-триггера позволяет построить последовательный самосинхронный счетчик с нулевым или единичным спейсером. Разряд счетчика обеспечивает возможность предварительной установки в счетчике требуемого кода. Возможны два варианта установки – синхронный и самосинхронный; в зависимости от требований конкретного применения реализуется один из видов установки.

Имя счетного триггера включает в себя его обозначение, тип спейсера, управляющие сигналы, признак разрешения записи, номер модификации (может отсутствовать).



Тип спейсера может принимать следующие значения:

- **0** – нулевой;
- **1** – единичный.

К управляющим сигналам относятся сигналы управления установкой и сбросом.

Типы сброса:

- **R** – синхронный сброс (Reset);
- **C** – самосинхронный сброс (Clear).

Типы установки:

- **S** – синхронная установка (Set);
- **P** – самосинхронная установка (Preset).

Признак разрешения записи **E** (Enable) указывает на наличие входа разрешения записи информации (может отсутствовать).

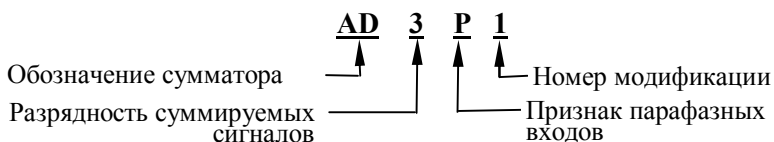
Номер модификации может отсутствовать.

Имя	Функция
C0CI	Счетный триггер с нулевым спейсером, самосинхронным сбросом и индикаторным выходом
C0CP	Разряд последовательного счетчика с нулевым спейсером, самосинхронными сбросом и установкой
C0R	Разряд последовательного счетчика с нулевым спейсером и синхронным сбросом
C0RI	Счетный триггер с нулевым спейсером, синхронным сбросом и индикаторным выходом
C1C	Разряд последовательного счетчика с единичным спейсером и самосинхронным сбросом
C1CP	Разряд последовательного счетчика с единичным спейсером, самосинхронными сбросом и установкой

1.9 Элементы одноразрядного сумматора

В эту группу входят элементы суммирования парафазных сигналов, которые могут быть использованы при построении многоразрядных сумматоров и умножителей.

Имя элемента включает в себя его обозначение и разрядность, признак парафазных входов и их количество, номер модификации элемента (может отсутствовать).



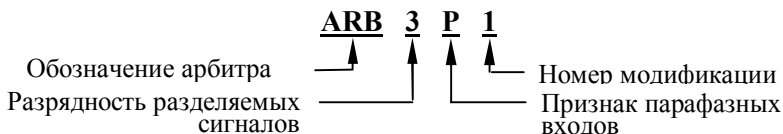
Модификациями считаются сумматоры с различной разрядностью входных шин, инверсными входными шинами или другими отличиями.

Имя	Функция
AD1P1	Неполный одноразрядный сумматор с парафазными (со спейсером) входами и унарным выходом
AD1P2	Неполный одноразрядный сумматор с парафазными (со спейсером) входами и унарным выходом (быстродействующая модификация)
AD1P3	Неполный одноразрядный сумматор с парафазными (со спейсером) входами и выходами

1.10 Арбитры

В эту группу входят элементы арбитража унарных или парафазных сигналов.

Имя элемента включает в себя его обозначение и разрядность, признак парафазных входов и их количество, номер модификации элемента (может отсутствовать).

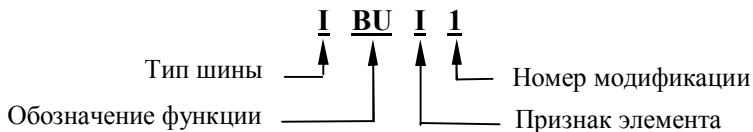


Модификациями считаются арбитры с различной разрядностью входных шин, инверсными входными шинами или другими отличиями.

Имя	Функция
ARB0	Асинхронный арбитр

1.11 Элементы шины

Элемент шины обеспечивает организацию шины внутри или вне поля БМК. Имя элемента включает в себя тип шины, обозначение функции, признак элемента и номер модификации.



Тип шины может принимать следующие значения:

- **I** – внутренняя шина (Internal);
- **E** – внешняя шина (External).

Обозначение функции – элемент шины (Bus Unit).

Признак элемента шины может принимать следующие значения:

- **I** – входной элемент шины (Input);
- **O** – выходной элемент шины (Output).

Модификациями считаются элементы шины, отличающиеся уровнем сигналов разрешения, уровнем доопределения шины и т.п. Номер модификации может отсутствовать.

Имя	Функция
IBUI	Вход внутренней шины
IBUO	Выход внутренней шины

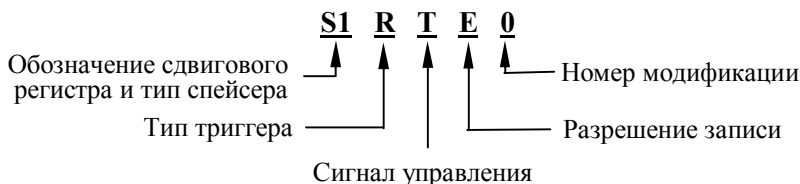
1.12 Макроэлементы

Здесь собраны функционально сложные элементы, которые предполагается использовать достаточно широко, но невозможно реализовать топологически как базовые элементы. Макроэлемент представляет собой комбинацию базовых элементов, используемую как единый элемент, выполняющий сложную функцию. Ограниченное число внутренних связей в нем реализуется на общем трассировочном пространстве кристалла БМК. Каждый макроэлемент содержит индикатор окончания переходных процессов.

Использование макроэлементов позволяет повысить эффективность проектирования самосинхронных БИС на БМК.

Макроэлемент не имеет соответствующего топологического примитива. При проектировании топологии схемы макроэлемент реализуется совокупностью нескольких топологических примитивов, соответствующих элементам, составляющим его.

Макроэлементы, представленные здесь, делятся на две группы. Первые четыре элемента составляют группу триггеров, имена которых образуются по правилам, установленным для функционально законченных триггеров. Во вторую группу входят разряды сдвиговых регистров. Имя разряда сдвигового регистра содержит его обозначение, тип спейсера, тип триггера, признак управляющих сигналов, признак разрешения записи, номер модификации (может отсутствовать).



Тип спейсера:

- **0** – нулевой;
- **1** – единичный.

Тип триггера может быть следующим:

- **R** – RS-триггер;
- **D** – D-триггер.

В имени регистра сдвига указываются сигналы управления установкой и сбросом. В качестве управляющих могут использоваться следующие сигналы:

- **S, ST** – синхронная установка (Set, SetTime);
- **R, RT** – синхронный сброс (Reset, ResetTime);
- **P** – самосинхронная установка (Preset);
- **C** – самосинхронный сброс (Clear).

Обозначения ST и RT используются, если S и R заняты для информационных входов.

Признак разрешения записи **E** (Enable) указывает на наличие входа разрешения записи информации в триггер (может отсутствовать).

Модификациями считаются регистры сдвига, использующие различные индикаторные элементы.

Номер модификации может отсутствовать.

Имя	Составляющие	Функция
D0RE20	–	Двухтактный D-триггер с нулевым спейсером, синхронным сбросом и разрешением записи
D1RE20	–	Двухтактный D-триггер с единичным спейсером, синхронным сбросом и разрешением записи
R0CE20	L0RCE2, OAOA1	Двухтактный RS-триггер с нулевым спейсером, самосинхронным сбросом и разрешением записи
R1CE20	L1RCE2, AOA01	Двухтактный RS-триггер с единичным спейсером, самосинхронным сбросом и разрешением записи
S0RRE0	L0RRE2, G0B3I	Разряд сдвигового регистра на базе двухтактного RS-триггера с нулевым спейсером, синхронным сбросом и разрешением записи
S0RRE1	L0RRE2, G0B3IB	Разряд сдвигового регистра на базе двухтактного RS-триггера с нулевым спейсером, синхронным сбросом, разрешением записи и инверсным индикаторным выходом
S0RRE2	L0RRE4, OAOAI7	Разряд сдвигового регистра на базе двухтактного RS-триггера с нулевым спейсером, синхронным сбросом и разрешением записи
S0RTE0	L0RTE2, G0B3I	Разряд сдвигового регистра на базе двухтактного RS-триггера с нулевым спейсером, самосинхронными сбросом и установкой, разрешением записи
S0RTE1	L0RTE3, G0B32I	Разряд сдвигового регистра на базе двухтактного RS-триггера с нулевым спейсером, самосинхронными сбросом и установкой, разрешением записи, двухкаскадным индикатором окончания переходных процессов
S1RRE0	L1RRE2, G1B3I	Разряд сдвигового регистра на базе двухтактного RS-триггера с единичным спейсером, синхронным сбросом и разрешением записи
S1RRE1	L1RRE2, G1B3IB	Разряд сдвигового регистра на базе двухтактного RS-триггера с единичным спейсером, синхронным сбросом, разрешением записи и инверсным индикаторным выходом
S1RTE0	L1RTE2, G1B3I	Разряд сдвигового регистра на базе двухтактного RS-триггера с единичным спейсером, самосинхронными сбросом и установкой, разрешением записи
S1RTE1	L1RTE3, G1B32I	Разряд сдвигового регистра на базе двухтактного RS-триггера с единичным спейсером, самосинхронными сбросом и установкой, разрешением записи, двухкаскадным индикатором окончания переходных процессов

2 Описание базовых элементов

В этом разделе представлено описание базовых элементов самосинхронных библиотек 5503СС/5507СС, составных частей библиотеки 550*.

В описание базового элемента входят:

- имя элемента;
- условное графическое обозначение элемента;
- назначение элемента;
- описание работы элемента;
- таблица истинности;
- таблица задержек;
- максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы;
- коэффициент объединения по всем входам;
- рекомендуемая нагрузочная способность;
- размер элемента;
- область применения;
- рекомендации по применению (в необходимых случаях).

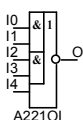
В описании элемента могут отсутствовать какие-либо пункты, если они не необходимы.

В таблице задержек приводятся значения задержек от входов до выходов элемента при нагрузке на два типовых входа; на внешнем контакте периферийных элементов – емкостная нагрузка 15 пФ. Значения задержек взяты из проектов тестовых БИС на САПР “Ковчег”.

Коэффициент объединения по входу показывает относительную величину соответствующей входной емкости в условных единицах, эквивалентных емкости одной пары затворов транзисторов n- и p-типа ячейки поля БМК.

Коэффициент объединения указывается только для тех входов, где он отличается от 1.

A2210I Логический элемент 2И-2И-3ИЛИ-НЕ



Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=2$ и p-типа $N_p=3$.

Рекомендуемая нагрузочная способность по выходу ≤ 3 .

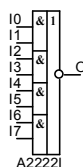
Размер элемента составляет 3 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O		I4⇒O	
Задержка, нс	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
	4.2	1.9	4.5	2.1	3.8	1.8	4.2	2.0	2.9	0.8

A2222I Логический элемент 2И-2И-2И-2И-4ИЛИ-НЕ



Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=2$ и p-типа $N_p=4$.

Рекомендуемая нагрузочная способность по выходу ≤ 2 .

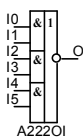
Размер элемента составляет 4 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O		I4⇒O	
Задержка, нс	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
	5.9	2.6	5.5	2.5	5.5	2.5	5.2	2.4	5.2	2.3
Путь	I5⇒O		I6⇒O		I7⇒O					
Задержка, нс	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}				
	4.5	2.5	4.8	2.1	4.3	2.0				

A222O1 Логический элемент 2И-2И-2И-3ИЛИ-НЕ



Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=2$ и p-типа $N_p=3$.

Рекомендуемая нагрузочная способность по выходу ≤ 3 .

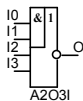
Размер элемента составляет 3 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O		I4⇒O		I5⇒O	
	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
Задержка, нс	3.8	2.2	4.1	2.2	2.5	1.9	2.9	2.1	2.3	1.8	2.2	1.7

A2O3I Логический элемент 2И-3ИЛИ-НЕ



Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=2$ и p-типа $N_p=3$.

Рекомендуемая нагрузочная способность по выходу ≤ 3 .

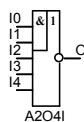
Размер элемента составляет 2 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O	
	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
Задержка, нс	1.3	1.1	1.2	1.1	1.2	0.5	0.9	0.6

A2O4I Логический элемент 2И-4ИЛИ-НЕ



Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=2$ и p-типа $N_p=4$.

Рекомендуемая нагрузочная способность по выходу ≤ 2 .

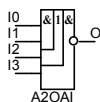
Размер элемента составляет 3 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O		I4⇒O	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
нс	3.6	1.5	3.2	1.5	3.4	1.2	3.6	1.2	3.3	0.9

A2OAI Логический элемент 2И-2ИЛИ-2И-НЕ



Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=3$ и p-типа $N_p=2$.

Рекомендуемая нагрузочная способность по выходу ≤ 3 .

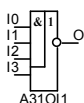
Размер элемента составляет 2 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
нс	1.0	1.4	0.8	1.4	0.8	0.9	0.7	0.9

A31O1I Логический элемент 3И-2ИЛИ-НЕ



Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=3$ и p-типа $N_p=2$.

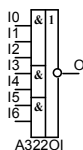
Рекомендуемая нагрузочная способность по выходу ≤ 3 .

Размер элемента составляет 2 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
нс	3.7	2.8	3.3	2.7	2.9	2.4	1.8	0.9

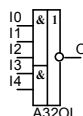
A322OI Логический элемент ***3И-2И-2ИЛИ-НЕ***

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=3$ и p-типа $N_p=3$.
Рекомендуемая нагрузочная способность по выходу ≤ 3 .
Размер элемента составляет 4 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	$I0 \Rightarrow O$		$I1 \Rightarrow O$		$I2 \Rightarrow O$		$I3 \Rightarrow O$		$I4 \Rightarrow O$	
	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
Задержка, нс	4.5	3.4	4.2	3.2	3.9	3.0	4.5	2.5	4.1	2.5
Путь	$I5 \Rightarrow O$		$I6 \Rightarrow O$							
	t^{01}	t^{10}	t^{01}	t^{10}						
Задержка, нс	4.7	2.8	4.3	2.8						

A320I Логический элемент ***3И-2И-2ИЛИ-НЕ***

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=3$ и p-типа $N_p=2$.
Рекомендуемая нагрузочная способность по выходу ≤ 3 .

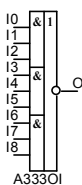
Размер элемента составляет 3 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	$I0 \Rightarrow O$		$I1 \Rightarrow O$		$I2 \Rightarrow O$		$I3 \Rightarrow O$		$I4 \Rightarrow O$	
	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
Задержка, нс	3.2	3.2	3.0	3.0	2.7	2.7	2.4	1.9	2.2	1.7

A333OI Логический элемент ***3И-3И-3И-3ИЛИ-НЕ***



Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=3$ и p-типа $N_p=3$.

Рекомендуемая нагрузочная способность по выходу ≤ 3 .

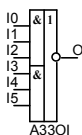
Размер элемента составляет 5 ячеек поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	$I0 \Rightarrow O$		$I1 \Rightarrow O$		$I2 \Rightarrow O$		$I3 \Rightarrow O$		$I4 \Rightarrow O$	
Задержка, нс	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
	5.2	4.7	5.0	4.6	4.8	4.7	4.9	4.2	4.3	4.2
Путь	$I5 \Rightarrow O$		$I6 \Rightarrow O$		$I7 \Rightarrow O$		$I8 \Rightarrow O$			
Задержка, нс	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}		
	4.6	4.2	4.0	3.8	3.7	3.5	4.0	3.7		

A33OI Логический элемент ***3И-3И-2ИЛИ-НЕ***



Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=3$ и p-типа $N_p=2$.

Рекомендуемая нагрузочная способность по выходу ≤ 3 .

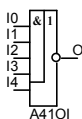
Размер элемента составляет 3 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	$I0 \Rightarrow O$		$I1 \Rightarrow O$		$I2 \Rightarrow O$		$I3 \Rightarrow O$		$I4 \Rightarrow O$		$I5 \Rightarrow O$	
Задержка, нс	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
	3.2	3.6	2.9	3.4	2.7	3.2	2.8	3.0	2.6	2.8	2.4	2.7

A41OI Логический элемент ***4И-2ИЛИ-НЕ***



Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=4$ и p-типа $N_p=2$.

Рекомендуемая нагрузочная способность по выходу ≤ 2 .

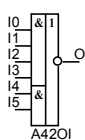
Размер элемента составляет 3 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O		I4⇒O	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
Задержка, нс	4.2	3.8	3.9	3.8	3.6	3.8	3.2	3.8	2.1	0.8

A420I Логический элемент 4И-2И-2ИЛИ-НЕ



Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=4$ и p-типа $N_p=2$.

Рекомендуемая нагрузочная способность по выходу ≤ 2 .

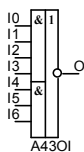
Размер элемента составляет 3 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O		I4⇒O		I5⇒O	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
Задержка, нс	3.7	4.8	3.9	4.4	3.4	4.3	3.1	4.1	2.7	2.0	2.5	1.9

A430I Логический элемент 4И-3И-2ИЛИ-НЕ



Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=4$ и p-типа $N_p=2$.

Рекомендуемая нагрузочная способность по выходу ≤ 2 .

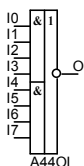
Размер элемента составляет 4 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O		I4⇒O		I5⇒O		I6⇒O	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
Задержка, нс	3.8	5.2	3.7	5.2	3.5	4.8	3.1	4.7	2.5	3.0	2.7	3.2	3.0	3.3

A440I Логический элемент 4И-4И-2ИЛИ-НЕ



Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=4$ и p-типа $N_p=2$.

Рекомендуемая нагрузочная способность по выходу ≤ 2 .

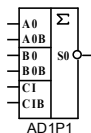
Размер элемента составляет 4 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O		I4⇒O	
Задержка, нс	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
	4.0	5.7	3.8	5.5	3.7	5.2	3.2	5.1	3.3	4.8
Путь	I5⇒O		I6⇒O		I7⇒O					
Задержка, нс	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}				
	3.3	4.7	3.0	4.7	2.7	4.2				

AD1P1 Неполный одноразрядный сумматор с парафазными (со спейсером) входами и унарным выходом



Элемент **AD1P1** – неполный сумматор, выполняющий сложение двух парафазных одноразрядных чисел (**A0**, **A0B** и **B0**, **B0B**) и парафазного сигнала переноса (**C1**, **C1B**). Результат – унарный сигнал суммы (**S0**).

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=3$ и p-типа $N_p=3$.

Коэффициент объединения по входам **A0** и **A0B** – 2.

Рекомендуемая нагрузочная способность по выходу ≤ 3 .

Размер элемента составляет 4 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника. При использовании в СС-схеме все входы должны быть парафазными с любым, но одинаковым, спейсером.

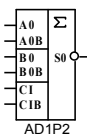
Таблица истинности

№ строки	Входы						Выход
	A0	A0B	B0	B0B	CI	CIB	S0
1	1	*	1	*	*	1	0
2	1	*	*	1	1	*	0
3	*	1	1	*	1	*	0
4	*	1	*	1	*	1	0
5	0	*	0	*	*	0	1
6	0	*	*	0	0	*	1
7	*	0	0	*	0	*	1
8	*	0	*	0	*	0	1
9	1	1	0	0	*	*	Z
10	1	1	*	*	0	0	Z
11	0	0	1	1	*	*	Z
12	*	*	1	1	0	0	Z
13	0	0	*	*	1	1	Z
14	*	*	0	0	1	1	Z

Таблица задержек

Путь	A0⇒S0		A0B⇒S0		B0⇒S0		B0B⇒S0		CI⇒S0		CIB⇒S0	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
Задержка, нс	6.2	3.6	6.2	3.3	6.0	3.4	6.0	3.1	6.5	3.9	6.7	3.4

AD1P2 Неполный одноразрядный сумматор с парафазными (со спейсером) входами и унарным выходом (быстродействующая модификация)



Максимальное количество последовательно соединенных транзисторов – как у **AD1P1**; общее количество транзисторов на 25 % больше, чем у **AD1P1**, быстродействие на 5-10 % лучше.

Рекомендуемая нагрузочная способность по выходу ≤ 3 .

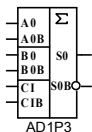
Коэффициент объединения по входам **A0**, **A0B**, **CI**, **CIB** – 2.

Размер элемента составляет 5 ячеек поля БМК.

Таблица задержек

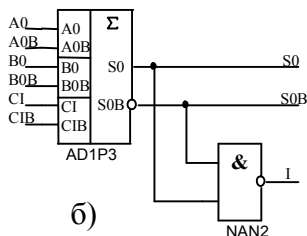
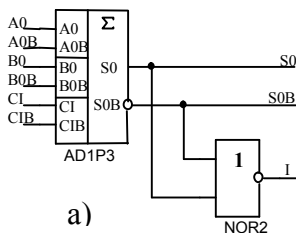
Путь	A0⇒S0		A0B⇒S0		B0⇒S0		B0B⇒S0		CI⇒S0		CIB⇒S0	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
Задержка, нс	6.2	3.2	5.9	3.2	5.8	3.1	5.8	3.0	6.2	3.3	6.3	3.2

AD1P3 *Неполный одноразрядный сумматор с парафазными (со спейсером) входами и выходами*



Элемент **AD1P3** – неполный сумматор, выполняющий сложение двух парафазных одноразрядных чисел (**A0**, **A0B** и **B0**, **B0B**) и парафазного сигнала переноса (**C1**, **C1B**). Результат – парафазный (со спейсером) сигнал суммы (**S0**, **S0B**).

При построении одноразрядного сумматора в составе СС-схемы элемент **AD1P3** необходимо дополнить индикаторным элементом, фиксирующим окончание всех переходных процессов в элементе, как показано на рисунке ниже (предполагается, что входные сигналы индицируются по месту их формирования). Тип индикаторного элемента (2ИЛИ-НЕ, 2И-НЕ) определяется типом спейсера входных сигналов: при единичном спейсере используется элемент 2ИЛИ-НЕ (а), при нулевом – 2И-НЕ (б). Для получения полного одноразрядного сумматора схема на рисунке должна быть дополнена формирователем парафазного (со спейсером) сигнала переноса, например, на элементе **MAJP**. Данный элемент в СС-схемах успешно заменяет собой два элемента **AD1P1** или **AD1P2**, обеспечивая при этом меньшую на 60–100 % сложность реализации при несколько худшем (на 10–12 %) быстродействии.



Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=3$ и p-типа $N_p=3$.

Коэффициент объединения по входам **A0**, **A0B**, **B0**, **B0B** – 2.

Рекомендуемая нагрузочная способность по выходам **S0** и **S0B** ≤ 3 .

Размер элемента составляет 5 ячеек поля БМК.

Область применения – синхронная и СС-схемотехника. При использовании в СС-схеме все входы должны быть парафазными со спейсером. Тип спейсера может быть любым.

Таблица истинности

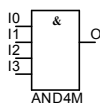
№ строки	Входы						Выходы	
	A0	A0B	B0	B0B	C1	C1B	S0	S0B
1	2	3	4	5	6	7	8	9
1	0	*	0	*	0	0	1	1
2	0	*	0	0	*	0	1	1
3	0	0	0	*	*	0	1	1
4	0	*	0	0	0	*	1	1
5	0	*	*	0	0	0	1	1
6	0	0	*	0	0	*	1	1
7	0	0	0	*	0	*	1	1
8	*	0	0	0	0	*	1	1
9	*	0	0	*	0	0	1	1
10	0	0	*	0	*	0	1	1
11	*	0	*	0	0	0	1	1
12	*	0	0	0	*	0	1	1
13	1	*	1	*	1	1	0	0
14	1	*	1	1	*	1	0	0
15	1	1	1	*	*	1	0	0
16	1	*	1	1	1	*	0	0
13	1	*	1	*	1	1	0	0
17	1	*	*	1	1	1	0	0
18	1	1	*	1	1	*	0	0
19	1	1	1	*	1	*	0	0
20	*	1	1	1	1	*	0	0
21	*	1	1	*	1	1	0	0
22	1	1	*	1	*	1	0	0
23	*	1	*	1	1	1	0	0
24	*	1	1	1	*	1	0	0
25	0	1	0	1	0	1	0	1
26	1	0	0	1	0	1	1	0
27	0	1	1	0	0	1	1	0
28	1	0	1	0	0	1	0	1
29	0	1	0	1	1	0	1	0
30	1	0	0	1	1	0	0	1
31	0	1	1	0	1	0	0	1
32	1	0	1	0	1	0	1	0
33	1	1	0	0	*	*	Z	
34	1	1	*	*	0	0	Z	

Окончание таблицы

1	2	3	4	5	6	7	8	9
35	0	0	1	1	*	*	Z	
36	*	*	1	1	0	0	Z	
37	0	0	*	*	1	1	Z	
38	*	*	0	0	1	1	Z	

Таблица задержек

Путь	A0⇒S0		A0⇒S0B		A0B⇒S0		A0B⇒S0B		B0⇒S0		B0⇒S0B	
Задержка, нс	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
	7.6	3.0	7.6	3.0	7.6	3.0	7.6	3.0	7.4	3.7	7.4	3.7
Путь	B0B⇒S0		B0B⇒S0B		C1⇒S0		C1⇒S0B		C1B⇒S0		C1B⇒S0B	
Задержка, нс	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
	7.4	3.7	7.4	3.7	7.4	3.7	7.4	3.7	7.4	3.7	7.4	3.7

AND4M Логический элемент 4И (однокаскадный)

Элемент предназначен для построения комбинационных и управляющих подсхем в соответствии с выполняемой функцией.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и внутренним выходом первого яруса схемы: n-типа $N_n=4$ и p-типа $N_p=1$.
Рекомендуемая нагрузочная способность по выходу ≤ 5 .

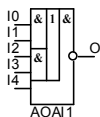
Размер элемента составляет 3 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O	
Задержка, нс	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
	0.9	0.6	0.9	0.6	0.8	0.6	0.7	0.5

АОА11 Логический элемент 2И-2И-2ИЛИ-2И-НЕ



Элемент предназначен для построения комбинационных и управляющих подсхем в соответствии с выполняемой функцией.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=3$ и p-типа $N_p=2$.

Рекомендуемая нагрузочная способность по выходу ≤ 3 .

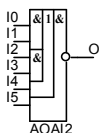
Размер элемента составляет 3 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	$I0 \Rightarrow O$		$I1 \Rightarrow O$		$I2 \Rightarrow O$		$I3 \Rightarrow O$		$I4 \Rightarrow O$	
	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
Задержка, нс	3.0	2.9	3.3	3.0	2.9	2.7	2.7	2.6	1.6	2.2

АОА12 Логический элемент 2И-2И-3ИЛИ-2И-НЕ



Элемент предназначен для построения комбинационных и управляющих подсхем в соответствии с выполняемой функцией.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=3$ и p-типа $N_p=3$.

Рекомендуемая нагрузочная способность по выходу ≤ 3 .

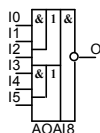
Размер элемента составляет 3 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	$I0 \Rightarrow O$		$I1 \Rightarrow O$		$I2 \Rightarrow O$		$I3 \Rightarrow O$		$I4 \Rightarrow O$		$I5 \Rightarrow O$	
	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
Задержка, нс	1.3	1.7	1.3	1.7	1.3	1.9	1.4	1.9	1.0	1.2	0.5	1.7

АОА18 Логический элемент



Элемент предназначен для построения комбинационных и управляющих под схем в соответствии с выполняемой функцией.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=4$ и p-типа $N_p=2$.

Рекомендуемая нагрузочная способность по выходу ≤ 2 .

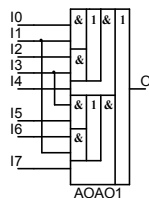
Размер элемента составляет 3 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O		I4⇒O		I5⇒O	
	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
Задержка, нс	1.1	1.7	1.1	1.7	0.9	1.1	1.0	1.6	0.9	1.5	0.7	1.0

АОА01 Индикаторный элемент



Элемент предназначен для построения комбинационных и управляющих под схем в соответствии с выполняемой функцией.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и внутренним выходом первого каскада схемы: n-типа $N_n=3$ и p-типа $N_p=4$.

Коэффициент объединения по входам **I1**, **I3** – 2.

Рекомендуемая нагрузочная способность по выходу ≤ 5 .

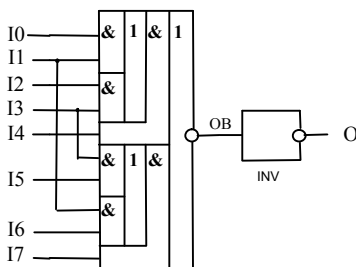
Размер элемента составляет 6 ячеек поля БМК.

Область применения – СС-схемотехника; первичное использование – в составе макроэлемента **R1CE20**.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O		I4⇒O		I5⇒O	
Задержка, нс	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
	2.3	2.4	2.2	1.9	3.0	2.7	2.3	2.2	2.7	2.7	2.2	2.7

Путь	I6⇒O		I7⇒O	
Задержка, нс	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
	1.7	1.7	2.0	1.8



Функциональная схема АОАО1

АОАОА1 Индикаторный элемент с нулевым спейсером для четырех бифазных и одного унарного входов



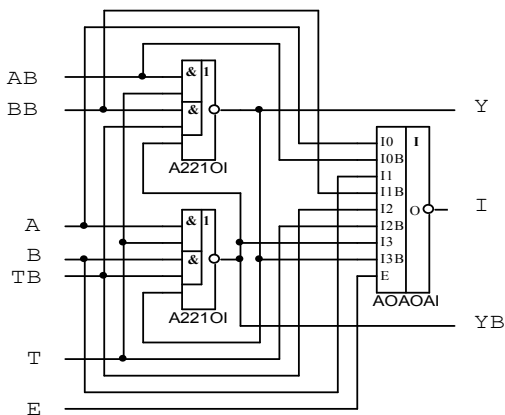
Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=4$ и p-типа $N_p=3$.

Коэффициент объединения по входам **I2**, **I2B** – 2.

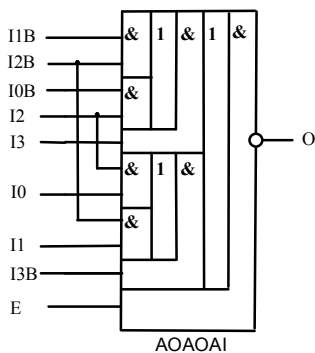
Рекомендуемая нагрузочная способность по выходу ≤ 2 .

Размер элемента составляет 6 ячеек поля БМК 5503/5507.

Область применения – индикаторный элемент в СС-схемотехнике. Пример его использования для реализации саморемонта в мультиплексоре отказоустойчивого регистра показан на рисунке ниже. Здесь **A**, **AB** и **B**, **BB** – парафазные информационные сигналы от рабочего и резервного разрядов триггера; **T**, **TB** – сигналы выборки работоспособного разряда; **E** – сигнал управления; **Y**, **YB** – информационные выходы мультиплексора; **I** – индикаторный выход.



Пример использования элемента AOAOI



Функциональная схема AOAOI

Принципиальная схема элемента AOAOI учитывает наличие определенной дисциплины значений пар входов (**I0, I0B**), (**I1, I1B**), (**I2, I2B**), (**I3, I3B**). При некоторых запрещенных комбинациях входов, приведенных в таблице ниже, выход элемента находится в высокоимпеданском состоянии.

Таблица запрещенных состояний

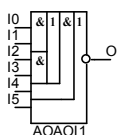
№№	I0	I0B	I1	I1B	I2	I2B	I3	I3B	E	O
1	1	1	1	1	* ¹⁾	*	0	0	1	Z
2	*	*	*	*	1	1	0	0	1	Z
3	0	0	0	0	*	*	1	1	1	Z
4	*	*	*	*	0	0	1	1	1	Z
5	0	0	0	0	1	1	*	*	1	Z
6	1	1	1	1	0	0	*	*	1	Z

¹⁾ Любое значение

Таблица задержек

Путь	I0⇒O		I0B⇒O		I1⇒O		I1B⇒O		I2⇒O		I2B⇒O	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
Задержка, нс	6.9	4.7	7.7	2.7	6.9	2.5	7.7	2.5	6.6	2.1	7.1	4.7
Путь	I3⇒O		I3B⇒O		E⇒O							
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰						
Задержка, нс	7.2	4.4	6.7	4.2	2.0	3.8						

АОАОП Логический элемент 2И-2И-2ИЛИ-2И-2ИЛИ-НЕ



Элемент предназначен для построения комбинационных и управляющих подсхем в соответствии с выполняемой логической функцией.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной

питания и выходом схемы: n-типа $N_n=3$ и p-типа $N_p=3$.

Рекомендуемая нагрузочная способность по выходу ≤ 3 .

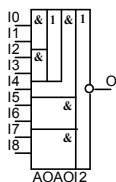
Размер элемента – 3 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O		I4⇒O		I5⇒O	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
Задержка, нс	5.1	3.3	5.3	3.4	4.7	3.1	5.1	3.2	3.5	2.7	2.3	0.9

АОАО12 Логический элемент 2И-2И-2ИЛИ-2И-2И-2И-3ИЛИ-НЕ



Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n -типа $N_n=3$ и p -типа $N_p=4$.

Рекомендуемая нагрузочная способность по выходу ≤ 2 .

Размер элемента составляет 5 ячеек поля БМК.

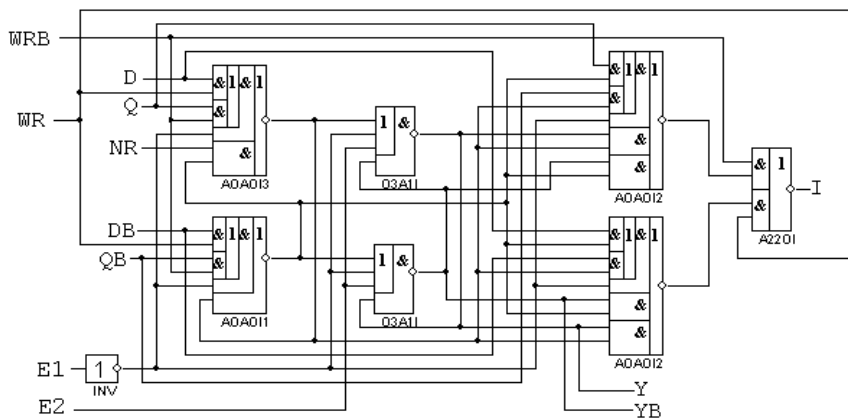
Область применения: в основном – индикаторные элементы для СС-схемотехники.

Пример использования для реализации разряда регистра сдвига с интегрированным входным мультиплексором показан на рисунке ниже. Здесь

WR и **WRB** – сигналы выбора режима работы разряда, **E1** и **E2** – управляющие сигналы, **NR** – сигнал синхронного сброса, **D** и **DB** – первый парафазный информационный вход, **Q** и **QB** – второй парафазный информационный вход. Здесь предполагается, что сигналы **WR** и **WRB** – статические. При инициализации схемы **WR=1**, **WRB=0**, и при **E1=1**, **E2=0** в разряд регистра записывается состояние информационных входов **D** и **DB**. В режиме сдвига **WR=0**, **WRB=1**, и в разряд регистра записывается состояние входов **Q** и **QB**, которые в многоразрядном регистре подключены к информационным выходам предыдущего разряда. Таким образом, запись начального состояния в разряд регистра не является строго самосинхронной.

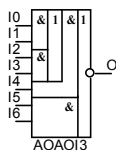
Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O		I4⇒O		I5⇒O		I6⇒O	
Задержка, нс	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
	7.7	4.9	8.2	5.0	7.4	4.7	7.8	4.7	5.7	4.4	5.1	2.9	5.3	3.0
Путь	I7⇒O		I8⇒O											
Задержка, нс	t^{01}	t^{10}	t^{01}	t^{10}										
	4.7	2.5	5.0	2.7										



Функциональная схема самосинхронного разряда регистра сдвига

АОАО13 *Логический элемент* **2И-2И-2ИЛИ-2И-2ИЛИ-НЕ**



Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=3$ и p-типа $N_p=3$.

Рекомендуемая нагрузочная способность по выходу ≤ 3 .

Размер элемента – 4 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Пример использования – входной каскад разряда регистра сдвига со встроенным мультиплексором, схема которого представлена на рисунке в описании логического элемента **АОАО12**. Его использование обеспечивает реализацию синхронного сброса с помощью сигнала **NR**.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O		I4⇒O		I5⇒O		I6⇒O	
Задержка, нс	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
	4.9	3.8	5.2	3.9	4.6	3.6	4.8	3.7	4.2	3.2	2.7	2.0	3.0	2.0

АОАО14 *Индикаторный элемент с нулевым спейсером для пяти бифазных и одного унарного входов*



Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=4$ и p-типа $N_p=5$.

Коэффициент объединения по входам **10**, **10B**, **13**, **13B** – 2.

Рекомендуемая нагрузочная способность по выходу – 1.

Размер элемента составляет 8 ячеек поля БМК.

Область применения – индикаторный элемент в СС-схемотехнике для реализации разряда отказоустойчивого регистра сдвига со свойством саморемонта (на рисунке ниже). Здесь **Y0**, **Y0B** и **Y1**, **Y1B** – информационные выходы двух предыдущих разрядов регистра сдвига; **T0**, **T1** – признаки работоспособности предыдущего разряда; **E** – вход разрешения; **NR** – сигнал синхронного сброса; **Q**, **QB** – информационные выходы данного разряда; **I** – индикаторный выход.

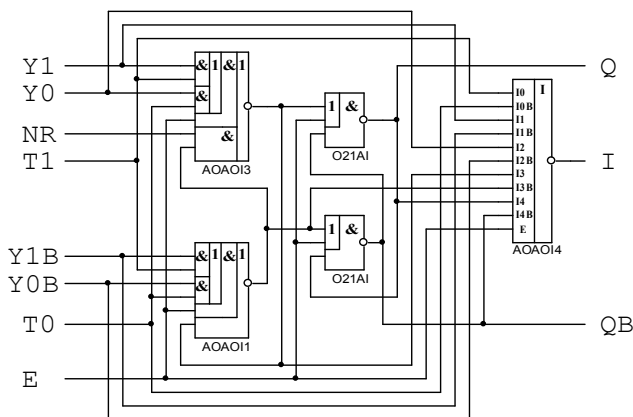
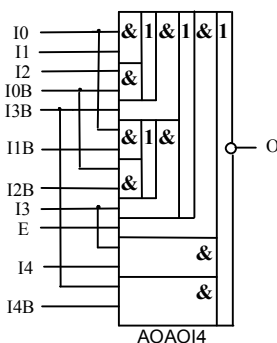


Схема разряда самосинхронного отказоустойчивого регистра сдвига

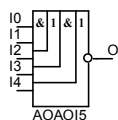
Таблица задержек

Путь	I0⇒O		I0B⇒O		I1⇒O		I1B⇒O		I2⇒O		I2B⇒O		I3⇒O	
Задержка, нс	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
	9.9	6.5	9.8	6.6	15.4	9.0	15.4	9.0	15.4	9.0	15.4	9.0	13.5	5.0
Путь	I3B⇒O		I4⇒O		I4B⇒O		E⇒O							
Задержка, нс	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰						
	13.5	5.0	10.2	3.2	10.2	3.2	10.1	9.2						



Функциональная схема АОАО14

АОАО15 Элемент формирования ускоренного переноса



Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами схемы: n-типа $N_n=3$ и p-типа $N_p=3$.

Рекомендуемая нагрузочная способность по выходу ≤ 3 .

Размер элемента составляет 3 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника. При этом его входами являются поразрядные вспомогательные функции генерации (g_i) и распространения (p_i) переноса. Служит для реализации инверсии двухразрядного ускоренного переноса по формуле:

$$CB_2 = \overline{(C_0 * p_0 + g_0) * p_1 + g_1},$$

где C_0 и CB_2 – входы сигнала прямого и инверсного переноса в первый и третий разряды сумматора соответственно, и для формирования

функции инверсии групповой трехразрядной генерации переноса по формуле:

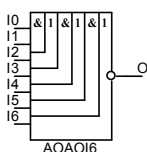
$$GB_2 = \overline{(g_0 * p_1 + g_1) * p_2 + g_2}$$

Может использоваться также и для реализации соответствующей логической функции, не связанной с переносом.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O		I4⇒O	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
Задержка, нс	6.0	3.2	5.7	3.2	4.5	2.1	3.2	1.8	2.4	1.0

АОАО16 Элемент формирования ускоренного переноса



Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами схемы: n-типа $N_n=4$, p-типа $N_p=4$.

Рекомендуемая нагрузочная способность по выходу ≤ 2 .

Размер элемента составляет 4 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника. При этом его входами являются поразрядные вспомогательные функции генерации (g_i) и распространения (p_i) переноса. Служит для реализации инверсии трехразрядного ускоренного переноса:

$$CB_3 = \overline{((C_0 * p_0 + g_0) * p_1 + g_1) * p_2 + g_2}$$

где C_0 и CB_3 – входы прямого и инверсного сигнала переноса в первый и четвертый разряды сумматора, соответственно, и для формирования функции инверсии групповой четырехразрядной генерации переноса:

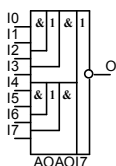
$$GB_3 = \overline{((g_0 * p_1 + g_1) * p_2 + g_2) * p_3 + g_3}$$

Может использоваться также и для реализации соответствующей логической функции, не связанной с переносом.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O		I4⇒O		I5⇒O		I6⇒O	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
Задержка, нс	10.4	5.4	9.9	5.2	8.2	3.8	6.6	3.3	5.4	2.3	3.8	2.1	3.1	1.2

АОАО17 Логический элемент



Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=3$ и p-типа $N_p=4$.

Рекомендуемая нагрузочная способность по выходу ≤ 2 .

Размер элемента составляет 4 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O		I4⇒O		I5⇒O		I6⇒O		I7⇒O	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
Задержка, нс	1.9	2.6	1.8	2.4	1.6	1.7	1.2	1.5	1.7	2.2	1.7	2.1	1.4	1.3	0.9	1.2

ARB0 Асинхронный арбитр



Элемент **ARB0** – электронный арбитр сигналов **R0** и **R1** (Request), запросов на предоставление общего ресурса. Высокий уровень входных сигналов **R0** и **R1** переводит арбитр в состояние паузы (**A0=A1=0**). Низкий уровень на одном из входов (например, **R0=0**) переводит соответствующий сигнал разрешения доступа к ресурсу в состояние единицы (**A0=1**) и блокирует переход в активное состояние второго выхода до снятия сигнала запроса **R0**. Арбитр обеспечивает выделение права доступа к общему ресурсу в соответствии с очередностью прихода сигналов запроса на входы **R0** и **R1**.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=3$ и p-типа $N_p=3$.

Рекомендуемая нагрузочная способность по выходам **A0** и **A1** ≤ 5 .

Размер элемента составляет 5 ячеек поля БМК.

Область применения – синхронная и СС-схемотехника.

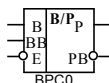
Таблица истинности

№ строки	Входы		Выходы	
	R0	R1	A0	A1
1	1	1	0	0
2	0	1	1	0
3	0	1→0	1	0
4	1	0	0	1
5	1→0	0	0	1

Таблица задержек

Путь	R0⇒A0		R0⇒A1		R1⇒A0		R1⇒A1	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
Задержка, нс	4.8	2.1	5.6	5.6	4.8	2.1	4.8	2.1

ВРС0 Преобразователь бифазного сигнала в парафазный с нулевым спейсером



Элемент **ВРС0** преобразует входной бифазный сигнал (**В**, **ВВ**) в выходной парафазный (**Р**, **РВ**) с нулевым спейсером.

При высоком уровне на входе разрешения **Е=1** на выходе (**Р**, **РВ**) формируется спейсер (**Р=РВ=0**). При **Е=0** на выходы транслируются входы в соответствии с таблицей истинности.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами схемы: n-типа $N_n=1$ и p-типа $N_p=2$.

Коэффициент объединения по входу **Е** – 2.

Рекомендуемая нагрузочная способность по всем выходам ≤ 4 .

Размер элемента составляет 2 ячейки поля БМК.

Область применения – СС-схемотехника, для формирования входов комбинационных схем, а также для преобразования бифазных выходов триггерных элементов в парафазный код при передаче данных удаленному приемнику.

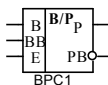
Таблица истинности

№ строки	Входы			Выходы	
	В	ВВ	Е	Р	РВ
1	*	*	1	0	0
2	1	0	0	0	1
3	0	1	0	1	0
4	0	0	0	1	1
5	*	↔	0	X	
6	↔	*	0	X	
7	1	1	0	0	0

Таблица задержек

Путь	E⇒P		E⇒PB	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
Задержка, нс	1.8	0.7	1.8	0.7

ВРС1 Преобразователь бифазного сигнала в парафазный с единичным спейсером



Элемент **ВРС1** преобразует входной бифазный сигнал (**В**, **ВВ**) в парафазный (**Р**, **РВ**) с единичным спейсером. При низком уровне на входе разрешения $E=0$ на выходе (**Р**, **РВ**) формируется спейсер ($P=PB=1$). При $E=1$ на выходы транслируются входы в соответствии с таблицей истинности.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами схемы: n-типа $Nn=2$ и p-типа $Np=1$.

Коэффициент объединения по входу $E - 2$.

Рекомендуемая нагрузочная способность по всем выходам ≤ 4 .

Размер элемента составляет 2 ячейки поля БМК.

Область применения – СС-схемотехника, для формирования входов комбинационных схем, а также для преобразования бифазных выходов триггерных элементов в парафазный код при передаче данных удаленному приемнику.

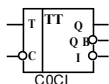
Таблица истинности

№ стро- ки	Входы			Выходы	
	В	ВВ	Е	Р	РВ
1	*	*	0	1	1
2	1	0	1	0	1
3	0	1	1	1	0
4	1	1	1	0	0
5	*	↔	1	X	
6	↔	*	1	X	
7	0	0	1	1	1

Таблица задержек

Путь	E⇒P		E⇒PB	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
Задержка, нс	0.8	0.9	0.8	0.9

С0С1 Счетный триггер с нулевым спейсером, самосинхронным сбросом и индикаторным выходом



Элемент **С0С1** – счетный триггер с самосинхронным сигналом сброса (**С**), счетным входом (**Т**), парафазным информационным выходом (**Q**, **QB**) и индикаторным выходом (**I**).

Самосинхронный сброс осуществляется низким уровнем сигнала **С** (**С=0**) при низком уровне счетного входа (**Т=0**). В элементе **С0С1** процедура самосинхронного сброса обеспечивается блокировкой элемента – источника индикаторного сигнала **I** входом **С=0** и реализацией последовательности переключения внутренних элементов при его сбросе: последним должен переключиться выход элемента **Q**. Окончание сброса должно индексироваться внешней аппаратурой.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами элементов схемы: n-типа $N_n=3$ и p-типа $N_p=2$.

Коэффициент объединения по входу **Т** – 4, по входу **С** – 2.

Рекомендуемая нагрузочная способность элемента по выходам **Q** и **QB** – 1, по выходу **I** ≤ 3.

Размер элемента составляет 9 ячеек поля БМК.

Область применения – СС-схемотехника.

Таблица истинности

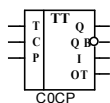
№ строки	Входы		Выходы		
	T	C	Q ⁺	QB ⁺	I
1	0	0	0	1	1
2	0	0→1	0	1	1
3	0→1	1	хранение		0
4	1→0	1	QB	Q	1
5 ¹⁾	1	0	хранение		1

¹⁾ Нарушение самосинхронной предустановки.

Таблица задержек

Путь	T⇒Q		T⇒QB		T⇒I		C⇒Q	C⇒QB
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ¹⁰	t ⁰¹
нс	2.9	4.7	2.9	4.7	7.6	6.2	7.6	5.7

С0СР *Разряд последовательного счетчика с нулевым спейсером, самосинхронными сбросом и установкой*



Элемент **С0СР** – разряд последовательного счетчика с самосинхронными сигналами сброса (**С**) и установки (**Р**), счетным входом (**Т**), счетным выходом (**ОТ**), выходом частичной индикации (**И**), бифазным информационным

выходом (**Q**, **QB**).

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами элементов схемы: n-типа $N_n=3$ и p-типа $N_p=2$.

Коэффициент объединения по входу **T** – 2.

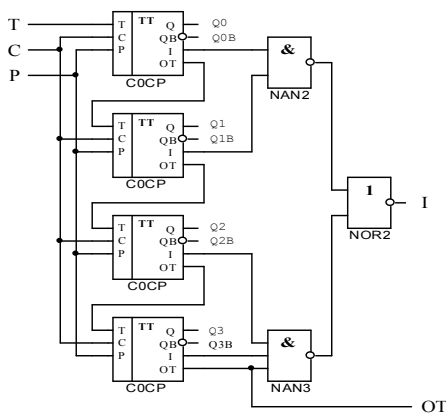
Рекомендуемая нагрузочная способность по выходам **Q** и **QB** ≤ 2, по выходам **I** и **ОТ** ≤ 3.

Размер элемента составляет 8 ячеек поля БМК.

Область применения – СС-схемотехника.

Пример использования в составе четырехразрядного самосинхронного

последовательного счетчика показан на рисунке ниже. Переключение разряда счетчика в новое состояние происходит по переднему фронту счетного входа **T**; начальная установка и сброс осуществляется высоким уровнем соответствующего входного сигнала. Индикация счетчика реализуется достаточно простой под схемой из элементов И-НЕ и ИЛИ-НЕ, контролирующей также окончание начальной установки.



Функциональная схема четырехразрядного самосинхронного счетчика

Таблица истинности

№ строки	Входы			Выходы			
	T	C	P	I	OT	Q ⁺	QB ⁺
1	0	1	0	1	1	0	1
2	0	1→0	0	Q	QB	хранение	
3	0	0	1	1	1	1	0
4	0	0	1→0	Q	QB	хранение	
5	0	0	0	Q	QB	хранение	
6	0→1	0	0	1	1	QB	Q
7	1→0	0	0	Q	QB	хранение	
8 ¹⁾	*	1	1	1	1	1	1
9 ²⁾	1	1	0	1	1	0	1
10 ²⁾	1	0	1	1	1	1	0

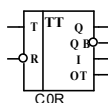
¹⁾ Неопределенное состояние всех выходов после перехода к комбинации C=P=0.

²⁾ Нарушение самосинхронной предустановки.

Таблица задержек

Путь	T⇒Q		T⇒QB		T⇒I		T⇒OT		C⇒Q	C⇒QB	C⇒I
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ¹⁰	t ⁰¹	t ¹⁰
Задержка, нс	5.3	7.3	5.7	7.0	8.4	6.0	9.2	5.9	4.5	2.7	4.2
Путь	C⇒OT		P⇒Q	P⇒QB	P⇒I	P⇒OT					
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰					
Задержка, нс	6.4		2.5	4.0	5.5	4.2					

COR Разряд последовательного счетчика с нулевым спейсером и синхронным сбросом



Элемент **COR** – разряд последовательного счетчика с синхронным сигналом сброса (**R**), счетным входом (**T**), бифазным информационным выходом (**Q**, **QB**), счетным выходом (**OT**) и выходом частичной индикации (**I**).

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами элементов схемы: n-типа $N_n=3$ и p-типа $N_p=1$.

Коэффициент объединения по входу **T** – 2.

Рекомендуемая нагрузочная способность по выходам **I**, **OT** ≤ 3 , по выходам **Q**, **QB** ≤ 2 .

Размер элемента составляет 8 ячеек поля БМК.

Область применения – СС-схемотехника.

Таблица истинности

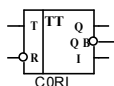
№ строки	Входы		Выходы			
	T	R	I	OT	Q ⁺	QB ⁺
1	0	0	0	1	0	1
2	0	0→1	Q	QB	хранение	
3	0→1	1	1	1	QB	Q
4	1→0	1	Q	QB	хранение	
5 ¹⁾	0→1	0	0	1	1	1
6 ¹⁾	1	1→0	/Q	хранение		1

¹⁾ Нарушение предустановки.

Таблица задержек

Путь	T \Rightarrow Q		T \Rightarrow QB		T \Rightarrow I		T \Rightarrow OT		R \Rightarrow Q	R \Rightarrow QB	R \Rightarrow I	R \Rightarrow OT
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹
Задержка, нс	3.0	5.0	3.7	4.7	5.8	2.7	6.3	2.3	2.7	1.4	2.4	4.1

CORI ***Счетный триггер с нулевым спейсером, синхронным сбросом и индикаторным выходом***



Элемент **CORI** – счетный триггер с синхронным сигналом сброса (**R**), счетным входом (**T**), бифазным информационным выходом (**Q**, **QB**) и сигналом окончания переходных процессов (**I**).

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами элементов схемы: n-типа $N_n=2$ и p-типа $N_p=2$.

Коэффициент объединения по входу **T** – 4.

Рекомендуемая нагрузочная способность по выходам **Q**, **QB** ≤ 2 , по выходу **I** ≤ 3 .

Размер элемента составляет 9 ячеек поля БМК.

Область применения – СС-схемотехника.

Таблица истинности

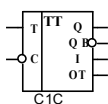
№ строки	Входы		Выходы		
	T	R	Q ⁺	QB ⁺	I
1	0	0	0	1	1
2	0	0 \rightarrow 1	0	1	1
3	0 \rightarrow 1	1	хранение		1 \rightarrow 0
4	1 \rightarrow 0	1	QB	Q	0 \rightarrow 1
5 ¹⁾	1	0	хранение		0

¹⁾ Нарушение предустановки.

Таблица задержек

Путь	T⇒Q		T⇒QB		T⇒I		R⇒Q	R⇒QB	R⇒I
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ¹⁰	t ⁰¹	t ¹⁰
Задержка, нс	3.5	5.7	3.5	5.7	8.2	6.4	9.1	6.8	3.6

C1C Разряд последовательного счетчика с единичным спейсером и самосинхронным сбросом



Элемент C1C – разряд последовательного счетчика с сигналом самосинхронного сброса (C), счетным входом (T), счетным выходом (OT), выходом частичной индикации (I), информационным бифазным выходом (Q, QB).

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами элементов схемы: n-типа $N_n=4$ и p-типа $N_p=1$.

Коэффициент объединения по входу T – 2, по входу C – 3.

Рекомендуемая нагрузочная способность по всем выходам ≤ 2 .

Размер элемента составляет 9 ячеек поля БМК.

Область применения – СС-схемотехника. Используется аналогично элементу C1CP.

Таблица истинности

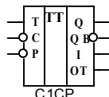
№ строки	Входы		Выходы			
	T	C	I	OT	Q ⁺	QB ⁺
1	1	0	1	1	0	1
2	1	0→1	1	1	хранение	
3	1→0	1	Q	QB	хранение	
4	0→1	1	1	1	QB	Q
5 ¹⁾	0	0	1	1	хранение	

¹⁾ Нарушение предустановки.

Таблица задержек

Путь	T⇒Q		T⇒QB		T⇒I		T⇒OT		C⇒Q	C⇒QB	C⇒I	C⇒OT		
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ¹⁰	t ⁰¹	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
Задержка, нс	4.1	5.2	3.8	5.4	6.9	3.7	7.0	3.5	6.4	5.1	1.3	1.9	1.6	2.1

C1CP *Разряд последовательного счетчика с единичным спейсером, самосинхронными сбросом и установкой*



Элемент **C1CP** – разряд последовательного счетчика с самосинхронными сигналами сброса (**C**) и установки (**P**), счетным входом (**T**), счетным выходом (**OT**), выходом частичной индикации (**I**), бифазным информационным выходом (**Q**, **QB**).

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами элементов схемы: n-типа $N_n=4$ и p-типа $N_p=1$.

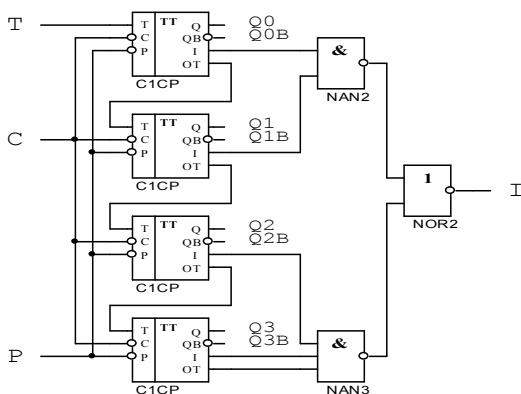
Коэффициент объединения по входу **T** – 2, по входам **C** и **P** – 3.

Рекомендуемая нагрузочная способность по выходам **Q**, **QB** ≤ 2 , по выходам **I**, **OT** – 1.

Размер элемента составляет 10 ячеек поля БМК.

Область применения – СС-схемотехника.

Пример использования в составе четырехразрядного самосинхронного последовательного счетчика показан на рисунке ниже. Здесь **C** – общий вход сброса; **P** – общий вход установки; **T** – счетный вход; (**Q0**, **Q0B**) – (**Q3**, **Q3B**) – информационные бифазные выходы; **I** – индикаторный выход; **OT** – счетный выход. Переключение разряда счетчика в новое состояние происходит по переднему фронту его счетного входа **T**.



Функциональная схема четырехразрядного самосинхронного счетчика на элементах C1CP

Таблица истинности

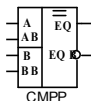
№ строки	Входы			Выходы			
	T	C	P	I	OT	Q ⁺	QB ⁺
1	1	0	1	1	1	0	1
2	1	0→1	1	1	1	хранение	
3	1	1	0	1	1	1	0
4	1	1	0→1	1	1	хранение	
5	0	1	1	Q	QB	хранение	
6	0→1	1	1	1	1	QB	Q
7	1→0	1	1	Q	QB	хранение	
8 ¹⁾	*	0	0	1	1	хранение	
9 ¹⁾	0	0	1	1	1	хранение	
10 ¹⁾	0	1	0	1	1	хранение	

¹⁾ Нарушение предустановки.

Таблица задержек

Путь	T⇒Q		T⇒QB		T⇒I		T⇒OT		C⇒Q		C⇒QB		C⇒I	
Задержка, нс	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ¹⁰	t ⁰¹	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
	4.2	5.8	4.5	5.3	7.0	4.6	7.7	3.9	6.8	5.6	1.3	2.4		
Путь	C⇒OT		P⇒Q		P⇒QB		P⇒I		P⇒OT					
Задержка, нс	t ⁰¹	t ¹⁰	t ⁰¹		t ¹⁰		t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰				
	1.5	2.7	6.2		7.5		1.7	2.8	1.7	3.0				

СМРР Одноразрядный компаратор для парафазных сигналов с выработкой сигнала эквивалентности



Элемент **СМРР** выполняет функцию "равнозначности" для парафазных сигналов. Элемент "неравнозначности" получается, если поменять местами выходы.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами схемы: n-типа $N_n=2$ и p-типа $N_p=2$.

Коэффициент объединения по входам **B** и **BB** – 2.

Рекомендуемая нагрузочная способность по выходам ≤ 4 .

Размер элемента составляет 3 ячейки поля БМК.

Область применения – СС-схемотехника.

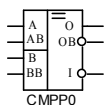
Таблица истинности

№ стро- ки	Входы				Выходы	
	A	AB	B	BB	EQ	EQB
1	*	0	0	0	1	1
2	0	*	0	0	1	1
3	0	0	*	0	1	1
4	0	0	0	*	1	1
5	1	0	1	0	1	0
6	1	0	0	1	0	1
7	0	1	1	0	0	1
8	0	1	0	1	1	0
9	*	1	1	1	0	0
10	1	*	1	1	0	0
11	1	1	*	1	0	0
12	1	1	1	*	0	0
13	1	1	0	0	Z	
14	0	0	1	1	Z	

Таблица задержек

Путь	A⇒EQ		A⇒EQB		AB⇒EQ		AB⇒EQB		B⇒EQ		B⇒EQB	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
Задержка, нс	3.2	1.4	3.3	1.7	3.3	1.7	3.3	1.5	2.7	1.7	2.7	1.7
Путь	BB⇒EQ		BB⇒EQB									
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰								
Задержка, нс	2.7	1.7	2.7	1.7								

СМРР0 *Одноразрядный компаратор для парафазных сигналов с нулевым спейсером, парафазным выходом и индикацией входов*



Элемент **СМРР0** выполняет функцию "равнозначности" для парафазных сигналов (A, AB) и (B, BB) с нулевым спейсером. Элемент "неравнозначности" получается, если поменять местами выходы O и OB. Индикаторный выход I фиксирует окончание переключения входов в спейсерное состояние $A=AB=B=BB=0$ значением $I=1$.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами

схемы: n-типа $Nn=2$ и p-типа $Np=4$.

Коэффициент объединения по входам **B** и **BB** – 3, по входам **A** и **AB** – 2.

Рекомендуемая нагрузочная способность по выходам **O**, **OB** ≤ 4 , по выходу **I** ≤ 2 .

Размер элемента составляет 5 ячеек поля БМК.

Область применения – СС-схемотехника.

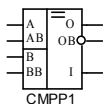
Таблица истинности

№ строки	Входы				Выходы		
	A	AB	B	BB	O	OB	I
1	0	0	0	0	1	1	1
2	1	0	0	0	1	1	0
3	0	1	0	0	1	1	0
4	0	0	1	0	1	1	0
5	0	0	0	1	1	1	0
6	1	0	1	0	1	0	0
7	1	0	0	1	0	1	0
8	0	1	1	0	0	1	0
9	0	1	0	1	1	0	0
10	1	1	0	0	Z		0
11	0	0	1	1	Z		0

Таблица задержек

Путь	$A \Rightarrow O$		$A \Rightarrow OB$		$A \Rightarrow I$		$AB \Rightarrow O$		$AB \Rightarrow OB$		$AB \Rightarrow I$	
	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
Задержка, нс	2.3	1.2	2.2	1.4	4.7	0.9	2.2	1.4	2.2	1.2	4.4	0.9
Путь	$B \Rightarrow O$		$B \Rightarrow OB$		$B \Rightarrow I$		$BB \Rightarrow O$		$BB \Rightarrow OB$		$BB \Rightarrow I$	
	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
Задержка, нс	1.7	1.2	1.7	1.2	4.2	0.9	1.7	1.2	1.7	1.2	4.1	0.9

СМРР1 Одноразрядный компаратор для парафазных сигналов с единичным спейсером, парафазным выходом и индикацией входов



Элемент **СМРР1** выполняет функцию "равнозначности" для парафазных сигналов (**A**, **AB**) и (**B**, **BB**) с единичным спейсером. Элемент "неравнозначности" получается, если поменять местами выходы **O** и **OB**. Индикаторный выход **I** фиксирует окончание переключения входов в спейсерное состояние $A=AB=B=BB=1$ значением $I=0$.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами схемы: n-типа $N_n=4$ и p-типа $N_p=2$.

Коэффициент объединения по входам **В** и **ВВ** – 3, по входам **А** и **АВ** – 2.

Рекомендуемая нагрузочная способность по выходам **О**, **ОВ** ≤ 4 , по выходу **І** ≤ 2 .

Размер элемента составляет 5 ячеек поля БМК.

Область применения – СС-схемотехника.

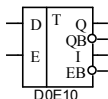
Таблица истинности

№ строки	Входы				Выходы		
	А	АВ	В	ВВ	О	ОВ	І
1	1	0	1	0	1	0	1
2	1	0	0	1	0	1	1
3	0	1	1	0	0	1	1
4	0	1	0	1	1	0	1
5	0	1	1	1	0	0	1
6	1	0	1	1	0	0	1
7	1	1	0	1	0	0	1
8	1	1	1	0	0	0	1
9	1	1	1	1	0	0	0
10	1	1	0	0	Z		1
11	0	0	1	1	Z		1

Таблица задержек

Путь	A⇒O		A⇒OB		A⇒I		AB⇒O		AB⇒OB		AB⇒I	
Задержка, нс	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
	2.3	1.2	2.2	1.4	4.7	0.9	2.2	1.4	2.2	1.2	1.4	2.2
Путь	B⇒O		B⇒OB		B⇒I		BB⇒O		BB⇒OB		BB⇒I	
Задержка, нс	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
	1.7	1.2	1.7	1.2	4.2	0.9	1.7	1.2	1.7	1.2	1.1	1.6

D0E10 **Однотактный D-триггер с нулевым спейсером и разрешением записи**



Элемент **D0E10** – однотактный D-триггер с унарным информационным входом (**D**), входом разрешения записи (**E**) с нулевым спейсером, бифазным информационным выходом (**Q**, **QB**), выходом индикатора окончания переходных процессов (**I**) и выходом инверсии разрешения записи (**EB**).

Выход **EB** может быть использован внешним окружением для ускорения своего перехода в состояние спейсера или в новое рабочее состояние – формирование нового значения сигнала **D** (вместо ожидания соответствующего формирования сигнала **I**). При этом состояние сигнала **I** должно отслеживаться на входе **E** по аналогии с элементом **D1CE20** (см. сигнальный граф для элемента **D1CE20**).

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами элементов схемы: n-типа $N_n=2$, p-типа $N_p=3$.

Коэффициент объединения по входу **D** – 4.

Рекомендуемая нагрузочная способность элемента по выходам **Q**, **QB** ≤ 2 , по выходу **EB** – 1, по выходу **I** ≤ 3 .

Размер элемента составляет 8 ячеек поля БМК.

Область применения – традиционная (синхронная или асинхронная) и СС-схемотехника.

Таблица истинности

№ строки	Входы		Выходы			
	D	E	Q	QB	I	EB
1	*	0	хранение		0	1
2	1	0→1	1	0	1	1→0
3	1	1	1	0	1	0
4	1	1→0	хранение		0	0→1
5	0	0→1	0	1	1	1→0
6	0	1	0	1	1	0
7	0	1→0	хранение		0	0→1
8 ¹⁾	↔	1	X			
9 ²⁾	↔	0	X			0

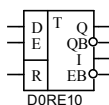
¹⁾ Изменения входа D запрещены до перехода входа разрешения E в спейсер.

²⁾ Изменения входа D запрещены до выполнения перехода EB 0→1.

Таблица задержек

Путь	E⇒Q		E⇒QB		E⇒I		E⇒EB	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
Задержка, нс	4.7	5.5	4.7	5.5	6.1	2.6	2.0	1.8

D0RE10 ***Однотактный D-триггер с нулевым спейсером, синхронным сбросом и разрешением записи***



Элемент **D0RE10** – однотактный D-триггер с унарным информационным входом (**D**), входом разрешения записи (**E**) с нулевым спейсером, входом синхронного сброса (**R**), бифазным информационным выходом (**Q**, **QB**), выходом индикатора окончания переходных процессов (**I**) и выходом инверсии разрешения записи (**EB**).

Выход **EB** может быть использован внешним окружением для ускорения своего перехода в спейсерное или новое рабочее состояние – формирование нового значения сигнала **D** (вместо ожидания соответствующего формирования сигнала **I**). При этом состояние сигнала **I** должно отслеживаться на входе **E** по аналогии с элементом **D1CE20** (см. сигнальный граф для элемента **D1CE20**).

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами элементов схемы: n-типа $N_n=2$, p-типа $N_p=3$.

Коэффициент объединения по входу **D** – 4.

Рекомендуемая нагрузочная способность элемента по выходам **Q**, **QB** и **EB** ≤ 2 , по выходу **I** ≤ 3 .

Размер элемента составляет 8 ячеек поля БМК.

Область применения – традиционная (синхронная или асинхронная) и СС-схемотехника.

Таблица истинности

№ строки	Входы			Выходы			
	D	E	R	Q	QB	I	EB
1	*	0	1	0	1	0	1
2	*	0	0	хранение		0	1
3	1	0→1	0	1	0	0→1	1→0
4	1	1	0	1	0	1	0
5	*	1→0	0	хранение		0	0→1
6	0	0→1	0	0	1	1	1→0
7	0	1	0	0	1	1	0
8 ¹⁾	*	1	1	X			0
9 ¹⁾	*	↔	1	X			
10 ²⁾	↔	1	0	X			
11 ³⁾	↔	0	0	X			0

- 1) Нарушение предустановки.
 2) Изменения входа D запрещены до перехода входа разрешения E в спейсер.
 3) Изменения входа D запрещены до выполнения перехода EB 0→1.

Таблица задержек

Путь	E⇒Q		E⇒QB		E⇒I		E⇒EB		R⇒Q	R⇒QB
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ¹⁰	t ⁰¹
Задержка, нс	5.1	6.2	4.4	6.5	7.7	2.5	1.9	1.7	1.9	3.8

D0RE21 Двухтактный D-триггер с нулевым спейсером, синхронным сбросом и разрешением записи

Элемент **D0RE21** – двухтактный D-триггер с унарным информационным входом (**D**), входом разрешения записи (**E**) с нулевым спейсером, входом синхронного сброса (**R**), бифазным информационным выходом (**Q**, **QB**), выходом индикатора окончания переходных процессов (**I**) и выходом инверсии разрешения записи (**EB**).

Выход **EB** может быть использован внешним окружением для ускорения своего перехода в спейсерное состояние или новое рабочее состояние – формирование нового значения сигнала **D** (вместо ожидания соответствующего формирования сигнала **I**). При этом состояние сиг-

нала **I** должно отслеживаться на входе **E** по аналогии с элементом **D1CE20** (см. сигнальный граф для элемента **D1CE20**).

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами элементов схемы: n-типа $N_n=4$, p-типа $N_p=3$.

Коэффициент объединения по входу **D** – 4.

Рекомендуемая нагрузочная способность элемента по выходам **Q**, **QB** ≤ 2 , по выходу **EB** – 1, по выходу **I** ≤ 2 .

Размер элемента составляет 13 ячеек поля БМК.

Область применения – традиционная (синхронная или асинхронная) и СС-схемотехника.

Таблица истинности

№ строки	Входы			Выходы			
	D	E	R	Q	QB	I	EB
1	*	0	1	0	1	0	1
2	*	0	0	хранение		0	1
3	1	0→1	0	хранение		1	1→0
4	1	1	0	хранение		1	0
5	1	1→0	0	1	0	0	0→1
6	0	0→1	0	хранение		1	1→0
7	0	1	0	хранение		1	0
8	0	1→0	0	0	1	0	0→1
9 ¹⁾	0	1	1	хранение		1	0
10 ¹⁾	1	1	1	хранение		1	0
11 ¹⁾	*	↔	1	X			
12 ²⁾	↔	1	0	X			
13 ³⁾	↔	0	0	X			0

1) Нарушение предустановки.

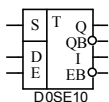
2) Изменения входа D запрещены до перехода входа разрешения E в спейсер.

3) Изменения входа D запрещены до выполнения перехода EB 0→1.

Таблица задержек

Путь	E⇒Q		E⇒QB		E⇒I		E⇒EB		R⇒Q	R⇒QB
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ¹⁰	t ⁰¹
Задержка, нс	6.0	3.4	6.0	3.5	7.6	7.9	2.1	2.0	4.7	7.3

D0SE10 ***Однотактный D-триггер с нулевым спейсером, синхронной установкой и разрешением записи***



Элемент **D0SE10** – однотактный D-триггер с унарным информационным входом (**D**), входом разрешения записи (**E**) с нулевым спейсером, входом синхронной установки (**S**), бифазным информационным выходом (**Q**, **QB**), вы-

ходом индикатора окончания переходных процессов (**I**) и выходом инверсии разрешения записи (**EB**).

Выход **EB** может быть использован внешним окружением для ускорения своего перехода в спейсерное или новое рабочее состояние – формирование нового значения сигнала **D** (вместо ожидания соответствующего формирования сигнала **I**). При этом состояние сигнала **I** должно отслеживаться на входе **E** по аналогии с элементом **D1CE20** (см. сигнальный граф для элемента **D1CE20**)

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами элементов схемы: n-типа $N_n=2$, p-типа $N_p=3$.

Коэффициент объединения по входу **D** – 4.

Рекомендуемая нагрузочная способность элемента по выходам **Q**, **QB** ≤ 2 , по выходу **EB** – 1, по выходу **I** ≤ 3 .

Размер элемента составляет 8 ячеек поля БМК.

Область применения – традиционная (синхронная или асинхронная) и СС-схемотехника.

Таблица истинности

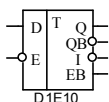
№ строки	Входы			Выходы			
	S	D	E	Q	QB	I	EB
1	1	*	0	1	0	0	1
2	0	*	0	хранение		0	1
3	0	0	0→1	0	1	1	1→0
4	0	0	1	0	1	1	0
5	0	0	1→0	хранение		0	0→1
6	0	1	0→1	1	0	1	1→0
7	0	1	1	1	0	1	0
8	0	1	1→0	хранение		0	0→1
9 ¹⁾	1	*	1	X			0
10 ¹⁾	1	*	↔	X			
11 ²⁾	0	↔	1	X			
12 ³⁾	0	↔	0	X			0

- 1) Нарушение предустановки.
- 2) Изменения входа D запрещены до перехода входа разрешения E в спейсер.
- 3) Изменения входа D запрещены до выполнения перехода EB 0→1.

Таблица задержек

Путь	E⇒Q		E⇒QB		E⇒I		E⇒EB		S⇒Q	S⇒QB
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
Задержка, нс	4.4	6.5	5.1	6.2	7.7	2.5	1.9	1.7	3.8	1.9

D1E10 Однотактный D-триггер с единичным спейсером и разрешением записи



Элемент **D1E10** – однотактный D-триггер с унарным информационным входом (**D**), входом разрешения записи (**E**) с единичным спейсером, бифазным информационным выходом (**Q**, **QB**), выходом индикатора окончания переходных процессов (**I**) и выходом инверсии разрешения записи (**EB**).

Выход **EB** может быть использован внешним окружением для ускорения

своего перехода в спейсерное или новое рабочее состояние – формирование нового значения сигнала **D** (вместо ожидания соответствующего формирования сигнала **I**). При этом состояние сигнала **I** должно отслеживаться на входе **E** по аналогии с элементом **D1CE20** (см. сигнальный граф для элемента **D1CE20**).

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами элементов схемы: n-типа $N_n=3$, p-типа $N_p=2$.

Коэффициент объединения по входу **D** – 4.

Рекомендуемая нагрузочная способность элемента по выходам **Q**, **QB** ≤ 2 , по выходу **EB** – 1, по выходу **I** ≤ 3 .

Размер элемента составляет 8 ячеек поля БМК.

Область применения – традиционная (синхронная или асинхронная) и СС-схемотехника.

Таблица истинности

№ строки	Входы		Выходы			
	D	E	Q	QB	I	EB
1	*	1	хранение		1	0
2	1	1→0	1	0	0	0→1
3	1	0→1	1	0	1	1→0
4	0	1→0	0	1	0	0→1
5	0	0→1	0	1	1	1→0
6 ¹⁾	↔	0	X			
7 ²⁾	↔	1	X			1

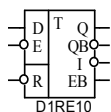
¹⁾ Изменения входа D запрещены до перехода входа разрешения E в спейсер.

²⁾ Изменения входа D запрещены до выполнения перехода EB 1→0.

Таблица задержек

Путь	E⇒Q		E⇒QB		E⇒I		E⇒EB	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
нс	6.7	4.0	6.7	4.0	2.0	1.6	2.7	1.0

D1RE10 ***Однотактный D-триггер с единичным спейсером, синхронным сбросом и разрешением записи***



Элемент **D1RE10** – однотактный D-триггер с унарным информационным входом (**D**), входом разрешения записи (**E**) с единичным спейсером, входом синхронного сброса (**R**), бифазным информационным выходом (**Q**, **QB**), выходом индикатора окончания переходных процессов (**I**) и выходом инверсии разрешения записи (**EB**).

Выход **EB** может быть использован внешним окружением для ускорения перехода в спейсерное или новое рабочее состояние – формирование нового значения сигнала **D** (вместо ожидания соответствующего формирования сигнала **I**). При этом состояние сигнала **I** должно отслеживаться на входе **E** по аналогии с элементом **D1CE20** (см. сигнальный граф для элемента **D1CE20**).

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами элементов схемы: n-типа $N_n=3$, p-типа $N_p=2$. Коэффициент объединения по входу **D** – 4. Рекомендуемая нагрузочная способность элемента по выходам **Q**, **QB** ≤ 2 , по выходу **EB** – 1, по выходу **I** ≤ 3 .

Размер элемента составляет 8 ячеек поля БМК.

Область применения – традиционная (синхронная или асинхронная) и СС-схемотехника.

Область применения – традиционная (синхронная или асинхронная) и СС-схемотехника.

Область применения – традиционная (синхронная или асинхронная) и СС-схемотехника.

Область применения – традиционная (синхронная или асинхронная) и СС-схемотехника.

Таблица истинности

№ строки	Входы			Выходы			
	D	E	R	Q	QB	I	EB
1	*	1	0	0	1	1	0
2	*	1	1	хранение		1	0
3	1	1→0	1	1	0	0	0→1
4	1	0→1	1	1	0	1	1→0
5	0	1→0	1	0	1	0	0→1
6	0	0→1	1	0	1	1	1→0
7 ¹⁾	*	0	0	X			1
8 ¹⁾	*	↔	0	X			
9 ²⁾	↔	0	1	X			
10 ³⁾	↔	1	1	X			1

1) Нарушение предустановки.

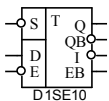
2) Изменения входа D запрещены до перехода входа разрешения E в спейсер.

3) Изменения входа D запрещены до выполнения перехода EB 1→0.

Таблица задержек

Путь	E⇒Q		E⇒QB		E⇒I		E⇒EB		R⇒Q	R⇒QB
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ¹⁰	t ⁰¹
Задержка, нс	6.9	4.0	6.6	4.2	2.0	1.6	2.7	1.0	2.6	1.9

D1SE10 Однотактный D-триггер с единичным спейсером, синхронной установкой и разрешением записи



Элемент **D1SE10** – однотактный D-триггер с унарным информационным входом (**D**), входом разрешения записи (**E**) с единичным спейсером, входом синхронной установки (**S**), бифазным информационным выходом (**Q**, **QB**), выходом индикатора окончания переходных процессов (**I**) и выходом инверсии разрешения записи (**EB**).

Выход **EB** может быть использован внешним окружением для ускорения перехода в спейсерное или новое рабочее состояние – формирование нового значения сигнала **D** (вместо ожидания соответствующего формирования сигнала **I**). При этом состояние сигнала **I** должно от-

слеживаться на входе **E** по аналогии с элементом **D1CE20** (см. сигнальный граф для элемента **D1CE20**).

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами элементов схемы: n-типа $N_n=3$, p-типа $N_p=3$.

Коэффициент объединения по входу **D** – 4.

Рекомендуемая нагрузочная способность элемента по выходам **Q**, **QB** ≤ 2 , по выходу **EB** – 1, по выходу **I** ≤ 3 .

Размер элемента составляет 8 ячеек поля БМК.

Область применения – традиционная (синхронная или асинхронная) и СС-схемотехника.

Таблица истинности

№ строки	Входы			Выходы			
	D	E	S	Q	QB	I	EB
1	*	1	0	1	0	1	0
2	*	1	1	хранение		1	0
3	0	1→0	1	0	1	0	0→1
4	0	0→1	1	хранение		1	1→0
5	1	1→0	1	1	0	0	0→1
6	1	0→1	1	хранение		1	1→0
7 ¹⁾	*	0	0	X			1
8 ¹⁾	*	↔	0	X			
9 ²⁾	↔	0	1	X			
10 ³⁾	↔	1	1	X			1

¹⁾ Нарушение предустановки.

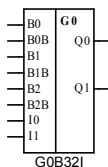
²⁾ Изменения входа D запрещены до перехода входа разрешения E в спейсер.

³⁾ Изменения входа D запрещены до выполнения перехода EB 1→0.

Таблица задержек

Путь	E⇒Q		E⇒QB		E⇒I		E⇒EB		S⇒Q		S⇒QB
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	
нс	6.6	4.2	6.9	4.0	2.0	1.3	2.7	1.0	1.9	2.6	

G0B32I *G-триггер с нулевым спейсером, тремя бифазными и двумя унарными входами, двумя выходами (вариант 1)*



Элемент **G0B32I** – G-триггер с тремя бифазными (**B0** и **B0B**, **B1** и **B1B**, **B2** и **B2B**) и двумя унарными (**I0**, **I1**) входами и двумя выходами (**Q0**, **Q1**), нулевым состоянием спейсера.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами элементов схемы: n-типа $N_n=3$ и p-типа $N_p=3$.

Коэффициент объединения по входам **B2**, **B2B**, **I0** – 2.

Рекомендуемая нагрузочная способность по выходу **Q0** ≤ 3 , по выходу **Q1** ≤ 2 .

Размер элемента составляет 10 ячеек поля БМК.

Область применения – СС-схемотехника; первичное использование – в составе макроэлемента **S0RTE1**.

Описание функционирования элемента приводится в описании макроэлемента **S0RTE1**.

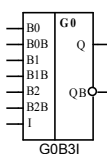
Таблица истинности

№ строки	Входы								Выходы	
	B0	B0B	B1	B1B	B2	B2B	I0	I1	Q0	Q1
1	*	*	0	*	*	0	0	*	1	1
2	*	*	*	0	0	*	0	*	1	1
3	*	*	*	*	*	*	0	1	1	1
4	0	*	*	*	0	*	1	1	1	0
5	*	0	*	*	*	0	1	1	1	0
6	1	1	*	*	*	*	1	*	0	0
7	1	*	*	*	*	1	1	*	0	0
8	*	1	*	*	1	*	1	*	0	0
9	*	*	*	*	1	1	1	*	0	0
10	0	*	*	*	0	*	1	0	хранение	0
11	*	0	*	*	*	0	1	0	хранение	0
12	остальные комбинации входов								хранение	Q0

Таблица задержек

Путь	B0⇒Q0		B0B⇒Q0		B1⇒Q0	B1⇒Q1	B1B⇒Q0		B1B⇒Q1	B2⇒Q0	
Задержка,	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ⁰¹	t ⁰¹	t ⁰¹	t ⁰¹	t ⁰¹	t ¹⁰
нс	8.7	8.9	7.8	8.3	14.7	13.7	11.7	11.5	11.7	9.1	
Путь	B2⇒Q1		B2B⇒Q0		B2B⇒Q1	I0⇒Q0	I0⇒Q1	I1⇒Q0			
Задержка,	t ⁰¹	t ⁰¹	t ¹⁰	t ⁰¹	t ⁰¹	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	
нс	11.4	14.7	8.4	13.7	11.7	10.0	11.8	3.7	5.6		

G0B3I G-триггер с нулевым спейсером, тремя бифазными и одним унарным входами



Элемент **G0B3I** – G-триггер с тремя бифазными (**B0**, **B0B**; **B1**, **B1B**; **B2**, **B2B**) и одним унарным (**I**) входами, парафазным выходом (**Q**, **QB**), нулевым состоянием спейсера.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами схемы: n-типа $N_n=5$ и p-типа $N_p=3$.

Коэффициент объединения по входу **I** – 3.

Рекомендуемая нагрузочная способность по выходу **Q** ≤ 4, по выходу **QB** ≤ 2.

Размер элемента составляет 7 ячеек поля БМК.

Область применения – СС-схемотехника; первичное использование – в составе макроэлементов **SORRE0** и **SORTE0**.

Таблица истинности

№ строки	Входы							Выходы	
	B0	B0B	B1	B1B	B2	B2B	I	Q	QB
1	0	*	0	*	*	*	*	0	1
2	*	0	*	*	*	0	0	0	1
3	0	*	*	*	0	*	0	0	1
4	*	0	*	0	*	*	*	0	1
5	1	1	*	*	*	*	1	1	0
6	1	*	*	1	*	1	1	1	0
7	1	1	*	1	*	0	1	1	0
8	1	*	1	1	*	0	1	1	0
9	1	*	*	1	1	0	1	1	0

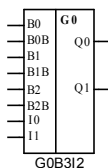
Окончание таблицы

10	*	1	1	*	*	1	1	1	0
11	1	1	1	*	*	0	1	1	0
12	*	1	1	1	*	0	1	1	0
13	*	1	1	*	1	0	1	1	0
14	*	*	1	1	*	*	1	1	0
15	1	1	*	*	*	*	0	хранение	
16	1	*	*	1	*	1	0	хранение	
17	*	1	1	*	1	*	0	хранение	
18	*	*	1	1	1	1	0	хранение	
19	0	1	1	0	0	0	1	1	0
20	1	0	0	1	0	0	1	1	0

Таблица задержек

Путь	B0⇒Q		B0⇒QB		B0B⇒Q		B0B⇒QB		B1⇒Q	B1⇒QB	B1B⇒Q	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ¹⁰	t ⁰¹	t ⁰¹	t ¹⁰
Задержка, нс	6.8	8.4	11.8	6.2	8.1	10.7	10.7	6.4	6.9	7.7	8.7	5.3
Путь	B1B⇒QB		B2⇒Q	B2⇒QB	B2B⇒Q	B2B⇒QB	I⇒Q	I⇒QB				
	t ⁰¹	t ¹⁰	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ⁰¹	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	
Задержка, нс	10.8	6.7	14.5	13.0	12.7	11.9	7.9	11.6	12.5	6.5		

G0B3I2 *G-триггер с нулевым спейсером, тремя бифазными и двумя унарными входами, двумя выходами (вариант 2)*



Элемент **G0B3I2** – G-триггер с тремя бифазными (**B0**, **B0B**; **B1**, **B1B**; **B2**, **B2B**) и двумя унарными (**I0**, **I1**) входами, двумя выходами (**Q**, **QB**), нулевым состоянием спейсера.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами схемы: n-типа $N_n=4$ и p-типа $N_p=3$.

Коэффициент объединения по входам **B1**, **B1B**, **I1** – 2.

Рекомендуемая нагрузочная способность по выходу **Q0** ≤ 4, по выходу **Q1** – 1.

Размер элемента составляет 10 ячеек поля БМК.

Область применения – СС-схемотехника.

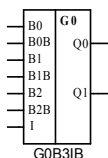
Таблица истинности

№ строки	Входы								Выходы	
	V0	V0V	V1	V1V	V2	V2V	I0	I1	Q0	Q1
1	1	1	*	*	*	*	1	1	0	0
2	1	*	*	1	*	*	1	1	0	0
3	*	1	1	*	*	*	1	1	0	0
4	*	*	1	1	*	*	1	1	0	0
5	0	*	*	*	*	0	*	0	1	1
6	*	0	*	*	0	*	0	0	1	1
7	0	0	0	*	0	*	0	*	1	1
8	*	0	*	0	0	*	0	*	1	1
9	0	*	0	*	*	*	1	1	хранение	0
10	*	0	*	0	*	*	1	1	хранение	0
11	1	1	*	*	*	*	0	1	хранение	Q0
12	1	0	*	1	0	*	0	1	хранение	Q0
13	1	*	*	1	0	*	0	1	хранение	1
14	1	*	*	1	1	*	0	1	хранение	0
15	*	1	1	*	*	*	0	1	хранение	0
16	*	0	1	1	0	*	0	1	хранение	0
17	*	*	1	1	0	*	0	1	хранение	1
18	*	*	1	1	1	*	0	1	хранение	0
19	остальные комбинации входов								хранение	Q0

Таблица задержек

Путь	V0⇒Q0		V0V⇒Q0		V0V⇒Q1		V1⇒Q0		V1⇒Q1		V1V⇒Q0		V2⇒Q0	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
Задержка, нс	7.0	6.7	15.1	7.3	14.9	12.7	6.7	13.4	7.8	7.2	15.0			
Путь	V2⇒Q1		V2V⇒Q0		V2V⇒Q1		I0⇒Q0		I0⇒Q1		I1⇒Q0		I1⇒Q1	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
Задержка, нс	14.9	5.1	12.7		13.4	8.5	9.0	12.4	3.4	8.6	7.5	12.3	2.8	

G0B3IB ***G-триггер с нулевым спейсером, тремя бифазными и одним унарным входами, двумя выходами***



Элемент **G0B3IB** – G-триггер с тремя бифазными (**B0** и **B0B**, **B1** и **B1B**, **B2** и **B2B**) и одним унарным (**I**) входами, двумя выходами (**Q0**, **Q1**), нулевым состоянием спейсера.

Максимальное количество последовательно соединенных транзис-торов в цепочках между общей шиной или шиной питания и выходами элементов схемы: n-типа $Nn=3$ и p-типа $Np=3$.

Коэффициент объединения по входам **B0**, **B0B** и **I** – 2.

Рекомендуемая нагрузочная способность по выходу **Q0** ≤ 4 , по выходу **Q1** – 1.

Размер элемента составляет 9 ячеек поля БМК.

Область применения – СС-схемотехника; первичное использование – в составе макроэлемента **S0RRE1**.

Описание функционирования элемента приводится в описании макроэлемента **S0RRE1**.

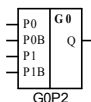
Таблица истинности

№ строки	Входы							Выходы	
	B0	B0B	B1	B1B	B2	B2B	I	Q0	Q1
1	0	*	*	*	*	0	0	1	1
2	*	0	*	*	0	*	0	1	1
3	1	1	*	*	*	*	1	0	0
4	1	*	*	1	*	*	1	0	0
5	*	1	1	*	*	*	1	0	0
6	*	*	1	1	*	*	1	0	0
7	остальные комбинации входов							хранение	0

Таблица задержек

Путь	B0⇒Q0		B0⇒Q1		B0B⇒Q0		B0B⇒Q1		B1⇒Q0		B1B⇒Q0		B2⇒Q0	
Задержка, нс	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
	14.1	8.7	13.7	4.2	11.0	8.7	11.7	4.2	6.5		7.0	11.0	8.8	
Путь	B2⇒Q1		B2B⇒Q0		B2B⇒Q1		I⇒Q0		I⇒Q1					
Задержка, нс	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}				
	11.7	4.3	14.1	8.7	13.7	4.2	11.1	8.3	12.1	3.8				

G0P2 *G-триггер с нулевым спейсером и двумя парафазными входами*



Элемент **G0P2** – гистерезисный триггер для двух парафазных сигналов (**P0**, **P0B** и **P1**, **P1B**) с прямым выходом (**Q**) и нулевым состоянием спейсера. Низкие уровни всех входных сигналов переводят триггер в состояние нуля (**Q=0**) – состояние спейсера. Высокие уровни на одном из входов сигнала **P0**, **P0B** и сигнала **P1**, **P1B** (01, 10 или 11) переводят триггер в состояние единицы (**Q=1**) – рабочее состояние. В остальных случаях триггер обеспечивает хранение информации.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и внутренним выходом первого каскада схемы: n-типа $N_n=2$ и p-типа $N_p=4$.

Коэффициент объединения по входам **P1** и **P1B** – 2.

Рекомендуемая нагрузочная способность по выходу ≤ 3 .

Размер элемента составляет 5 ячеек поля БМК.

Область применения – СС-схемотехника

Таблица истинности

№ строки	Входы				Выход
	P0	P0B	P1	P1B	Q
1	0	0	0	0	0
2	0	1	0	0	хранение
3	0	1	0	1	1
4	0	1	1	0	1
5	1	0	0	0	хранение
6	1	0	0	1	1
7	1	0	1	0	1
8	0	0	0	1	хранение
9	0	0	1	0	хранение
10	1	1	1	*	1
11	1	1	*	1	1
12	1	1	0	0	хранение
13	1	*	1	1	1
14	*	1	1	1	1
15	0	0	1	1	хранение

Таблица задержек

Путь	P0⇒Q		P0B⇒Q		P1⇒Q		P1B⇒Q	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
Задержка, нс	2.2	2.2	2.1	2.3	2.2	2.2	2.2	2.3

G0PI *G-триггер с нулевым спейсером, одним унарным и одним парафазным входами*



Элемент **G0PI** – гистерезисный триггер для одного парафазного (**P**, **PB**) и одного унарного (**I**) входов с прямым выходом (**Q**), нулевым спейсером. Низкие уровни всех входных сигналов переводят триггер в состояние нуля (**Q=0**) – состояние спейсера. Одновременная подача высокого уровня на вход **I** и на любой из входов **P**, **PB** (01, 10 или 11) переводит триггер в состояние единицы (**Q=1**) – рабочее состояние. Во всех остальных случаях триггер обеспечивает хранение информации.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом первого каскада схемы: n-типа $N_n=2$ и p-типа $N_p=3$.

Коэффициент объединения по входу **I** – 2.

Рекомендуемая нагрузочная способность по выходу ≤ 3 .

Размер элемента составляет 4 ячейки поля БМК.

Область применения – СС-схемотехника, подсхемы индикации.

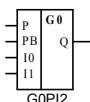
Таблица истинности

№ строки	Входы			Выход
	P	PB	I	Q
1	0	0	0	0
2	1	0	1	1
3	0	1	1	1
4	1	*	0	хранение
5	0	1	0	хранение
6	0	0	1	хранение
7	1	1	1	1

Таблица задержек

Путь	P⇒Q		PB⇒Q		I⇒Q	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
Задержка, нс	2.1	2.2	2.2	2.3	2.1	2.2

G0PI2 *G-триггер с нулевым спейсером, двумя унарными и одним парафазным входами*



Элемент **G0PI2** – гистерезисный триггер для одного парафазного (**P**, **PB**) и двух унарных (**I0** и **I1**) входов с прямым выходом (**Q**), нулевым спейсером. Низкие уровни всех входных сигналов переводят триггер в состояние нуля (**Q=0**) – состояние спейсера. Высокие уровни на входах **I0** и **I1** и на одном из входов сигнала **P**, **PB** (01, 10 или 11) переводят триггер в состояние единицы (**Q=1**) – рабочее состояние. В остальных случаях триггер обеспечивает хранение информации.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом первого каскада схемы: n-типа $N_n=3$ и p-типа $N_p=4$.

Коэффициент объединения по входам **I0** и **I1** – 2.

Рекомендуемая нагрузочная способность по выходу ≤ 3 .

Размер элемента составляет 5 ячеек поля БМК.

Область применения – СС-схемотехника, построение индикаторных элементов.

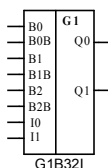
Таблица истинности

№ строки	Входы				Выход
	P	PB	I0	I1	Q
1	0	0	0	0	0
2	0	1	1	1	1
3	1	*	1	1	1
4	0	*	0	1	хранение
5	1	0	0	1	хранение
6	0	0	1	*	хранение
7	1	0	*	0	хранение
8	0	1	*	0	хранение
9	1	1	0	*	хранение
10	1	1	1	0	хранение

Таблица задержек

Путь	P⇒Q		PB⇒Q		I0⇒Q		I1⇒Q	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
Задержка, нс	3.0	4.3	3.0	4.2	3.1	3.8	3.1	4.0

G1B32I *G-триггер с единичным спейсером, тремя бифазными и двумя унарными входами (вариант 1)*



Элемент **G1B32I** – гистерезисный триггер с тремя бифазными (**B0, B0B; B1, B1B; B2, B2B**) и двумя унарными (**I0** и **I1**) входами, двумя выходами (**Q0, Q1**), единичным спейсером.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной

питания и выходами схемы: n-типа $N_n=3$ и p-типа $N_p=3$.

Коэффициент объединения по входам **B2, B2B** и **I0** – 2.

Рекомендуемая нагрузочная способность по выходу **Q0** ≤ 3 , по выходу **Q1** – 1.

Размер элемента составляет 10 ячеек поля БМК.

Область применения – СС-схемотехника; первичное использование – в составе макроэлемента **S1RTE1**.

Описание функционирования элемента приведено в описании макроэлемента **S1RTE1**.

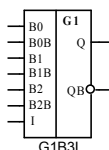
Таблица истинности

№ строки	Входы								Выходы	
	B0	B0B	B1	B1B	B2	B2B	I0	I1	Q0	Q1
1	0	0	*	*	*	*	0	*	1	1
2	0	*	*	*	*	0	0	*	1	1
3	*	0	*	*	0	*	0	*	1	1
4	*	*	*	*	0	0	0	*	1	1
5	*	*	1	*	*	1	1	*	0	0
6	*	*	*	1	1	*	1	*	0	0
7	*	*	*	*	*	*	1	0	0	0
8	1	*	*	*	1	*	0	0	0	1
9	*	1	*	*	*	1	0	0	0	1
10	1	*	*	*	1	*	0	1	хранение	1
11	*	1	*	*	*	1	0	1	хранение	1
12	остальные комбинации входов								хранение	Q0

Таблица задержек

Путь	V0⇒Q0		V0V⇒Q0		V1⇒Q0	V1⇒Q1	V1V⇒Q0	V1V⇒Q1	V2⇒Q0			
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ¹⁰	t ¹⁰	t ¹⁰	t ¹⁰	t ⁰¹	t ¹⁰		
Задержка, нс	8.9	8.1	9.5	8.2	12.4	5.2	12.6	5.2	9.3	13.0		
Путь	V2⇒Q1		V2V⇒Q0		V2V⇒Q1		I0⇒Q0		I0⇒Q1		I1⇒Q0	
	t ¹⁰	t ⁰¹	t ¹⁰	t ¹⁰	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ¹⁰	t ¹⁰	t ¹⁰
Задержка, нс	5.6	9.3	12.4	5.1	10.3	6.8	5.7	9.2	5.6			

G1B3I *G-триггер с единичным спейсером, тремя бифазными и одним унарным входами*



Элемент **G1B3I** – гистерезисный триггер с тремя бифазными (**V0, V0B; V1, V1B; V2, V2B**) и одним унарным (**I**) входами, парафазным выходом (**Q, QB**), единичным спейсером.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами схемы: n-типа $N_n=3$ и p-типа $N_p=5$.

Коэффициент объединения по входу **I** – 3.

Рекомендуемая нагрузочная способность по выходу **Q** ≤ 4 , по выходу **QB** ≤ 2 .

Размер элемента составляет 6 ячеек поля БМК.

Область применения – СС-схемотехника; первичное использование – в составе макроэлементов **S1RRE0** и **S1RTE0**.

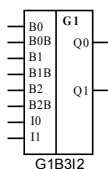
Таблица истинности

№ строки	Входы							Выходы	
	B0	B0B	B1	B1B	B2	B2B	I	Q	QB
1	1	*	1	*	*	*	*	1	0
2	*	1	*	1	*	*	*	1	0
3	*	1	*	*	*	1	1	1	0
4	1	*	*	*	1	*	1	1	0
5	0	0	*	*	*	*	0	0	1
6	0	*	*	0	*	0	0	0	1
7	0	0	*	0	*	1	0	0	1
8	0	*	0	0	*	1	0	0	1
9	0	*	*	0	0	1	0	0	1
10	*	0	0	*	*	1	0	0	1
11	0	0	0	*	*	0	0	0	1
12	*	0	0	0	*	0	0	0	1
13	*	0	0	*	0	0	0	0	1
14	*	*	0	0	*	*	0	0	1
15	0	0	*	*	*	*	1	хранение	
16	0	*	*	0	*	0	1	хранение	
17	*	0	0	*	0	*	1	хранение	
18	*	*	0	0	0	0	1	хранение	
19	1	0	0	1	1	0	0	0	1
20	0	1	1	0	1	1	0	0	1

Таблица задержек

Путь	B0⇒Q		B0⇒QB		B0B⇒Q		B0B⇒QB		B1⇒Q		B1⇒QB	
Задержка, нс	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
	6.5	11.8	12.0	6.6	8.7	12.4	12.2	5.7	6.3	11.8	12.0	4.4
Путь	B1B⇒Q		B1B⇒QB		B2⇒Q		B2⇒QB		B2B⇒Q		B2B⇒QB	
Задержка, нс	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹		t ¹⁰		t ⁰¹		t ¹⁰	
	5.8	12.2	12.1	4.2	8.3		5.6		8.8		5.7	
Путь	I⇒Q		I⇒QB									
Задержка, нс	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰								
	8.4	12.0	11.9	5.5								

G1B3I2 *G-триггер с единичным спейсером, тремя бифазными и двумя унарными входами (вариант 2)*



Элемент **G1B3I2** – гистерезисный триггер с тремя бифазными (**B0, B0B; B1, B1B; B2, B2B**) и двумя унарными (**I0** и **I1**) входами, двумя выходами (**Q0, Q1**), единичным спейсером.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами элементов схемы: n-типа $N_n=3$ и p-типа $N_p=4$.

Коэффициент объединения по входам **B0, B0B** и **I1** – 2.

Рекомендуемая нагрузочная способность по выходу **Q0** ≤ 4, по выходу **Q1** – 1.

Размер элемента составляет 11 ячеек поля БМК.

Область применения – СС-схемотехника.

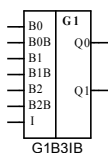
Таблица истинности

№ строки	Входы								Выходы	
	B0	B0B	B1	B1B	B2	B2B	I0	I1	Q0	Q1
1	0	0	*	*	*	*	0	0	1	1
2	0	*	*	0	*	*	0	0	1	1
3	*	0	0	*	*	*	0	0	1	1
4	*	*	0	0	*	*	0	0	1	1
5	1	*	*	*	*	1	*	1	0	0
6	*	1	*	*	1	*	1	1	0	0
7	1	1	1	*	1	*	1	*	0	0
8	*	1	*	1	1	*	1	*	0	0
9	1	*	1	*	*	*	0	0	хранение	1
10	*	1	*	1	*	*	0	0	хранение	1
11	0	1	*	0	1	*	1	0	хранение	0
12	0	*	*	0	*	*	1	0	хранение	0
13	*	1	0	0	1	*	1	0	хранение	0
14	*	*	0	0	*	*	1	0	хранение	0
15	*	0	0	*	*	*	1	0	хранение	Q0
16	*	1	0	0	0	*	1	0	хранение	Q0
17	остальные комбинации входов								хранение	Q0

Таблица задержек

Путь	B0⇒Q0		B0⇒Q1		B0B⇒Q0		B0B⇒Q1		B1⇒Q0		B1⇒Q1	
Задержка, нс	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
	7.1	3.8	6.3	8.2	7.2	3.9	6.3	8.2	7.5	3.9	6.3	8.7
Путь	B1B⇒Q0		B1B⇒Q1		B2⇒Q0		B2⇒Q1		B2B⇒Q0		B2B⇒Q1	
Задержка, нс	t^{01}	t^{10}	t^{01}	t^{10}	t^{10}	t^{10}	t^{10}	t^{10}	t^{10}	t^{10}	t^{10}	t^{10}
	6.7	3.7	6.2	7.7	11.7		5.8		9.2		4.6	
Путь	I0⇒Q0		I0⇒Q1		I1⇒Q0		I1⇒Q1					
Задержка, нс	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}				
	11.9	8.4	15.5	3.5	11.7	8.4	15.2	3.7				

G1B3IB ***G-триггер с единичным спейсером, тремя бифазными и одним унарным входами, двумя выходами***



Элемент **G1B3IB** – гистерезисный триггер с тремя бифазными (**B0**, **B0B**; **B1**, **B1B**; **B2**, **B2B**) и одним унарным (**I**) входами, двумя выходами (**Q0**, **Q1**), единичным спейсером.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами элементов схемы: n-типа $N_n=3$ и p-типа $N_p=3$.

Коэффициент объединения по входам **B0**, **B0B** и **I** – 2.

Рекомендуемая нагрузочная способность по выходу **Q0** ≤ 4, по выходу **Q1** – 1.

Размер элемента составляет 9 ячеек поля БМК.

Область применения – СС-схемотехника; первичное использование – в составе макроэлемента **S1RRE1**.

Описание функционирования элемента приводится в описании макроэлемента **S1RRE1**.

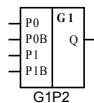
Таблица истинности

№ строки	Входы							Выходы	
	V0	V0B	V1	V1B	V2	V2B	I	Q0	Q1
1	0	0	*	*	*	*	0	1	1
2	0	*	*	0	*	*	0	1	1
3	*	0	0	*	*	*	0	1	1
4	*	*	0	0	*	*	0	1	1
5	1	*	*	*	*	1	1	0	0
6	*	1	*	*	1	*	1	0	0
7	*	*	*	*	*	*	1	хранение	0
8	1	*	1	*	*	*	0	хранение	1
9	*	1	*	1	*	*	0	хранение	1
10	остальные комбинации входов							хранение	Q0

Таблица задержек

Путь	V0⇒Q0		V0⇒Q1		V0B⇒Q0		V0B⇒Q1		V1⇒Q0		V1⇒Q1	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
Задержка, нс	7.1	3.8	6.3	8.2	7.2	3.9	6.3	8.2	7.5	3.9	6.3	8.7
Путь	V1B⇒Q0		V1B⇒Q1		V2⇒Q0		V2⇒Q1		V2B⇒Q0		V2B⇒Q1	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ¹⁰		t ¹⁰		t ¹⁰		t ¹⁰	
Задержка, нс	6.7	3.7	6.2	7.7	10.3		5.0		10.2		5.1	
Путь	I⇒Q0		I⇒Q1									
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰								
Задержка, нс	8.2	9.9	7.3	4.7								

G1P2 *G-триггер с единичным спейсером и двумя парафазными входами*



Элемент **G1P2** – гистерезисный триггер для двух парафазных входов (**P0**, **P0B** и **P1**, **P1B**) с прямым выходом (**Q**), единичным спейсером. Высокие уровни всех входных сигналов переводят триггер в состояние единицы (**Q=1**) – состояние спейсера. Низкие уровни хотя бы на одном из входов сигнала **P0**, **P0B** и сигнала **P1**, **P1B** (00, 01 или 10) переводят триггер в состояние нуля (**Q=0**) – рабочее состояние. В остальных случаях триггер обеспечивает хранение информации.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом первого каскада схемы: n-типа $N_n=4$ и p-типа $N_p=2$.

Коэффициент объединения по входам **P1** и **P1B** – 2.

Рекомендуемая нагрузочная способность по выходу ≤ 3 .

Размер элемента составляет 5 ячеек поля БМК.

Область применения – СС-схемотехника.

Таблица истинности

№ строки	Входы				Выход
	P0	P0B	P1	P1B	Q
1	1	1	1	1	1
2	0	1	1	1	хранение
3	1	0	1	1	хранение
4	0	1	1	0	0
5	1	0	1	0	0
6	0	1	0	1	0
7	1	0	0	1	0
8	1	1	0	1	хранение
9	1	1	1	0	хранение
10	0	0	*	0	0
11	0	0	0	*	0
12	0	0	1	1	хранение
13	0	*	0	0	0
14	*	0	0	0	0
15	1	1	0	0	хранение

Таблица задержек

Путь	P0 \Rightarrow Q		P0B \Rightarrow Q		P1 \Rightarrow Q		P1B \Rightarrow Q	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
Задержка, нс	3.0	4.3	3.1	4.2	3.1	4.0	3.1	3.8

G1PI G-триггер с единичным спейсером, одним унарным и одним парафазным входами



Элемент **G1PI** – гистерезисный триггер для одного парафазного (**P**, **PВ**) и одного унарного (**I**) входов с прямым выходом (**Q**), единичным спейсером. Высокие уровни всех входных сигналов переводят триггер в состояние единицы (**Q=1**) – состояние спейсера. Одновременная подача низкого уровня на вход **I** и на любой из входов **P**, **PВ** (00, 01 или 10) переводит триггер в состояние нуля (**Q=0**) – рабочее состояние. Во всех остальных случаях триггер обеспечивает хранение информации.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом первого каскада схемы: n-типа $N_n=3$ и p-типа $N_p=2$.

Коэффициент объединения по входу **I** – 2.

Рекомендуемая нагрузочная способность по выходу ≤ 3 .

Размер элемента составляет 4 ячейки поля БМК.

Область применения – СС-схемотехника, в качестве элемента индикации.

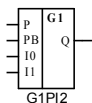
Таблица истинности

№ строки	Входы			Выход
	P	PВ	I	Q
1	1	1	1	1
2	1	1	0	хранение
3	1	0	0	0
4	0	*	0	0
5	1	0	1	хранение
6	0	0	0	0
7	0	0	1	хранение

Таблица задержек

Путь	P \Rightarrow Q		PВ \Rightarrow Q		I \Rightarrow Q	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
Задержка, нс	2.2	2.2	2.2	2.2	2.2	2.2

G1P12 *G-триггер с единичным спейсером, двумя унарными и одним парафазным входами*



Элемент **G1P12** – гистерезисный триггер для одного парафазного (**P**, **PB**) и двух унарных (**I0** и **I1**) входов с прямым выходом (**Q**), единичным спейсером. Высокие уровни всех входных сигналов переводят триггер в состояние единицы (**Q=1**) – состояние спейсера. Низкие уровни на входах **I0** и **I1** и на любом из входов **P**, **PB** (00, 01 или 10) переводят триггер в состояние нуля (**Q=0**) – рабочее состояние. Во всех остальных допустимых состояниях триггер обеспечивает хранение информации.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и внутренним выходом первого каскада схемы: n-типа $Nn=4$ и p-типа $Np=3$.

Коэффициент объединения по входам **I0** и **I1** – 2.

Рекомендуемая нагрузочная способность по выходу ≤ 3 .

Размер элемента составляет 5 ячеек поля БМК.

Область применения – СС-схемотехника, построение индикаторных элементов.

Таблица истинности

№ строки	Входы				Выход
	P	PB	I0	I1	Q
1	1	1	1	1	1
2	0	1	1	*	хранение
3	1	0	1	*	хранение
4	0	1	*	1	хранение
5	1	0	*	1	хранение
6	1	1	0	*	хранение
7	1	1	*	0	хранение
8	0	1	0	0	0
9	*	0	0	0	0
10	0	0	0	1	хранение
11	0	0	1	*	хранение

Таблица задержек

Путь	P \Rightarrow Q		PB \Rightarrow Q		I0 \Rightarrow Q		I1 \Rightarrow Q	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
Задержка, нс	3.0	4.3	3.0	4.9	3.1	3.8	3.1	4.0

G12 G-триггер с двумя унарными входами



Элемент **G12** – гистерезисный триггер для двух унарных входов (**I0** и **I1**) с прямым выходом (**Q**). Низкий уровень на всех входах переводит триггер в состояние нуля (**Q=0**). Высокий уровень на всех входах переводит триггер в состояние единицы (**Q=1**). В остальных случаях триггер обеспечивает хранение информации.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом первого каскада схемы: n-типа $N_n=2$ и p-типа $N_p=2$.

Коэффициент объединения по всем входам – 2.

Рекомендуемая нагрузочная способность по выходу ≤ 4 .

Размер элемента составляет 3 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника, в СС-схемотехнике – в качестве сборщика индикаторных сигналов. В синхронной схемотехнике, например, в качестве триггера-компаратора, фиксирующего факт совпадения уровней сигналов.

Таблица истинности

№ строки	Входы		Выход
	I0	I1	Q
1	0	0	0
2	0	1	хранение
3	1	0	хранение
4	1	1	1

Таблица задержек

Путь	I0⇒Q		I1⇒Q	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
Задержка, нс	1.7	2.0	1.7	2.2

GI2M G-триггер с двумя унарными входами и парафазным выходом



Элемент **GI2M** – гистерезисный триггер для двух унарных входов (**I0** и **I1**) с парафазным выходом (**Q**, **QB**). Низкий уровень входных сигналов **I0** и **I1** переводит триггер в состояние нуля (**Q=0**, **QB=1**); высокий уровень на входах **I0** и

I1 переводит триггер в состояние единицы (**Q=1**, **QB=0**). В остальных случаях триггер обеспечивает хранение информации.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $Nn=2$ и p-типа $Np=2$.

Коэффициент объединения по всем входам – 2.

Рекомендуемая нагрузочная способность по выходу **Q** ≤ 4 , по выходу **QB** ≤ 3 .

Размер элемента составляет 3 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника, в СС-схемотехнике – в качестве сборщика индикаторных сигналов. В синхронной схемотехнике, например, в качестве триггера-компаратора, фиксирующего факт совпадения уровней сигналов.

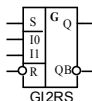
Таблица истинности

№ строки	Входы		Выходы	
	I0	I1	Q	QB
1	0	0	0	1
2	0	1	хранение	
3	1	0	хранение	
4	1	1	1	0

Таблица задержек

Путь	I0⇒Q		I0⇒QB		I1⇒Q		I1⇒QB	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
Задержка, нс	1.7	2.0	3.6	2.0	1.7	2.1	2.4	0.8

GI2RS G-триггер с двумя унарными входами, парафазным выходом, асинхронными сбросом и установкой



Элемент **GI2RS** – гистерезисный триггер для двух унарных входов (**I0**, **I1**) с асинхронными входами сброса (**R**) и установки (**S**), парафазным выходом (**Q**, **QB**). Низкий уровень входных сигналов **I0** и **I1** переводит триггер в состояние нуля (**Q=0**, **QB=1**); высокий уровень на входах **I0** и **I1** переводит триггер в состояние единицы (**Q=1**, **QB=0**). В остальных случаях триггер обеспечивает хранение информации. Входы установки нуля (**R=0**) и единицы (**S=1**) используются для начальной инициализации триггера при значениях входов **I0** \neq **I1**.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $Nn=3$ и p-типа $Np=3$.

Коэффициент объединения по входам **I0** и **I1** – 2.

Рекомендуемая нагрузочная способность по выходу **Q** ≤ 4 , по выходу **QB** ≤ 2 .

Размер элемента составляет 4 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника. В СС-схемотехнике – в качестве сборщика индикаторных сигналов. В синхронной схемотехнике, например, в качестве триггера-компаратора, фиксирующего факт совпадения уровней сигналов.

Таблица истинности

№ строки	Входы				Выход	
	S	I0	I1	R	Q	QB
1	0	0	0	1	0	1
2	0	0	1	1	хранение	
3	0	1	0	1	хранение	
4	0	1	1	1	1	0
5	0	0	*	0	0	1
6	0	*	0	0	0	1
7	1	1	*	1	1	0
8	1	*	1	1	1	0
9	1	0	0	0	0	1

Окончание таблицы

10	1	1	1	0	1	0
11 ¹⁾	1	0	1	0	X	
12 ¹⁾	1	1	0	0	X	
13 ¹⁾	1	0	0	1	X	
14 ¹⁾	0	1	1	0	X	

¹⁾ Протекает сквозной ток.

Таблица задержек

Путь	I0⇒Q		I0⇒QB		I1⇒Q		I1⇒QB		R⇒Q	R⇒QB	S⇒Q	S⇒QB
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ¹⁰	t ⁰¹	t ⁰¹	t ¹⁰
Задержка, нс	4.8	1.8	4.5	2.4	5.0	1.9	4.7	2.4	5.2	2.9	2.4	3.6

G13 *G-триггер с тремя унарными входами*

Элемент **G13** – гистерезисный триггер для трех унарных входов (**I0**, **I1** и **I2**) с прямым выходом (**Q**). Низкий уровень на всех входах переводит триггер в состояние нуля (**Q=0**); высокий уровень на всех входах переводит триггер в состояние единицы (**Q=1**). В остальных случаях триггер обеспечивает хранение информации.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом первого каскада схемы: n-типа $N_n=3$ и p-типа $N_p=3$.

Коэффициент объединения по всем входам – 2.

Рекомендуемая нагрузочная способность по выходу ≤ 4 .

Размер элемента составляет 4 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника. В СС-схемотехнике – в качестве сборщика индикаторных сигналов. В синхронной схемотехнике, например, в качестве триггера-компаратора, фиксирующего факт совпадения уровней сигналов.

Таблица истинности

№ строки	Входы			Выход
	I0	I1	I2	Q
1	0	0	0	0
2	1	1	1	1
3	остальные сочетания входных сигналов			хранение

Таблица задержек

Путь	I0⇒Q		I1⇒Q		I2⇒Q	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
Задержка, нс	2.2	2.9	2.2	2.9	2.2	2.9

G13M *G-триггер с тремя унарными входами, мостовая схема*



Элемент G13M – гистерезисный триггер для трех унарных входов (I0, I1 и I2) с прямым выходом (Q) и мостовой схемой.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом первого каскада схемы: n-типа $N_n=3$ и p-типа $N_p=3$.

Коэффициент объединения по всем входам – 2.

Рекомендуемая нагрузочная способность по выходу ≤ 4 .

Размер элемента составляет 3 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника. В СС-схемотехнике – в качестве сборщика индикаторных сигналов. В синхронной схемотехнике, например, в качестве триггера-компаратора, фиксирующего факт совпадения уровней сигналов.

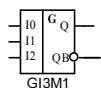
Таблица истинности

№ строки	Входы			Выход
	I0	I1	I2	Q
1	0	0	0	0
2	1	1	1	1
3	остальные сочетания входных сигналов			хранение

Таблица задержек

Путь	I0⇒Q		I1⇒Q		I2⇒Q	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
нс	2.5	3.2	2.5	2.8	2.5	3.2

Г1ЗМ1 *G-триггер с тремя унарными входами и парафазным выходом*



Элемент **Г1ЗМ1** – гистерезисный триггер для трех унарных входов (**I0**, **I1** и **I2**) с парафазным выходом (**Q**, **QB**). Низкий уровень на всех входах переводит триггер в состояние нуля (**Q=0**, **QB=1**); высокий уровень на всех входах переводит триггер в состояние единицы (**Q=1**, **QB=0**). В остальных случаях триггер обеспечивает хранение информации.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами схемы: n-типа $N_n=3$ и p-типа $N_p=3$.

Коэффициент объединения по всем входам – 2.

Рекомендуемая нагрузочная способность по выходу **Q** ≤ 4, по выходу **QB** ≤ 2.

Размер элемента составляет 3 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника. В СС-схемотехнике – в качестве сборщика индикаторных сигналов. В синхронной схемотехнике, например, в качестве триггера-компаратора, фиксирующего факт совпадения уровней сигналов.

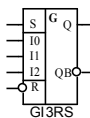
Таблица истинности

№ строки	Входы			Выходы	
	I0	I1	I2	Q	QB
1	0	0	0	0	1
2	1	1	1	1	0
3	остальные сочетания входных сигналов			хранение	

Таблица задержек

Путь	I0⇒Q		I0⇒QB		I1⇒Q		I1⇒QB		I2⇒Q		I2⇒QB	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
нс	2.9	3.7	5.0	4.9	2.9	3.3	4.6	4.8	2.9	3.7	4.9	4.6

G13RS *G-триггер с тремя унарными входами, парафазным выходом, асинхронными сбросом и установкой*



Элемент **G13RS** – гистерезисный триггер для трех унарных входов (**I0**, **I1**, **I2**) с асинхронными входами сброса (**R**) и установки (**S**), парафазным выходом (**Q**, **QB**). Низкий уровень входных сигналов **I0**, **I1** и **I2** переводит триггер в состояние нуля (**Q=0**, **QB=1**); высокий уровень на входах **I0**, **I1** и **I2** переводит триггер в состояние единицы (**Q=1**, **QB=0**). В остальных случаях триггер обеспечивает хранение информации. Входы установки нуля (**R=0**) и единицы (**S=1**) используются для начальной инициализации триггера при любых состояниях входов **I0**, **I1** и **I2**, не указанных выше.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами схемы: n-типа $N_n=3$ и p-типа $N_p=3$.

Коэффициент объединения по входам **I0**, **I1** и **I2** – 2.

Рекомендуемая нагрузочная способность по выходу **Q** ≤ 4 , по выходу **QB** ≤ 2 .

Размер элемента составляет 5 ячеек поля БМК.

Область применения – синхронная и СС-схемотехника. В СС-схемотехнике – в качестве сборщика индикаторных сигналов. В синхронной схемотехнике, например, в качестве триггера-компаратора, фиксирующего факт совпадения уровней сигналов.

Таблица истинности

№ строки	Входы					Выход	
	S	I0	I1	I2	R	Q	QB
1	0	0	0	0	1	0	1
2 ¹⁾	0	*	*	*	1	хранение	
3	0	1	1	1	1	1	0
4	0	0	*	*	0	0	1
5	0	*	0	*	0	0	1
6	0	*	*	0	0	0	1
7	1	1	*	*	1	1	0
8	1	*	1	*	1	1	0
9	1	*	*	1	1	1	0

Окончание таблицы

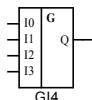
10	1	0	0	0	0	0	1
11	1	1	1	1	0	1	0
12 ^{1,2)}	1	*	*	*	0	X	
13 ²⁾	1	0	0	0	1	1	0
14 ²⁾	0	1	1	1	0	X	

¹⁾ Кроме комбинаций входов I0=I1=I2=0, I0=I1=I2=1.

²⁾ Протекает сквозной ток.

Таблица задержек

Путь	I0⇒Q		I0⇒QB		I1⇒Q		I1⇒QB		I2⇒Q		I2⇒QB	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
Задержка, нс	4.8	1.8	4.4	2.4	4.9	1.9	4.7	2.4	4.6	1.2	4.1	2.0
Путь	R⇒Q		R⇒QB		S⇒Q		S⇒QB					
	t ¹⁰		t ⁰¹		t ⁰¹		t ¹⁰					
Задержка, нс	5.2		2.9		2.3		3.5					

G14 G-триггер с четырьмя унарными входами

Элемент **G14** – гистерезисный триггер для четырех унарных входов (**I0**, **I1**, **I2** и **I3**) с прямым выходом (**Q**). Низкий уровень на всех входах переводит триггер в состояние нуля (**Q=0**); высокий уровень на всех входах переводит триггер в состояние единицы (**Q=1**). В остальных случаях триггер обеспечивает хранение информации.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом первого каскада схемы: n-типа $Nn=4$ и p-типа $Np=4$.

Коэффициент объединения по всем входам – 2.

Рекомендуемая нагрузочная способность по выходу ≤ 4 .

Размер элемента составляет 5 ячеек поля БМК.

Область применения – синхронная и СС-схемотехника. В СС-схемотехнике – в качестве сборщика индикаторных сигналов. В синхронной схемотехнике, например, в качестве триггера-компаратора, фиксирующего факт совпадения уровней сигналов.

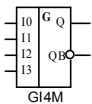
Таблица истинности

№ строки	Входы				Выход
	I0	I1	I2	I3	Q
1	0	0	0	0	0
2	1	1	1	1	1
3	остальные сочетания входных сигналов				хранение

Таблица задержек

Путь	I0⇒Q		I1⇒Q		I2⇒Q		I3⇒Q	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
Задержка, нс	2.7	4.2	2.7	4.0	2.7	3.8	2.7	3.7

GI4M G-триггер с четырьмя унарными входами и парафазным выходом



Элемент **GI4M** – гистерезисный триггер для четырех унарных входов (**I0**, **I1**, **I2** и **I3**) с парафазным выходом (**Q**, **QB**). Низкий уровень всех входных сигналов переводит триггер в состояние нуля (**Q=0**, **QB=1**), высокий – в состояние единицы (**Q=1**, **QB=0**). В остальных случаях триггер обеспечивает хранение информации.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=4$ и p-типа $N_p=4$.

Коэффициент объединения по всем входам – 2.

Рекомендуемая нагрузочная способность по выходу **Q** ≤ 4, по выходу **QB** – 1.

Размер элемента составляет 5 ячеек поля БМК.

Область применения – синхронная и СС-схемотехника. В СС-схемотехнике – в качестве сборщика индикаторных сигналов. В синхронной схемотехнике, например, в качестве триггера-компаратора, фиксирующего факт совпадения уровней сигналов.

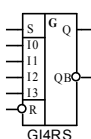
Таблица истинности

№ строки	Входы				Выходы	
	I0	I1	I2	I3	Q	QB
1	0	0	0	0	0	1
2	1	1	1	1	1	0
3	остальные сочетания входных сигналов				хранение	

Таблица задержек

Путь	I0⇒Q		I0⇒QB		I1⇒Q		I1⇒QB		I2⇒Q		I2⇒QB	
Задержка, нс	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
	2.7	4.2	9.3	3.7	2.7	4.0	9.3	3.7	2.7	3.8	8.8	3.6
Путь	I3⇒Q		I3⇒QB									
Задержка, нс	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰								
	2.7	3.7	8.7	3.7								

GI4RS G-триггер с четырьмя унарными входами, парафазным выходом, асинхронным сбросом и установкой



Элемент **GI4RS** – гистерезисный триггер для четырех унарных входов (**I0**, **I1**, **I2** и **I3**) с асинхронными входами сброса (**R**) и установки (**S**), парафазным выходом (**Q**, **QB**). Низкий уровень на всех входах **I0** – **I3** переводит триггер в состояние нуля (**Q=0**, **QB=1**), высокий – в состояние единицы (**Q=1**, **QB=0**). В остальных случаях триггер обеспечивает хранение информации. Входы установки нуля (**R=0**) и единицы (**S=1**) используются для начальной инициализации триггера при любых комбинациях входов **I0**, **I1**, **I2** и **I3**, не указанных выше.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами схемы: п-типа $N_p=4$ и р-типа $N_p=4$.

Коэффициент объединения по входам **I0**, **I1**, **I2** и **I3** – 2.

Рекомендуемая нагрузочная способность по выходу **Q** ≤ 4, по выходу **QB** – 1.

Размер элемента составляет 6 ячеек поля БМК.

Область применения – синхронная и СС-схемотехника. В СС-схемотехнике – в качестве сборщика индикаторных сигналов. В синхронной схемотехнике, например, в качестве триггера-компаратора, фиксирующего факт совпадения уровней сигналов.

Таблица истинности

№ строки	Входы						Выход	
	S	I0	I1	I2	I3	R	Q	QB
1	0	0	0	0	0	1	0	1
2 ¹⁾	0	*	*	*	*	1	хранение	
3	0	1	1	1	1	1	1	0
4	0	0	*	*	*	0	0	1
5	0	*	0	*	*	0	0	1
6	0	*	*	0	*	0	0	1
7	0	*	*	*	0	0	0	1
8	1	1	*	*	*	1	1	0
9	1	*	1	*	*	1	1	0
10	1	*	*	1	*	1	1	0
11	1	*	*	*	1	1	1	0
12	1	0	0	0	0	0	0	1
13	1	1	1	1	1	0	1	0
14 ^{1,2)}	1	*	*	*	*	0	X	
15 ²⁾	1	0	0	0	0	1	1	0
16 ²⁾	0	1	1	1	1	0	X	

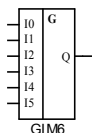
1) Кроме комбинаций входов I0=I1=I2=I3=0 и I0=I1=I2=I3=1.

2) Протекает сквозной ток.

Таблица задержек

Путь	I0⇒Q		I0⇒QB		I1⇒Q		I1⇒QB		I2⇒Q		I2⇒QB	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
Задержка, нс	4.8	1.8	4.5	2.4	5.0	1.9	4.7	2.4	4.6	1.2	4.0	2.0
Путь	I3⇒Q		I3⇒QB		R⇒Q		R⇒QB		S⇒Q		S⇒QB	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ¹⁰	t ⁰¹	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
Задержка, нс	4.3	0.9	3.7	1.8	5.2	3.0	2.3	3.6				

GIM6 Шестивходовой G-триггер



Элемент **GIM6** – гистерезисный триггер для шести унарных входов (**10 – 15**). Для нормальной работы триггера к моменту переключения входа **10** в состояние 0 (1) все остальные входы должны успеть перейти в это же состояние 0 (1). В противном случае возможно протекание сквозного тока и неопределенное состояние на выходе.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом первого каскада схемы: n-типа $N_n=2$ и p-типа $N_p=2$.

Рекомендуемая нагрузочная способность по выходу ≤ 4 .

Размер элемента составляет 4 ячейки поля БМК.

Область применения – СС-схемотехника, индикаторные подсхемы.

Таблица истинности

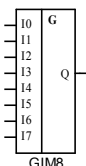
№ строки	Входы						Выход	
	10	11	12	13	14	15	Q	Q ⁺
1	0	0	0	0	0	0	X	0
2	1	1	1	1	1	1	X	1
3 ¹⁾	1	"0" на любом входе					0	X
4	1	"0" на любом входе					1	хранение
5	0	"1" на любом входе					0	хранение
6 ¹⁾	0	"1" на любом входе					1	X

¹⁾ Протекает сквозной ток.

Таблица задержек

Путь	10⇒Q	
Задержка, нс	t ⁰¹	t ¹⁰
	0.7	1.2

GIM8 Восьмивходовой G-триггер



Элемент **GIM8** – гистерезисный триггер для восьми унарных входов (**10 – 17**). Для нормальной работы триггера к моменту переключения входа **10** в состояние 0 (1) все остальные входы должны успеть перейти в то же состояние 0 (1). В противном случае возможно протекание сквозного

тока и неопределенное состояние на выходе.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом первого каскада схемы: n-типа $N_n=2$ и p-типа $N_p=2$.

Рекомендуемая нагрузочная способность по выходу ≤ 4 .

Размер элемента составляет 5 ячеек поля БМК.

Область применения – СС-схемотехника, индикаторные подсхемы.

Таблица истинности

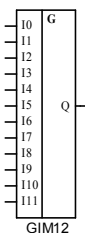
№ строки	Входы								Выход	
	I0	I1	I2	I3	I4	I5	I6	I7	Q	Q ⁺
1	0	0	0	0	0	0	0	0	X	0
2	1	1	1	1	1	1	1	1	X	1
3 ¹⁾	1	"0" на любом входе							0	X
4	1	"0" на любом входе							1	хранение
5	0	"1" на любом входе							0	хранение
6 ¹⁾	0	"1" на любом входе							1	X

1) Протекает сквозной ток.

Таблица задержек

Путь	I0⇒Q	
	t ⁰¹	t ¹⁰
Задержка, нс	0.7	1.2

GIM12 Двенадцативходовой G-триггер



Элемент **GIM12** – гистерезисный триггер для двенадцати унарных входов (I0 – I11). Для нормальной работы триггера к моменту переключения входа I0 в состояние 0 (1) все остальные входы должны успеть перейти в то же состояние 0 (1). В противном случае возможно протекание сквозного тока и неопределенное состояние на выходе.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом первого каскада схемы: n-типа $N_n=2$ и p-типа

№р=2.

Рекомендуемая нагрузочная способность по выходу ≤ 4 .

Размер элемента составляет 7 ячеек поля БМК.

Область применения – СС-схемотехника, индикаторные подсхемы.

Таблица истинности

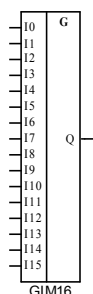
№ строки	Входы		Выход	
	И0	И1–И11	Q	Q ⁺
1	0	0	X	0
2	1	1	X	1
3 ¹⁾	1	"0" на любом входе И1–И11	0	X
4	1	"0" на любом входе И1–И11	1	хранение
5	0	"1" на любом входе И1–И11	0	хранение
6 ¹⁾	0	"1" на любом входе И1–И11	1	X

1) Протекает сквозной ток.

Таблица задержек

Путь	И0⇒Q	
	t ⁰¹	t ¹⁰
Задержка, нс	0.7	1.2

GIM16 Шестнадцативходовой G-триггер



Элемент **GIM16** – гистерезисный триггер для шестнадцати унарных входов (**И0 – И15**). Для нормальной работы триггера к моменту переключения входа **И0** в состояние 0 (1) все остальные входы должны успеть перейти в это же состояние 0 (1). В противном случае возможно протекание сквозного тока и неопределенное состояние на выходе.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом первого каскада схемы: n-типа $N_n=2$ и p-типа $N_p=2$.

Рекомендуемая нагрузочная способность по выходу ≤ 4 .

Размер элемента составляет 9 ячеек поля БМК.

Область применения – СС-схемотехника, индикаторные подсхемы.

Таблица истинности

№ строки	Входы		Выход	
	I0	I1–I15	Q	Q ⁺
1	0	0	X	0
2	1	1	X	1
3 ¹⁾	1	"0" на любом входе I1–I15	0	X
4	1	"0" на любом входе I1–I15	1	хранение
5	0	"1" на любом входе I1–I15	0	хранение
6 ¹⁾	0	"1" на любом входе I1–I15	1	X

1) Протекает сквозной ток.

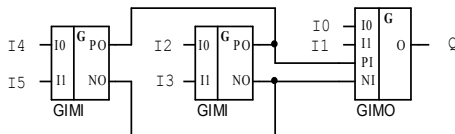
Таблица задержек

Путь	I0⇒Q	
	t ⁰¹	t ¹⁰
Задержка, нс	0.7	1.2

GIMI Двухвходовая секция многовходового G-триггера (входная)



Элемент **GIMI** предназначен для построения многовходовых G-триггеров совместно с элементом **GIMO** – выходной секцией многовходового G-триггера. При этом выходы **PO** и **NO** элемента **GIMI** подключаются, соответственно, к шинам **PI** и **NI** элемента **GIMO**. Пример использования элемента для построения шестивходового G-триггера приведен на рисунке ниже.



Построение шестивходового G-триггера на основе GIMI

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=1$ и p-типа $N_p=1$.

Размер элемента составляет 1 ячейку поля БМК.

Область применения – СС-схемотехника.

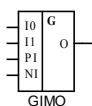
Таблица истинности

№ строки	Входы		Выходы	
	И0	И1	РО	НО
1	0	0	1	Z
2	1	0	1	0
3	0	1	1	0
4	1	1	Z	0

Таблица задержек

Путь	И0⇒РО		И0⇒НО		И1⇒РО		И1⇒НО	
	t^{Z1}	t^{1Z}	t^{0Z}	t^{Z0}	t^{Z1}	t^{1Z}	t^{0Z}	t^{Z0}
Задержка, нс	0.1	0.1	0.1	0.1	0.1	0.1	0.1	0.1

GIMO Двухвходовая секция многовходового G-триггера (выходная)



Элемент **GIMO** предназначен для построения многовходовых G-триггеров совместно с элементом **GIMI** – входной секцией многовходового G-триггера. При этом выходы **РО** и **НО** элемента **GIMI** подключаются, соответственно, к шинам **PI** и **NI** элемента **GIMO**. Пример использования элемента для построения шестивходового G-триггера приведен на рисунке в описании элемента **GIMI**.

Для нормальной работы триггера к моменту переключения входа **И0** в состояние 0 (1) вход **И1** должен успеть перейти в это же состояние. В противном случае возможно протекание сквозного тока и неопределенное состояние на выходе.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом первого каскада схемы: n-типа $Nn=2$ и p-типа $Np=2$.

Рекомендуемая нагрузочная способность по выходу ≤ 4 .
Количество подключаемых секций **GIMI** – не более 15.

Размер элемента составляет 2 ячейки поля БМК.

Область применения – СС-схемотехника.

Область применения – СС-схемотехника.

Таблица истинности

№ строки	Входы				Выход	
	IO	II	PI	NI	O	O ⁺
1	1	0	*	*	1	1
2	0	1	*	*	0	0
3	0	0	*	* ²⁾	X ²⁾	0
4	1	1	* ³⁾	*	X ³⁾	1
5 ¹⁾	1	0	*	*	0	1
6 ¹⁾	0	1	*	*	1	X
7 ¹⁾	0	0	*	0	1	X
8 ¹⁾	1	1	1	*	0	1

1) Протекает сквозной ток.

2) Все комбинации входов и выходов, кроме NI=0, O=1.

3) Все комбинации входов и выходов, кроме PI=1, O=0.

Таблица задержек

Путь	IO⇒O	
	Задержка, нс	t ⁰¹
	0.6	1.3

IBUI Вход внутренней шины



Элемент **IBUI** предназначен для построения внутренней шины, к которой может быть подключено несколько источников сигналов. Выход элемента реализован по принципу "открытого коллектора". Назначение выводов: **I**, **IB** – парафазный информационный вход, может иметь единичный спейсер; **T** – вход управления, низким уровнем разрешающий доступ к шине; **O**, **OB** – прямой и обратный выходы с тремя состояниями, подключаемые непосредственно к внутренней шине. Использование нулевого спейсера на входе запрещено из-за того, что на шине появляется состояние "00", которое в выходном элементе внутренней шины **IBUO** преобразуется в одно из рабочих состояний – 10 или 01.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом первого каскада схемы: n-типа $N_n=1$ и p-типа $N_p=2$.

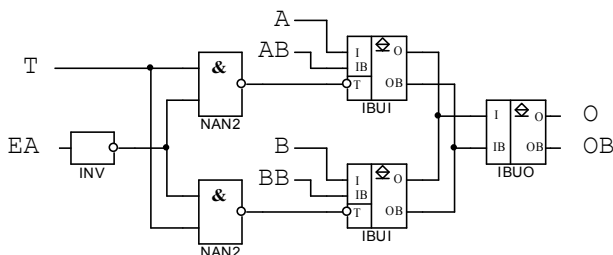
Коэффициент объединения по входу $T - 2$.

Количество элементов **IBUI**, подключаемых к одной шине – не более 8.

Размер элемента составляет 3 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Пример построения внутренней шины с двумя источниками (передатчиками) информационных сигналов приведен на рисунке ниже. Здесь: **EA** – вход выборки канала **A** для вывода на шину ($EA=1$); **T** – сигнал разрешения доступа к шине ($T=1$); **A**, **AB** – парафазный информационный вход первого канала; **B**, **BB** – парафазный информационный вход второго канала; **O**, **OB** – информационный выход внутренней шины. Аналогичным образом организуется внутренняя шина для любого числа каналов (передатчиков).



Пример реализации шины с двумя источниками сигналов

Таблица истинности

№ строки	Входы			Выходы	
	I	IB	T	O	OB
1	0	0	0	0	0
2	1	0	0	Z	0
3	0	1	0	0	Z
4	1	1	*	Z	
5	*	*	1	Z	

Таблица задержек

Путь	$I \Rightarrow O$		$IB \Rightarrow OB$		$T \Rightarrow O$		$T \Rightarrow OB$	
	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
Задержка, нс	0.8	1.9	0.8	1.9	0.7	1.8	0.7	1.8

IBUO Выход внутренней шины



Элемент **IBUO** предназначен для построения внутренней шины, к которой может быть подключено несколько источников сигналов. Назначение выводов: **I**, **IB** – информационный вход, принимающий одно из трех состояний: **0Z**, **Z0** или **ZZ**, где **Z** – высокоимпедансное состояние; **O**, **OB** – парафазный выход с нулевым спейсером. Использование нулевого спейсера на входе не рекомендуется, так как в этом случае на выходе элемента вместо спейсера сформируется одно из рабочих состояний (01 или 10) в зависимости от того, какой из входов раньше переключится в 0.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: *n*-типа $N_n=1$ и *p*-типа $N_p=1$.

Рекомендуемая нагрузочная способность по выходам **O** и **OB** ≤ 5 .

Размер элемента составляет 10 ячеек поля БМК.

Область применения – синхронная и СС-схемотехника. Пример построения внутренней шины с двумя источниками (передатчиками) информационных сигналов приведен в описании элемента **IBUI**.

Таблица истинности

№ строки	Входы		Выходы	
	I	IB	O	OB
1	0	0	X	
2	Z	0	0	1
3	0	Z	1	0
4	Z	Z	0	0

Таблица задержек

Путь	I \Rightarrow O		I \Rightarrow OB		IB \Rightarrow O		IB \Rightarrow OB	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
нс	2.2	6.7	10.4	11.2	2.2	6.7	2.2	6.7

L0DRE1 **Однотактный D-триггер с нулевым спейсером, синхронным сбросом и разрешением записи**



Элемент **L0DRE1** – однотактный D-триггер с синхронным сбросом и бифазным выходом. Назначение выводов: **R** – вход синхронного начального сброса; **E** – вход разрешения записи с нулевым спейсером; **D** – унарный информационный вход; **Q**, **QB** – бифазный ин-

формационный выход.

Синхронный сброс триггера осуществляется в его спейсерной фазе ($E=0$) при подаче низкого уровня на вход **R** ($R=0$). При этом выходы триггера устанавливаются в начальное состояние $Q=0$, $QB=1$.

В рабочей фазе при $E=1$ и высоком уровне на входе синхронного сброса ($R=1$) информация со входа **D** записывается в триггер.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=2$ и p-типа $N_p=2$.

Коэффициент объединения по входам **D** и **E** – 2.

Рекомендуемая нагрузочная способность по выходам ≤ 3 .

Размер элемента составляет 4 ячейки поля БМК.

Область применения – синхронная или СС-схемотехника. При использовании в СС-схемотехнике элемент должен быть дополнен индикатором окончания переходных процессов.

Таблица истинности

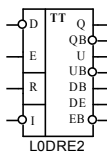
№ строки	Входы			Выходы	
	D	E	R	Q	QB
1	*	0	0	0	1
2	0	1	*	0	1
3	*	0	1	хранение	
4	1	1	1	1	0
5 ¹⁾	1	1	0	1	0
6	↔	1	1	X	

¹⁾ Нарушение предустановки.

Таблица задержек

Путь	$R \Rightarrow Q$	$R \Rightarrow QB$	$D \Rightarrow Q$		$D \Rightarrow QB$		$E \Rightarrow Q$		$E \Rightarrow QB$	
Задержка, нс	t^{10}	t^{01}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
	2.9	2.1	4.0	2.0	4.5	1.4	3.9	1.7	4.4	1.2

L0DRE2 *Двухтактный D-триггер с нулевым спейсером, синхронным сбросом и разрешением записи*



Элемент **L0DRE2** – двухтактный D-триггер с синхронным сбросом и бифазным выходом. Назначение выводов: **R** – вход синхронного сброса; **E** – вход разрешения записи с нулевым спейсером; **D** – унарный информационный вход; **I** – вход разрешения записи в первую ступень триггера (соединяется с выходом индикаторного элемента, который с ним используется); **Q**, **QB** – бифазный информационный выход триггера; **U**, **UB**, **DB**, **DE**, **EB** – вспомогательные выходы, необходимые для индикации элемента.

Синхронный сброс триггера осуществляется в его спейсерной фазе ($E=0$) при подаче высокого уровня на вход **R** ($R=1$). При этом выходы триггера устанавливаются в начальное состояние $Q=0$, $QB=1$.

В рабочей фазе при $E=1$ и низком уровне на входах синхронного сброса ($R=0$) и разрешения записи ($I=0$) информация со входа **D** записывается в первую ступень триггера и после подачи на вход разрешения записи низкого уровня ($E=0$) перезаписывается во вторую ступень, обновляя состояние его выходов. Для индикации используется элемент **G0B3I2**.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами схемы: n-типа $N_n=2$ и p-типа $N_p=3$.

Коэффициент объединения по входу **D** – 3, по входам **E** и **I** – 2.

Рекомендуемая нагрузочная способность по выходам **Q**, **QB** и **DE** ≤ 3 , по выходам **U**, **UB** и **EB** – 1, по выходу **DB** ≤ 4 .

Размер элемента составляет 10 ячеек поля БМК.

Область применения – СС-схемотехника.

Таблица истинности

№ строки	Входы				Выходы							
	D	E	R	I	Q	QB	U	UB	DB	DE	EB	
1	*	0	1	*	0	1	1	0	/D	1	1	
2	*	1	1	1	хранение		1	0	/D	/D	0	
3	*	1	0	1	хранение				/D	/D	0	
4	*	0	0	*	UB	U	хранение		/D	1	1	
5	1	1	0	0	хранение		1	0	0	0	0	
6	1	1→0	0	0	0	1	1	0	0	0→1	0→1	
7	0	1	0	0	хранение		0	1	1	1	0	
8	0	1→0	0	0	1	0	0	1	1	1	0→1	
9 ¹⁾	0	1	1	0	хранение		0	1	1	1	0	
10 ¹⁾	1	1	1	0	хранение		1	0	0	0	0	
11 ²⁾	↔	1	0	0	хранение		X				0	
12 ³⁾	↔	0	0	0	X						0	

1) Нарушение предустановки.

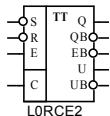
2) Изменения входа D запрещены до перехода входа разрешения E в спейсер.

3) Изменения входа D запрещены до выполнения перехода EB 0→1.

Таблица задержек

Путь	D⇒DB		D⇒DE		D⇒U		D⇒UB		E⇒Q		E⇒QB		E⇒U		E⇒UB	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
Задержка, нс	0.8	0.4	1.2	1.1	5.0	7.0	5.2	7.7	5.6	2.8	5.6	2.8	5.2	7.9	6.0	8.0
Путь	E⇒DE		E⇒EB		R⇒Q		R⇒QB		R⇒U		R⇒UB		I⇒U		I⇒UB	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ¹⁰		t ⁰¹		t ⁰¹		t ¹⁰		t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
Задержка, нс	1.0	1.0	1.2	0.7	5.9		8.8		4.5		2.0		4.4	7.0	5.2	7.2

LORCE2 Двухтактный RS-триггер с нулевым спейсером, синхронным сбросом и разрешением записи



Элемент **LORCE2** – двухтактный RS-триггер с синхронным сбросом и бифазным выходом. Назначение выводов: **C** – вход синхронного сброса (или СС-сброса при использовании элемента **LORCE2** в составе макроэлемента); **E** – вход разрешения записи с нулевым спейсером; **S, R** – парафазный информационный вход; **Q, QB** – бифазный информационный выход; **U, UB, EB** – вспомогательные выходы, необходимые для

индикации элемента.

Синхронный сброс триггера осуществляется в спейсерной фазе ($E=0$) при подаче высокого уровня на вход C ($C=1$). При этом выходы триггера устанавливаются в начальное состояние $Q=0$, $QB=1$.

В рабочей фазе при $E=1$ и низком уровне на входе синхронного сброса ($C=0$) информация со входов S , R записывается в первую ступень триггера и после подачи на вход разрешения записи низкого уровня ($E=0$) перезаписывается во вторую ступень, обновляя состояние выходов триггера. Для индикации используется элемент **ОАОА1** (см. описание макроэлемента **R0CE20**). Он позволяет превратить синхронный сброс в самосинхронный.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами схемы: n-типа $Nn=2$ и p-типа $Np=2$.

Рекомендуемая нагрузочная способность по выходам Q и $QB \leq 3$, по выходам U , UB и $EB - 1$, по выходу $DB \leq 4$.

Размер элемента составляет 7 ячеек поля БМК.

Область применения – СС-схемотехника; первичное использование – в составе макроэлемента **R0CE20**.

Таблица истинности

№ строки	Входы				Выходы				
	S	R	E	C	Q	QB	U	UB	EB
1	*	*	0	1	0	1	1	0	1
2	*	*	0	0	UB	U	хранение		1
3	0	1	1	0	хранение		0	1	0
4	0	1	1→0	0	1	0	хранение		0→1
5	1	1	1	0	UB	U	хранение		0
6	1	0	1	0	хранение		1	0	0
7	1	0	1→0	0	0	1	хранение		0→1
8 ¹⁾	0	0	1	0	хранение		1	1	0
9 ²⁾	*	*	1	1	хранение		X		0
10	↔	*	1	0	хранение		X		0
11	*	↔	1	0	хранение		X		0

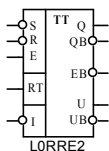
¹⁾ Неопределенное состояние выходов U, UB после перехода в $S=R=1$.

²⁾ Нарушение синхронной предустановки.

Таблица задержек

Путь	E⇒Q		E⇒QB		E⇒EB		E⇒U		E⇒UB		C⇒Q	C⇒QB
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ¹⁰	t ⁰¹
Задержка, нс	5.3	2.7	5.3	2.7	1.2	0.7	3.5	6.5	5.7	5.2	5.2	7.8
Путь	C⇒U		C⇒UB									
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰								
Задержка, нс	3.9		1.8									

LORRE2 *Двухтактный RS-триггер с нулевым спейсером, синхронным сбросом, разрешением записи и дополнительным разрешением записи первой ступени*



Элемент **LORRE2** – двухтактный RS-триггер с синхронным сбросом и бифазным выходом. Назначение выводов: **RT** – вход синхронного сброса; **E** – вход разрешения записи с нулевым спейсером; **I** – вход разрешения записи в первую ступень триггера (соединяется с индикаторным выходом макроэлемента, в составе которого используется); **S**, **R** – парафазный информационный вход; **Q**, **QB** – бифазный информационный выход; **U**, **UB**, **EB** – вспомогательные выходы, необходимые для индикации элемента.

Синхронный сброс триггера осуществляется в спейсерной фазе (**E**=0) при подаче высокого уровня на вход **RT** (**RT**=1). При этом выходы триггера устанавливаются в начальное состояние **Q**=0, **QB**=1.

В рабочей фазе при **E**=1, **I**=0 и низком уровне на входе синхронного сброса (**RT**=0) информация со входов **S**, **R** записывается в первую ступень триггера и после подачи на вход разрешения записи низкого уровня (**E**=0) перезаписывается во вторую ступень, обновляя состояние выходов триггера. Для индикации используется элемент **G0B3I** (см. описание макроэлемента **SORRE0**).

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами схемы: n-типа $N_n=2$ и p-типа $N_p=3$.

Коэффициент объединения по входу **I** – 2.

Рекомендуемая нагрузочная способность по выходам **Q** и **QB** ≤ 3 , по

выходам **U** и **UB** ≤ 2 , по выходу **EB** – 1.

Размер элемента составляет 8 ячеек поля БМК.

Область применения – СС-схемотехника; первичное использование – в составе макроэлементов **SORRE0** и **SORRE1**.

Таблица истинности

№ строки	Входы					Выходы				
	S	R	E	RT	I	Q	QB	U	UB	EB
1	*	*	0	1	*	0	1	1	0	1
2	*	*	1	1	1	хранение		1	0	0
3	*	*	0	0	*	UB	U	хранение		1
4	*	*	1	0	1	хранение				0
5	1	1	1	0	0	хранение				0
6	0	1	1	0	0	хранение		0	1	0
7	0	1	1→0	0	0	1	0	хранение		0→1
8	0	1	0	0	*	UB	U	хранение		1
9	1	1	0	0	*	UB	U	хранение		1
10	1	0	1	0	0	хранение		1	0	0
11	1	0	1→0	0	0	0	1	хранение		0→1
12	1	0	0	0	*	UB	U	хранение		1
13 ¹⁾	0	0	1	0	0	хранение		1	1	0
14	↔	*	1	0	0	хранение		X		0
15	*	↔	1	0	0	хранение		X		0
16 ²⁾	*	*	1	1	0	хранение		X		0

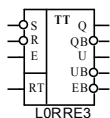
1) Неопределенное состояние выходов U, UB после перехода в S=R=1.

2) Нарушение предустановки.

Таблица задержек

Путь	E⇒Q		E⇒QB		E⇒EB		E⇒U		E⇒UB		RT⇒Q	RT⇒QB
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ¹⁰	t ⁰¹
Задержка, нс	5.3	2.7	5.3	2.7	1.2	0.7	7.7	8.4	6.3	11.2	6.0	8.7
Путь	RT⇒U		RT⇒UB		I⇒U		I⇒UB					
Задержка, нс	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰				
	4.8		1.9		6.9	7.6	5.5	9.4				

L0RE3 Двухтактный RS-триггер с нулевым спейсером, синхронным сбросом и разрешением записи



Элемент **L0RE3** – двухтактный RS-триггер с синхронным сбросом. Назначение выводов: **RT** – вход синхронного сброса; **E** – вход разрешения записи с нулевым спейсером; **EB** – выход инверсии входа разрешения записи; **R, S** – бифазный информационный вход; **Q, QB** – бифазный информационный выход триггера; **U, UB** – бифазный выход первой бистабильной ячейки (ступени) триггера. Выходы **EB, U** и **UB** необходимы для индикации окончания переходных процессов в триггере; однако в некоторых случаях они могут оказаться полезными и как источники информационных сигналов. При $E=0$ и $RT=1$ элемент устанавливается в начальное состояние $Q=0, QB=1$.

Первичное использование – в качестве входной части элемента **R0RE21**, двухтактного RS-триггера с синхронным сбросом.

Элемент может быть использован (как входная часть) для построения СС-реализаций двухтактных RS-триггеров как с синхронным (например, элемент **R0RE21**), так и с СС-сбросом.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами схемы: n-типа $N_n=2$ и p-типа $N_p=2$.

Коэффициент объединения по входам **R** и **S** – 2.

Рекомендуемая нагрузочная способность по выходам **Q** и **QB** ≤ 3 , по выходам **U** и **UB** ≤ 2 , по выходу **EB** – 1.

Размер элемента составляет 7 ячеек поля БМК.

Область применения – СС-схемотехника; пример использования – элемент **R0RE21**.

Таблица истинности

№ строки	Входы				Выходы				
	S	R	E	RT	Q	QB	U	UB	EB
1	*	*	0	1	0	1	1	0	1
2	*	*	0	0	UB	U	хранение		1
3	1	1	1	0	хранение				0
4	0	1	1	0	хранение	0	1	0	
5	0	1	1→0	0	1	0	хранение	0→1	
6	1	0	1	0	хранение	1	0	0	
7	1	0	1→0	0	0	1	хранение	0→1	
8 ¹⁾	0	0	1	0	хранение	1	1	0	
9	↔	*	1	0	хранение	X		0	
10	*	↔	1	0	хранение	X		0	
11 ²⁾	*	*	1	1	хранение	X		0	

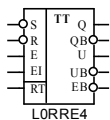
1) Неопределенное состояние выходов U, UB после перехода в S=R=1.

2) Нарушение предустановки.

Таблица задержек

Путь	E⇒Q		E⇒QB		E⇒EB		E⇒U		E⇒UB		RT⇒Q	RT⇒QB
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ¹⁰	t ⁰¹
Задержка, нс	4.9	2.5	4.9	2.6	1.2	0.7	3.2	6.0	4.3	4.8	4.7	7.1
Путь	RT⇒U		RT⇒UB									
	t ⁰¹	t ¹⁰										
Задержка, нс	3.6		1.7									

LORRE4 *Двухтактный RS-триггер с нулевым спейсером, синхронным сбросом, разрешением записи и дополнительным разрешением записи второй ступени*



Элемент **LORRE4** – двухтактный RS-триггер с синхронным сбросом. Используется как входная часть макроэлемента **SORRE2** – разряда регистра сдвига с синхронным сбросом. Назначение выводов: **RT** – вход синхронного сброса; **E** – вход разрешения записи с нулевым спейсером; **EI** – вход разрешения перезаписи информации из первой ступени триггера во вторую; **EB** – выход инверсии входа разрешения записи; **R, S** – бифазный информационный вход; **Q, QB** – бифазный информационный выход; **U, UB** – бифазный выход первой бистабильной ячейки (ступени). Выходы **EB, U** и **UB** необходимы для индикации окончания переходных процессов в триггере; однако в некоторых случаях они могут оказаться полезными и как источники информационных сигналов. При построении регистра сдвига вход **EI** подключается к выходу **EB** следующего разряда.

Синхронный сброс осуществляется при подаче на вход **RT** высокого уровня (**RT=1**) в спейсерной фазе (**E=0, EI=1**). При этом выходы триггера устанавливаются в состояние **Q=UB=0, QB=U=1, EB=1**. В рабочей фазе при **E=1** и низком уровне на входе начальной установки (**RT=0**) информация со входов **R** и **S** записывается в первую ступень (выходы **U, UB**), и затем при переходе триггера в состояние спейсера (**E=0, EI=1**) состояние первой бистабильной ячейки переписывается во вторую ступень (выходы **Q, QB**).

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами схемы: n-типа $N_n=3$ и p-типа $N_p=2$.

Коэффициент объединения по входу **EI** – 2.
Рекомендуемая нагрузочная способность по выходам **Q, QB, U** и **UB** ≤ 2 , по выходу **EB** – 1.

Размер элемента составляет 8 ячеек поля БМК.

Область применения – СС-регистры сдвига; первичное использование – в составе макроэлемента **SORRE2**.

Область применения – СС-регистры сдвига; первичное использование – в составе макроэлемента **SORRE2**.

Таблица истинности

№ строки	Входы					Выходы				
	S	R	E	EI	RT	Q	QB	EB	U	UB
1	*	*	0	1	1	0	1	1	1	0
2	*	*	0	0	1	хранение		1	1	0
3	1	1	1	*	1	хранение		0	1	0
4	0	1	1	*	0	хранение		0	0	1
5	0	1	1→0	*	0	1	0	0→1	хранение	
6	1	1	1	*	0	хранение		0	хранение	
7	1	0	1	*	0	хранение		0	1	0
8	1	0	1→0	*	0	0	1	0→1	хранение	
9	*	*	0	0	0	хранение		1	хранение	
10	*	*	0	1	0	UB	U	1	хранение	
11	1	0	1	*	0	хранение		0	1	0
12	0	1	1	*	0	хранение		0	0	1
13 ¹⁾	0	0	1	*	0	хранение		0	1	1
14 ²⁾	0	0	1	*	1	хранение		0	1	1
15 ²⁾	1	0	1	*	1	хранение		0	1	0
16 ²⁾	0	1	1	*	1	хранение		0	0	1
17	↔	*	1	*	*	хранение		0	X	
18	*	↔	1	*	*	хранение		0	X	

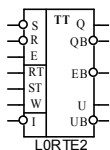
¹⁾ Неопределенное состояние выходов U, UB после перехода в S=R=1.

²⁾ Нарушение предустановки.

Таблица задержек

Путь	E⇒Q		E⇒QB		E⇒U		E⇒UB		E⇒EB		RT⇒Q	RT⇒QB
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ¹⁰	t ⁰¹
Задержка, нс	5.7	3.8	5.7	3.8	3.2	6.0	4.3	4.8	1.2	0.7	6.1	8.0
Путь	RT⇒U		RT⇒UB		EI⇒Q		EI⇒QB					
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰				
Задержка, нс	3.6		1.7		4.7	2.7	4.7	2.7				

LORTE2 *Двухтактный RS-триггер с нулевым спейсером, самосинхронными сбросом и установкой, разрешением записи (вариант 1)*



Элемент **LORTE2** – двухтактный RS-триггер с СС-предустановкой. Назначение выводов: **RT**, **ST** – входы сброса и установки; **E** – вход разрешения записи с нулевым спейсером; **I** – вход разрешения записи в первую ступень триггера (соединяется с индикаторным выходом макроэлемента, в составе которого используется); **W** – вход разрешения предустановки; **R**, **S** – бифазный информационный вход; **EB** – выход инверсии входа разрешения записи; **Q**, **QB** – бифазный информационный выход триггера; **U**, **UB** – бифазный выход первой бистабильной ячейки (ступени) триггера. Выходы **EB**, **U** и **UB** нужны для индикации окончания переходных процессов в триггере.

СС-предустановка выполняется таким образом. При **E=0** на вход **W** подается значение **W=1**; выходы **U** и **UB** переходят в состояние 0, что фиксирует индикаторный элемент, отслеживающий состояние триггера. Затем на входах предустановки устанавливается требуемый код инициализации (**RT=1**, **ST=0** для установки в состояние **Q=0**, **QB=1** или **RT=0**, **ST=1** для установки в состояние **Q=1**, **QB=0**), на вход **W** подается значение **W=0**. После фиксации индикаторным элементом переключения выходов **Q** и **QB** на входы предустановки **RT**, **ST** подается низкий уровень, и предустановка заканчивается. Для индикации используется элемент **G0B3I** (см. описание макроэлемента **SORTE0**).

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами схемы: n-типа $N_n=2$ и p-типа $N_p=3$.

Коэффициент объединения по входам **W** и **I** – 2.

Рекомендуемая нагрузочная способность по выходам **Q** и **QB** ≤ 3 , по выходам **EB**, **U** и **UB** – 1.

Размер элемента составляет 10 ячеек поля БМК.

Область применения – СС-схемотехника; первичное использование – в составе макроэлемента **SORTE0**.

Таблица истинности

№ строки	Входы							Выходы				
	S	R	E	RT	ST	W	I	Q	QB	U	UB	EB
1	*	*	0	0	*	1	*	хранение		0	0	1
2	*	*	0	0	1	1→0	*	1	0	0	1	1
3	*	*	0	0	1	0	*	1	0	0	1	1
4	*	*	0	1	0	1	*	хранение		0	0	1
5	*	*	0	1	0	1→0	*	0	1	1	0	1
6	*	*	0	1	0	0	*	0	1	1	0	1
7	*	*	1	0	1	0	1	хранение		0	1	0
8	*	*	1	1	0	0	1	хранение		1	0	0
9	*	*	0	0	0	0	*	UB	U	хранение		1
10	*	*	1	0	0	0	1	хранение			0	
11	1	1	1	0	0	0	*	хранение			0	
12	0	1	1	0	0	0	0	хранение		0	1	0
13	0	1	1→0	0	0	0	0	1	0	хранение		0→1
14	1	0	1	0	0	0	0	хранение		1	0	0
15	1	0	1→0	0	0	0	0	0	1	хранение		0→1
16 ¹⁾	0	0	1	0	0	0	0	хранение		1	1	0
17 ²⁾	*	*	1	*	*	1	*	хранение		X		0
18 ²⁾	*	*	1	0	1	0	0	хранение		X		0
19 ²⁾	*	*	1	1	0	0	0	хранение		X		0
20 ²⁾	*	*	*	1	1	0	*	X				
21	↔	*	1	*	*	*	*	хранение		X		0
22	*	↔	1	*	*	*	*	хранение		X		0
23 ²⁾	*	*	0	*	0→1	0	*	X			1	
24 ²⁾	*	*	0	0→1	*	0	*	X			1	
25 ²⁾	*	*	0	0	0	1→0	*	X			1	
26 ²⁾	*	*	0	1	1	1	*	хранение		0	0	1

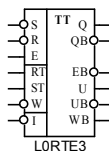
¹⁾ Неопределенное состояние выходов U, UB после перехода в S=R=1.

²⁾ Нарушение самосинхронной предустановки.

Таблица задержек

Путь	E⇒Q		E⇒QB		E⇒EB		E⇒U		E⇒UB		W⇒Q	
Задержка, нс	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
	5.3	2.7	5.3	2.7	1.2	0.7	9.7	7.6	7.2	10.1	11.7	7.0
Путь	W⇒QB		W⇒U		W⇒UB		I⇒U		I⇒UB			
Задержка, нс	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰		
	9.7	8.8	5.9	1.6	7.8	2.0	9.0	6.5	6.4	9.3		

L0RTE3 *Двухтактный RS-триггер с нулевым спейсером, самосинхронным сбросом и установкой, разрешением записи (вариант 2)*



Элемент **L0RTE3** – двухтактный RS-триггер с СС-предустановкой. Назначение выводов: **RT**, **ST** – входы самосинхронных сброса и установки; **E** – вход разрешения записи с нулевым спейсером; **I** – вход разрешения записи в первую ступень триггера (соединяется с индикаторным выходом макроэлемента, в составе которого используется); **W** – вход разрешения предустановки; **R**, **S** – бифазный информационный вход; **EB** – выход инверсии входа разрешения записи; **Q**, **QB** – бифазный информационный выход; **U**, **UB** – бифазный выход первой бистабильной ячейки (ступени). Выходы **EB**, **U** и **UB** нужны для индикации окончания переходных процессов в триггере.

СС-предустановка выполняется следующим образом. При **E=0** на вход **W** подается значение **W=0**; оба выхода **U** и **UB** переходят в состояние 0, что фиксирует индикаторный элемент, отслеживающий состояние триггера. Затем на входах предустановки устанавливается код инициализации (**RT=1**, **ST=0** для установки триггера в состояние **Q=0**, **QB=1** или **RT=0**, **ST=1** для установки в состояние **Q=1**, **QB=0**), на вход **W** подается значение **W=1**. После фиксации индикаторным элементом переключения выходов **Q** и **QB** на входы предустановки **RT**, **ST** подается низкий уровень, и предустановка заканчивается.

Для индикации используется элемент **G0B32I** (см. описание **S0RTE1**). Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами схемы: n-типа $N_n=2$ и p-типа $N_p=3$.

Коэффициент объединения по входу **I** – 2.

Рекомендуемая нагрузочная способность по выходам **Q**, **QB** и **WB** ≤ 3 , по выходам **EB**, **U** и **UB** – 1.

Размер элемента составляет 10 ячеек поля БМК.

Область применения – СС-схемотехника; первичное использование – в составе макроэлемента **S0RTE1**.

Таблица истинности

№ стр.	Входы							Выходы					
	S	R	E	RT	ST	W	I	Q	QB	U	UB	EB	WB
1	*	*	0	0	*	0	*	хранение		0	0	1	1
2	*	*	0	0	1	0→1	*	1	0	0	1	1	1→0
3	*	*	0	0	1	1	*	1	0	0	1	1	0
4	*	*	0	1	0	0	*	хранение		0	0	1	1
5	*	*	0	1	0	0→1	*	0	1	1	0	1	1→0
6	*	*	0	1	0	1	*	0	1	1	0	1	0
7	*	*	1	0	1	1	1	хранение		0	1	0	0
8	*	*	1	1	0	1	1	хранение		1	0	0	0
9	*	*	0	0	0	1	*	UB	U	хранение		1	0
10	*	*	1	0	0	1	1	хранение			0	0	
11	1	1	1	0	0	1	*	хранение			0	0	
12	0	1	1	0	0	1	0	хранение		0	1	0	0
13	0	1	1→0	0	0	1	0	1	0	хранение		0→1	0
14	1	0	1	0	0	1	0	хранение		1	0	0	0
15	1	0	1→0	0	0	1	0	0	1	хранение		0→1	0
16 ¹⁾	0	0	1	0	0	1	0	хранение		1	1	0	0
17 ²⁾	*	*	1	*	*	0	*	хранение		X		0	1
18 ²⁾	*	*	1	0	1	1	0	хранение		X		0	0
19 ²⁾	*	*	1	1	0	1	0	хранение		X		0	0
20 ²⁾	*	*	*	1	1	1	*	X			/E		0
21	↔	*	1	*	*	*	*	хранение		X		0	/W
22	*	↔	1	*	*	*	*	хранение		X		0	/W
23 ²⁾	*	*	0	*	0→1	1	*	X		0	X	1	0
24 ²⁾	*	*	0	0→1	*	1	*	X		X	0	1	0
25 ²⁾	*	*	0	0	0	0→1	*	X				1	1→0
26 ²⁾	*	*	0	1	1	0	*	хранение		0	0	1	1

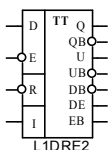
¹⁾ Неопределенное состояние выходов U, UB после перехода в S=R=1.

²⁾ Нарушение самосинхронной предустановки.

Таблица задержек

Путь	E⇒Q		E⇒QB		E⇒EB		E⇒U		E⇒UB		W⇒Q	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
Задержка, нс	5.3	2.7	5.3	2.7	1.2	0.7	9.7	7.6	7.2	10.1	12.3	7.6
Путь	W⇒QB		W⇒U		W⇒UB		W⇒WB		I⇒U		I⇒UB	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
Задержка, нс	10.3	9.4	6.4	2.6	8.4	3.0	1.0	0.6	9.0	6.7	6.4	9.3

L1DRE2 *Двухтактный D-триггер с единичным спейсером, синхронным сбросом и разрешением записи*



Элемент **L1DRE2** – двухтактный D-триггер с синхронным сбросом и бифазным выходом. Назначение выводов: **R** – вход синхронного начального сброса; **E** – вход разрешения записи с единичным спейсером; **D** – унарный информационный вход; **I** – вход разрешения записи в первую ступень триггера (соединяется с выходом индикаторного элемента, который с ним используется); **Q**, **QB** – бифазный информационный выход; **U**, **UB**, **DB**, **DE**, **EB** – вспомогательные выходы, необходимые для индикации данного элемента.

Начальный сброс триггера осуществляется в его спейсерной фазе ($E=1$) при подаче низкого уровня на вход **R** ($R=0$). При этом выходы триггера устанавливаются в начальное состояние $Q=0$, $QB=1$.

В рабочей фазе при $E=0$ и низком уровне на входе начальной установки ($R=1$) информация со входа **D** записывается в первую ступень триггера и после подачи на вход разрешения записи высокого уровня ($E=1$) перезаписывается во вторую ступень, обновляя состояние выходов триггера. Для индикации данного элемента используется элемент **G1B3I2**.

Особенность элемента – унарный информационный вход **D**. Это позволяет использовать элемент **L1DRE2** в качестве интерфейса между синхронной и самосинхронной частями общей схемы. Кроме того, эта особенность позволяет сократить вдвое количество информационных шин между многоразрядными регистрами в СС-схеме при использовании элемента в качестве разряда регистров на обоих концах линии передачи.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами схемы: n-типа $N_n=3$ и p-типа $N_p=2$.

Коэффициент объединения по входу **D** – 3, по входам **E** и **I** – 2.

Рекомендуемая нагрузочная способность по выходам **Q**, **QB** и **DE** ≤ 3 , по выходам **U**, **UB** и **EB** – 1, по выходу **DB** ≤ 4 .

Размер элемента составляет 10 ячеек поля БМК.

Область применения – СС-схемотехника.

Таблица истинности

№ строки	Входы				Выходы						
	D	E	R	I	Q	QB	U	UB	DB	DE	EB
1	*	1	0	*	0	1	1	0	/D	0	0
2	*	0	0	0	хранение		1	0	/D	/D	1
3	*	0	1	0	хранение				/D	/D	1
4	*	1	1	*	UB	U	хранение		/D	0	0
5	0	0	1	1	хранение		1	0	0	1	1
6	0	0→1	1	1	UB	U	хранение		0	1→0	1→0
7	1	0	1	1	хранение		0	1	1	0	1
8	1	0→1	1	1	UB	U	хранение		1	0	1→0
9 ¹⁾	1	0	0	1	хранение		0	1	1	0	1
10 ¹⁾	0	0	0	1	хранение		1	0	0	1	1
11	↔	0	1	1	хранение		X				1
12 ²⁾	↔	1	1	1	X						1

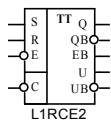
¹⁾ Нарушение предустановки.

²⁾ Изменения входа D запрещены до выполнения перехода EB 1→0.

Таблица задержек

Путь	D⇒DB		D⇒DE		D⇒U		D⇒UB		E⇒Q		E⇒QB		E⇒U	
Задержка, нс	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
нс	0.8	0.4	2.0	0.8	6.2	3.2	5.6	3.7	3.8	5.8	3.8	5.8	6.6	4.4
Путь	E⇒UB		E⇒DE		R⇒Q		R⇒QB		R⇒U		R⇒UB		I⇒U	
Задержка, нс	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ¹⁰		t ⁰¹		t ⁰¹		t ¹⁰		t ⁰¹	t ¹⁰
нс	6.9	4.0	1.9	0.7	1.5		0.8		8.3		6.3		2.5	3.2
Путь	I⇒UB		R⇒Q											
Задержка, нс	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰										
нс	5.1	3.0	5.1	3.0										

L1RCE2 Двухтактный RS-триггер с единичным спейсером, синхронным сбросом и разрешением записи



Элемент **L1RCE2** – двухтактный D-триггер с синхронным сбросом и бифазным выходом. Назначение выводов: **S** – вход синхронного сброса (или СС-сброса при использовании элемента **L1RCE2** в составе макроэлемента); **E** – вход разрешения записи с единичным спейсером; **S, R** – бифазный инфор-

мационный вход; **Q**, **QB** – бифазный информационный выход; **U**, **UB**, **EB** – вспомогательные выходы, необходимые для индикации элемента.

Начальный сброс триггера осуществляется в спейсерной фазе (**E**=1) при подаче низкого уровня на вход **C** (**C**=0). При этом выходы триггера устанавливаются в начальное состояние **Q**=0, **QB**=1.

В рабочей фазе при **E**=0 и высоком уровне на входе начальной установки (**C**=1) информация со входов **S**, **R** записывается в первую ступень и после подачи на вход разрешения записи высокого уровня (**E**=1) перезаписывается во вторую ступень, обновляя состояние выходов триггера.

Для индикации используется элемент **ОАОА1** (см. описание макроэлемента **R1CE20**). Использование его для индикации входа начального сброса **C** позволяет сделать сброс самосинхронным.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами схемы: n-типа $N_n=2$ и p-типа $N_p=2$.

Рекомендуемая нагрузочная способность по выходам **Q** и **QB** ≤ 3 , по выходам **U** и **UB** ≤ 2 , по выходу **EB** – 1.

Размер элемента составляет 7 ячеек поля БМК.

Область применения – СС-схемотехника; первичное использование – в составе макроэлемента **R1CE20**.

Таблица истинности

№ строки	Входы				Выходы				
	S	R	E	C	Q	QB	U	UB	EB
1	*	*	1	0	0	1	1	0	0
2	*	*	1	1	UB	U	хранение		0
3	1	0	0	1	хранение		0	1	1
4	1	0	0→1	1	1	0	хранение		1→0
5	0	0	0	1	UB	U	хранение		1
6	0	1	0	1	хранение		1	0	1
7	0	1	0→1	1	0	1	хранение		1→0
8 ¹⁾	1	1	0	1	хранение		0	0	1
9 ²⁾	*	*	0	0	хранение		X		1
10 ²⁾	↔	*	0	1	хранение		X		1
11	*	↔	0	1	хранение		X		1

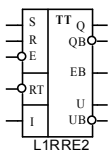
¹⁾ Неопределенное состояние выходов U, UB после перехода в S=R=0.

²⁾ Нарушение синхронной предустановки.

Таблица задержек

Путь	$S \Rightarrow U$		$E \Rightarrow Q$		$E \Rightarrow QB$		$E \Rightarrow EB$		$E \Rightarrow UB$		$C \Rightarrow U$	$C \Rightarrow UB$
	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
Задержка, нс	6.0	2.6	3.2	4.7	3.2	4.7	1.2	0.7	5.5	2.8	2.6	3.4

L1RRE2 *Двухтактный RS-триггер с единичным спейсером, синхронным сбросом и разрешением записи*



Элемент **L1RRE2** – двухтактный RS-триггер с синхронным сбросом и бифазным выходом. Назначение выводов: **RT** – вход синхронного сброса; **E** – вход разрешения записи с единичным спейсером; **I** – вход разрешения записи в первую ступень триггера (соединяется с индикаторным выходом макроэлемента, в составе которого используется); **S**,

R – бифазный информационный вход; **Q**, **QB** – бифазный информационный выход; **U**, **UB**, **EB** – вспомогательные выходы, необходимые для индикации элемента.

Начальный сброс триггера осуществляется в его спейсерной фазе ($E=1$) при подаче низкого уровня на вход **RT** ($RT=0$). При этом выходы триггера устанавливаются в начальное состояние $Q=0$, $QB=1$.

В рабочей фазе при $E=0$, $I=1$ и высоком уровне на входе синхронного сброса ($RT=1$) информация со входов **S**, **R** записывается в первую ступень триггера и после подачи на вход разрешения записи высокого уровня ($E=1$) перезаписывается во вторую ступень, обновляя состояние выходов триггера. Для индикации используется элемент **G0B3I** или **G0B3IB** (см. описание макроэлементов **S1RRE0** и **S1RRE1**).

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами схемы: n-типа $Nn=3$ и p-типа $Np=2$.

Коэффициент объединения по входу **I** – 2.

Рекомендуемая нагрузочная способность по выходам **Q** и **QB** ≤ 3 , по выходам **EB**, **U** и **UB** – 1.

Размер элемента составляет 8 ячеек поля БМК.

Область применения – СС-схемотехника; первичное использование – в составе макроэлементов **S1RRE0** и **S1RRE1**.

Таблица истинности

№ строки	Входы					Выходы				
	S	R	E	RT	I	Q	QB	U	UB	EB
1	*	*	1	0	*	0	1	1	0	0
2	*	*	0	0	0	хранение		1	0	1
3	*	*	1	1	*	UB	U	хранение		0
4	*	*	0	1	0	хранение				1
5	0	0	0	1	1	хранение				1
6	1	0	0	1	1	хранение		0	1	1
7	1	0	0→1	1	1	1	0	хранение		1→0
8	1	0	1	1	*	UB	U	хранение		0
9	0	0	1	1	*	UB	U	хранение		0
10	0	1	0	1	1	хранение		1	0	1
11	0	1	0→1	1	1	0	1	хранение		1→0
12	0	1	1	1	*	UB	U	хранение		0
13 ¹⁾	1	1	0	1	1	хранение		0	0	1
14	↔	*	0	1	1	хранение		X		1
15	*	↔	0	1	1	хранение		X		1
16 ²⁾	*	*	0	0	1	хранение		X		1

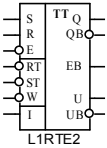
¹⁾ Неопределенное состояние выходов U, UB после перехода S=R=0.

²⁾ Нарушение предустановки.

Таблица задержек

Путь	E⇒Q		E⇒QB		E⇒EB		E⇒U		E⇒UB		RT⇒Q	RT⇒QB
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ¹⁰	t ⁰¹
Задержка, нс	3.2	4.7	3.2	4.7	1.2	0.7	6.7	4.1	7.1	4.6	6.8	5.3
Путь	RT⇒U		RT⇒UB		I⇒U		I⇒UB					
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰				
Задержка, нс	2.1	2.7	5.1	2.6	5.6	3.0						

L1RTE2 Двухтактный RS-триггер с единичным спейсером, самосинхронным сбросом и установкой, разрешением записи (вариант 1)



Элемент **L1RTE2** – двухтактный RS-триггер с СС-предустановкой. Назначение выводов: **RT**, **ST** – входы самосинхронного сброса и установки; **E** – вход разрешения записи с единичным спейсером; **I** – вход разрешения записи в первую ступень триггера (соединяется с индикаторным входом микроэлемента, в составе которого используется); **W** – вход разрешения начальной предустановки; **R**, **S** – бифазный информационный вход; **EB** – выход инверсии входа разрешения записи; **Q**, **QB** – бифазный информационный выход; **U**, **UB** – бифазный выход первой бистабильной ячейки (ступени). Выходы **EB**, **U** и **UB** нужны для индикации окончания переходных процессов в триггере.

Для выполнения СС-предустановки при **E=1** на вход **W** подается значение **W=0**; оба выхода **U** и **UB** переходят в состояние **1**, что фиксирует индикаторный элемент, отслеживающий состояние триггера. Затем на входах предустановки устанавливается требуемый код инициализации (**RT=0**, **ST=1** для установки триггера в состояние **Q=0**, **QB=1** или **RT=1**, **ST=0** для установки разряда в состояние **Q=1**, **QB=0**), на вход **W** подается значение **W=1**. Переключение выходов **Q** и **QB** в соответствующее состояние фиксируется индикаторным элементом. Процесс предустановки заканчивается подачей на входы **RT**, **ST** высокого уровня.

Для индикации используется элемент **G1B3I** (см. описание макроэлемента **S1RTE0**).

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами схемы: n-типа $N_n=3$ и p-типа $N_p=2$.

Коэффициент объединения по входам **W** и **I** – 2.

Рекомендуемая нагрузочная способность по выходам **Q** и **QB** ≤ 3 , по выходам **EB**, **U** и **UB** – 1.

Размер элемента составляет 10 ячеек поля БМК.

Область применения – СС-схемотехника; первичное использование – в составе макроэлемента **S1RTE0**.

Таблица истинности

№ строки	Входы							Выходы				
	S	R	E	RT	ST	W	I	Q	QB	U	UB	EB
1	*	*	1	*	*	0	*	хранение		1	1	0
2	*	*	1	1	0	1	*	1	0	0	1	0
3	*	*	1	0	1	1	*	0	1	1	0	0
4	*	*	0	1	0	1	0	хранение		0	1	1
5	*	*	0	0	1	1	0	хранение		1	0	1
6	*	*	1	1	1	1	*	UB	U	хранение		0
7	*	*	0	1	1	1	0	хранение				1
8	0	0	0	1	1	1	*	хранение				1
9	1	0	0	1	1	1	1	хранение		0	1	1
10	1	0	0→1	1	1	1	1	1	0	хранение		1→0
11	0	1	1→0	1	1	1	1	хранение		1	0	1
12	0	1	0→1	1	1	1	1	0	1	хранение		1→0
13 ¹⁾	1	1	0	1	1	1	1	хранение		0	0	1
14 ²⁾	*	*	*	0	0	1	*	X				
15	↔	*	0	*	*	*	*	хранение		X		1
16	*	↔	0	*	*	*	*	хранение		X		1
17 ²⁾	*	*	0	0	1	1	1	хранение		X		1
18 ²⁾	*	*	0	1	0	1	1	хранение		X		1
19 ²⁾	*	*	0	*	*	0	1	хранение		X		1
20 ²⁾	*	*	0	*	*	0	0	хранение		1	1	1
21 ²⁾	*	*	1	*	1→0	1	*	X			1	0
22 ²⁾	*	*	1	1→0	*	1	*	X		1	X	0

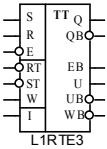
1) Неопределенное состояние выходов U, UB после перехода в S=R=0.

2) Нарушение самосинхронной предустановки.

Таблица задержек

Путь	E⇒Q		E⇒QB		E⇒EB		E⇒U		E⇒UB		W⇒Q	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
Задержка, нс	3.2	4.7	3.2	4.7	1.2	0.7	6.2	4.4	7.9	3.8	5.2	7.4
Путь	W⇒QB		W⇒U		W⇒UB		I⇒U		I⇒UB			
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰		
Задержка, нс	5.8	6.7	2.2	2.6	2.7	3.2	5.1	2.9	6.3	2.7		

L1RTE3 *Двухтактный RS-триггер с единичным спейсером, самосинхронными сбросом и установкой, разрешением записи (вариант 2)*



Элемент **L1RTE3** – двухтактный RS-триггер с СС-предустановкой. Назначение выводов: **RT**, **ST** – входы сброса и установки; **E** – вход разрешения записи с единичным спейсером; **I** – вход разрешения записи в первую ступень триггера (соединяется с индикаторным входом

микроэлемента, в составе которого используется); **W** – вход разрешения предустановки; **R**, **S** – бифазный информационный вход; **EB** – выход инверсии входа разрешения записи; **Q**, **QB** – бифазный информационный выход; **U**, **UB** – бифазный выход первой бистабильной ячейки (ступени). Выходы **EB**, **U** и **UB** необходимы для индикации окончания переходных процессов.

СС-предустановка выполняется следующим образом. При **E=1** на вход **W** подается значение **W=1**; оба выхода **U** и **UB** переходят в состояние 1, что фиксирует индикаторный элемент, отслеживающий состояние триггера. Затем на входах предустановки устанавливается требуемый код инициализации (**RT=0**, **ST=1** для установки в состояние **Q=0**, **QB=1** или **RT=1**, **ST=0** для установки в состояние **Q=1**, **QB=0**), на вход **W** подается значение **W=0**. После фиксации индикаторным элементом переключения выходов **Q** и **QB** на входы **RT**, **ST** подается высокий уровень, и предустановка заканчивается.

Для индикации используется элемент **G1B32I** (см. описание макроэлемента **S1RTE1**).

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами схемы: n-типа $N_n=3$ и p-типа $N_p=2$.

Коэффициент объединения по входу **I** – 2.

Рекомендуемая нагрузочная способность по выходам **Q**, **QB** и **WB** ≤ 3 , по выходам **EB**, **U** и **UB** – 1.

Размер элемента составляет 10 ячеек поля БМК.

Область применения – СС-схемотехника; первичное использование – в составе макроэлемента **S1RTE1**.

Таблица истинности

№ строки	Входы							Выходы					
	S	R	E	RT	ST	W	I	Q	QB	U	UB	EB	WB
1	*	*	1	*	*	1	*	хранение		1	1	0	0
2	*	*	1	1	0	0	*	1	0	0	1	0	1
3	*	*	1	0	1	0	*	0	1	1	0	0	1
4	*	*	0	1	0	0	0	хранение		0	1	1	1
5	*	*	0	0	1	0	0	хранение		1	0	1	1
6	*	*	1	1	1	0	*	UB	U	хранение		0	1
7	*	*	0	1	1	0	0	хранение			1	1	
8	0	0	0	1	1	0	*	хранение			1	1	
9	1	0	0	1	1	0	1	хранение		0	1	1	1
10	1	0	0→1	1	1	0	1	1	0	хранение		1→0	1
11	0	1	0	1	1	0	1	хранение		1	0	1	1
12	0	1	0→1	1	1	0	1	0	1	хранение		1→0	1
13 ¹⁾	1	1	0	1	1	0	1	хранение		0	0	1	1
14 ²⁾	*	*	*	0	0	0	*	X					
15	↔	*	0	*	*	*	*	хранение		X		1	X
16	*	↔	0	*	*	*	*	хранение		X		1	X
17 ²⁾	*	*	0	0	1	0	1	хранение		X		1	1
18 ²⁾	*	*	0	1	0	0	1	хранение		X		1	1
19 ²⁾	*	*	0	*	*	1	1	хранение		X		1	0
20 ²⁾	*	*	0	*	*	1	0	хранение		1	1	1	0
21 ²⁾	*	*	1	*	1→0	1	*	X			0		0
22 ²⁾	*	*	1	1→0	*	1	*	X			0		0

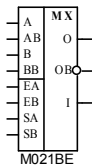
¹⁾ Неопределенное состояние выходов U, UB после перехода в S=R=0.

²⁾ Нарушение самосинхронной предустановки.

Таблица задержек

Путь	E⇒Q		E⇒QB		E⇒EB		E⇒U		E⇒UB		W⇒Q	
Задержка,	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
нс	3.2	4.7	3.2	4.7	1.2	0.7	6.2	4.4	7.8	3.8	6.2	8.5
Путь	W⇒QB		W⇒U		W⇒UB		W⇒WB		I⇒U		I⇒UB	
Задержка,	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
нс	6.9	7.7	3.0	3.5	3.3	4.1	1.0	0.6	5.1	2.9	6.3	2.7

M021BE ***Мультиплексор из 2 в 1 с нулевым спейсером, инверсией выходов и разрешением***



Элемент **M021BE** – мультиплексор 2:1 с парафазным сигналом разрешения.

Назначение выводов: **A**, **AB** – парафазный информационный вход первого канала; **B**, **BB** – парафазный информационный вход второго канала; **SA**, **SB** – парафазный сигнал выборки каналов с нулевым спейсером; **EA**, **EB** – парафазный вход разрешения с нулевым спейсером; **I** – выход индикатора окончания переходных процессов, **O**, **OB** – парафазный выход с единичным спейсером.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами схемы: n-типа $N_n=3$ и p-типа $N_p=2$.

Коэффициент объединения по входам **SA**, **SB**, **EA** и **EB** – 2.

Рекомендуемая нагрузочная способность по выходам **O** и **OB** ≤ 2 , по выходу **I** ≤ 4 .

Размер элемента составляет 7 ячеек поля БМК.

Область применения – СС-схемотехника. Сигналы выборки **SA** и **SB** могут быть статическими, например, в отказоустойчивых реализациях. В этом случае роль сигналов, обеспечивающих СС-работу мультиплексора, играют входы **EA** и **EB**. Функционально и структурно вход **SA** эквивалентен **EA**, а вход **SB** – **EB**.

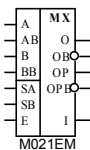
Таблица истинности

№ строки	Входы								Выходы		
	A	AB	B	BB	EA	EB	SA	SB	O	OB	I
1	*	*	*	*	0	0	1	0	1	1	0
2	*	*	*	*	1	0	1	0	/AB	/A	A+AB
3	*	*	*	*	0	0	0	1	1	1	0
4	*	*	*	*	0	1	0	1	/BB	/B	B+BB
5	*	*	*	*	0	0	0	0	1	1	0
6	*	*	*	*	0	1	0	0	1	1	0
7	*	*	*	*	1	0	0	0	1	1	0
8	*	*	*	*	0	0	0	0	1	1	0
9	*	*	*	*	1	0	0	0	1	1	0
10	*	*	*	*	0	0	0	1	1	1	0
11	*	*	*	*	0	0	0	0	1	1	0
12	*	*	*	*	0	1	0	0	1	1	0
13	*	*	*	*	0	0	1	0	1	1	0
14	*	*	*	*	0	0	0	0	1	1	0
15	*	*	*	*	0	0	0	1	1	1	0
16	*	*	*	*	0	0	1	0	1	1	0
17	*	*	*	*	*	*	1	1	X		
18	*	*	*	*	1	1	*	*	X		
19	*	*	*	*	*	1	1	*	X		
20	*	*	*	*	1	*	*	1	X		
21	↔	*	*	*	1	*	1	*	X		
22	*	↔	*	*	1	*	1	*	X		
23	*	*	↔	*	*	1	*	1	X		
24	*	*	*	↔	*	1	*	1	X		

Таблица задержек

Путь	A⇒OB		A⇒I		AB⇒O		AB⇒I		EA⇒O		EA⇒OB		EA⇒I	
Задержка, нс	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
	2.4	2.6	4.0	3.4	2.4	2.7	3.6	3.3	2.0	2.3	2.0	2.3	3.5	2.9
Путь	B⇒OB		B⇒I		BB⇒O		BB⇒I		EB⇒O		EB⇒OB		EB⇒I	
Задержка, нс	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
	1.8	2.0	3.3	2.9	1.8	2.0	2.9	2.7	1.7	1.8	1.7	1.8	2.9	2.6
Путь	SA⇒O		SA⇒OB		SA⇒I		SB⇒O		SB⇒OB		SB⇒I			
Задержка, нс	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
	2.2	2.5	2.2	2.5	3.7	3.1	2.1	2.2	2.1	2.2	3.2	3.1		

M021EM ***Мультиплексор из 2 в 1 с нулевым спейсером, мощным выходом и разрешением***



Элемент **M021EM** – парафазный мультиплексор 2:1 с мощным выходом. Назначение выводов: **A**, **AB** – парафазный информационный вход первого канала; **B**, **BB** – парафазный информационный вход второго канала; **SA**, **SB** – парафазный сигнал выборки каналов с нулевым спейсером;

E – управляющий сигнал с нулевым спейсером; **I** – выход индикатора окончания переходных процессов; **OP**, **OPB** – парафазный выход с единичным спейсером; **O**, **OB** – мощный парафазный выход с нулевым спейсером.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами схемы: n-типа $N_n=3$ и p-типа $N_p=2$.

Коэффициент объединения по входам **E**, **SA** и **SB** – 2.

Рекомендуемая нагрузочная способность по выходам **O** и **OB** ≤ 9 , по выходу **I** ≤ 4 , по выходам **OP** и **OPB** – 1.

Размер элемента составляет 8 ячеек поля БМК.

Область применения – СС-схемотехника.

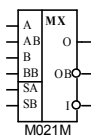
Таблица истинности

№ стро- ки	Входы							Выходы				
	A	AB	B	BB	SA	SB	E	O	OB	OP	OPB	I
1	*	*	*	*	*	*	0	0	0	1	1	1
2	*	*	*	*	0	0	1	0	0	1	1	1
3	0	1	*	*	1	0	1	0	1	0	1	0
4	0	0	*	*	1	0	1	0	0	1	1	1
5	1	0	*	*	1	0	1	1	0	1	0	0
6	*	*	0	1	0	1	1	0	1	0	1	0
7	*	*	0	0	0	1	1	0	0	1	1	1
8	*	*	1	0	0	1	1	1	0	1	0	0
9	*	*	*	*	1	1	1	X				
10	1	1	*	*	1	0	1	X				
11	*	*	1	1	0	1	1	X				
12	↔	*	*	*	1	0	1	X				
13	*	↔	*	*	1	0	1	X				
14	*	*	↔	*	0	1	1	X				
15	*	*	*	↔	0	1	1	X				

Таблица задержек

Путь	A⇒O		A⇒OPB		A⇒I		AB⇒OB		AB⇒OP		AB⇒I		B⇒O	
Задержка, нс	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
	3.6	3.0	2.8	2.7	5.0	4.2	3.6	3.0	2.8	2.7	5.0	4.2	3.2	2.7
Путь	B⇒OPB		B⇒I		BB⇒OB		BB⇒OP		BB⇒I		SA⇒OP		SA⇒OPB	
Задержка, нс	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
	2.5	2.4	4.7	3.9	3.3	2.7	2.5	2.4	4.7	3.8	3.1	2.7	3.1	2.7
Путь	SA⇒O		SA⇒OB		SA⇒I		SB⇒OP		SB⇒OPB		SB⇒O		SB⇒OB	
Задержка, нс	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
	3.7	3.2	3.7	3.3	5.4	4.2	2.7	2.4	2.7	2.4	3.2	2.9	3.2	2.9
Путь	SB⇒I		E⇒OP		E⇒OPB		E⇒O		E⇒OB		E⇒I			
Задержка, нс	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
	2.5	2.4	4.7	3.9	3.3	2.7	2.5	2.4	4.7	3.8	3.1	2.7		

M021M Мультиплексор из 2 в 1 с нулевым спейсером и мощным выходом



Элемент **M021M** – парафазный мультиплексор 2:1 с мощным выходом. Назначение выводов: **A**, **AB** – парафазный информационный вход первого канала; **B**, **BB** – парафазный информационный вход второго канала; **SA**, **SB** – парафазный сигнал выборки каналов с нулевым спейсером; **I** – выход индикатора окончания переходных процессов; **O**, **OB** – мощный парафазный выход с нулевым спейсером.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами схемы: n-типа $N_n=2$ и p-типа $N_p=2$.

Коэффициент объединения по входам **SA**, **SB** – 2.

Рекомендуемая нагрузочная способность по выходам **O** и **OB** ≤ 9 , по выходу **I** ≤ 4 .

Размер элемента составляет 7 ячеек поля БМК.

Область применения – СС-схемотехника.

Таблица истинности

№ строки	Входы						Выходы		
	A	AB	B	BB	SA	SB	O	OB	I
1	*	*	*	*	0	0	0	0	1
2	*	*	*	*	1	0	A	AB	/(A+AB)
3	*	*	*	*	0	1	B	BB	/(B+BB)
4	*	*	*	*	1	1	X		
5	↔	*	*	*	1	*	X		
6	*	↔	*	*	1	*	X		
7	*	*	↔	*	*	1	X		
8	*	*	*	↔	*	1	X		

Таблица задержек

Путь	A⇒O		A⇒I		AB⇒OB		AB⇒I		B⇒O		B⇒I		BB⇒OB	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
Задержка, нс	2.1	2.3	4.3	2.7	2.1	2.3	4.2	2.7	1.9	2.3	4.3	2.5	1.9	2.3
Путь	BB⇒I		SA⇒O		SA⇒OB		SA⇒I		SB⇒O		SB⇒OB		SB⇒I	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
Задержка, нс	4.3	2.5	1.8	2.3	1.8	2.3	4.3	2.4	1.7	2.0	1.7	2.0	4.0	2.2

МАЖВМ Мажоритарный элемент для трех унарных сигналов, с унарным выходом



МАЖВМ – мажоритарный элемент, работающий с унарными (непарными) сигналами.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной

питания и выходом схемы: n-типа $Nn=2$ и p-типа $Np=2$.

Коэффициент объединения по входам **I1** и **I2** – 2.

Рекомендуемая нагрузочная способность по выходу ≤ 3 .

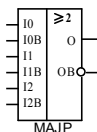
Размер элемента составляет 3 ячейки поля БМК.

Область применения – СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
Задержка, нс	2.5	1.2	2.5	1.4	2.5	1.4

МАЗР Мажоритарный элемент для трех парафазных сигналов, с парафазным выходом



МАЗР – мажоритарный элемент, работающий с парафазными сигналами в соответствии с логическими функциями и имеющий парафазный выход. Элемент **МАЗР** совмещает в себе функции двух элементов **МАЖВМ**, но занимает меньшее количество ячеек поля БМК при таком же быст-

родействии.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами схемы: n-типа $N_n=2$ и p-типа $N_p=2$.

Коэффициент объединения по входам **I0**, **I0B**, **I1** и **I1B** – 2.

Рекомендуемая нагрузочная способность по выходам **O** и **OB** ≤ 3.

Размер элемента составляет 5 ячеек поля БМК.

Область применения – СС-схемотехника; например, формирование сигнала переноса в сумматоре. Для обеспечения самосинхронности элемента его выходы необходимо проиндицировать с помощью элемента 2И-НЕ, если входные сигналы имеют нулевой спейсер, или 2ИЛИ-НЕ при единичном спейсере входов.

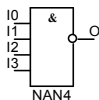
Таблица запрещенных состояний

№ строки	Входы						Выходы	
	I0	I0B	I1	I1B	I2	I2B	O	OB
1	0	0	1	1	*	*	X	
2	0	0	*	*	1	1	X	
3	1	1	0	0	*	*	X	
4	*	*	0	0	1	1	X	
5	1	1	*	*	0	0	X	
6	*	*	1	1	0	0	X	

Таблица задержек

Путь	I0⇒OB		I0B⇒O		I1⇒OB		I1B⇒O		I2⇒OB		I2B⇒O	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
нс	2.4	1.4	2.4	1.4	2.5	1.4	2.5	1.4	2.4	1.3	2.4	1.3

NAN4 **Логический элемент 4И-НЕ**



Элемент предназначен для построения комбинационных и управляющих подсхем в соответствии с выполняемой логической функцией.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=4$, p-типа $N_p=1$.

Рекомендуемая нагрузочная способность по выходу ≤ 2 .

Размер элемента составляет 2 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O	
Задержка, нс	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
		1.7	2.7	1.6	2.6	1.4	2.5	1.2

NOR4 **Логический элемент 4ИЛИ-НЕ**



Элемент предназначен для построения комбинационных и управляющих подсхем в соответствии с выполняемой функцией.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=1$, p-типа $N_p=4$.

Рекомендуемая нагрузочная способность по выходу ≤ 2 .

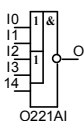
Размер элемента составляет 2 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O	
Задержка, нс	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
		5.3	0.9	5.2	0.9	5.0	0.9	4.7

0221AI Логический элемент 2ИЛИ-2ИЛИ-3И-НЕ



Элемент предназначен для построения комбинационных и управляющих подсхем в соответствии с выполняемой функцией.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=3$ и p-типа $N_p=2$.

Рекомендуемая нагрузочная способность по выходу ≤ 3 .

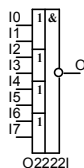
Размер элемента составляет 3 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O		I4⇒O	
	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
нс	1.0	1.4	1.1	1.4	1.0	1.3	0.9	1.3	0.4	1.0

02222I Логический элемент 2ИЛИ-2ИЛИ-2ИЛИ-2ИЛИ-4И-НЕ



Элемент предназначен для построения комбинационных и управляющих подсхем в соответствии с выполняемой функцией.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=4$ и p-типа $N_p=2$.

Рекомендуемая нагрузочная способность по выходу ≤ 2 .

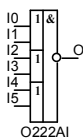
Размер элемента составляет 4 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O		I4⇒O		I5⇒O		I6⇒O		I7⇒O	
	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
нс	3.2	3.6	3.2	2.2	3.7	2.3	3.7	2.4	4.2	2.4	4.3	2.5	4.7	2.5	4.8	2.5

0222A1 **Логический элемент** ***2ИЛИ-2ИЛИ-2ИЛИ-3И-НЕ***



Элемент предназначен для построения комбинационных и управляющих под схем в соответствии с выполняемой функцией.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=3$ и p-типа $N_p=2$.

Рекомендуемая нагрузочная способность по выходу ≤ 3 .

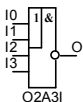
Размер элемента составляет 3 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O		I4⇒O		I5⇒O	
	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
нс	2.6	1.5	2.7	1.6	3.2	1.7	3.3	1.7	3.7	1.7	3.8	1.7

02A3I **Логический элемент** ***2ИЛИ-3И-НЕ***



Элемент предназначен для построения комбинационных и управляющих под схем в соответствии с выполняемой функцией.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=3$ и p-типа $N_p=2$.

Рекомендуемая нагрузочная способность по выходу ≤ 3 .

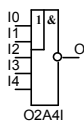
Размер элемента составляет 2 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O	
	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
нс	0.9	1.2	0.9	1.4	0.4	1.1	0.3	1.0

02A4I Логический элемент 2ИЛИ-4И-НЕ



Элемент предназначен для построения комбинационных и управляющих подсхем в соответствии с выполняемой функцией.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=4$ и p-типа $N_p=2$.

Рекомендуемая нагрузочная способность по выходу ≤ 2 .

Размер элемента составляет 3 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O		I4⇒O	
	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
нс	2.6	1.7	2.7	2.0	1.7	1.7	1.5	1.7	1.2	1.6

02A0I Логический элемент 2ИЛИ-2И-2ИЛИ-НЕ



Элемент предназначен для построения комбинационных и управляющих подсхем в соответствии с выполняемой функцией.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=2$ и p-типа $N_p=3$.

Рекомендуемая нагрузочная способность по выходу ≤ 3 .

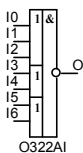
Размер элемента составляет 2 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O	
	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
нс	1.2	0.9	1.2	1.0	0.7	0.7	0.7	0.6

О322А1 Логический элемент 3 ИЛИ-2ИЛИ-2ИЛИ-3И-НЕ



Элемент предназначен для построения комбинационных и управляющих под схем в соответствии с выполняемой функцией.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=3$ и p-типа $N_p=3$.

Рекомендуемая нагрузочная способность по выходу ≤ 3 .

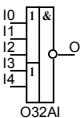
Размер элемента составляет 4 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O		I4⇒O		I5⇒O		I6⇒O	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
нс	2.0	1.3	2.0	1.5	2.0	1.5	1.3	1.4	1.3	1.3	1.1	1.2	1.1	1.2

О32А1 Логический элемент 3ИЛИ-2ИЛИ-2И-НЕ



Элемент предназначен для построения комбинационных и управляющих под схем в соответствии с выполняемой функцией.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=2$ и p-типа $N_p=3$.

Рекомендуемая нагрузочная способность по выходу ≤ 3 .

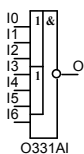
Размер элемента составляет 3 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O		I4⇒O	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
нс	3.9	1.2	3.8	1.2	3.8	1.2	3.7	1.6	3.8	1.6

О331А1 Логический элемент 2ИЛИ-3ИЛИ-3И-НЕ



Элемент предназначен для построения комбинационных и управляющих подсхем в соответствии с выполняемой функцией.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=3$ и p-типа $N_p=3$.

Рекомендуемая нагрузочная способность по выходу ≤ 3 .

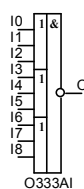
Размер элемента составляет 4 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O		I4⇒O		I5⇒O		I6⇒O	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
Задержка, нс	4.4	1.9	4.5	1.9	4.5	1.9	6.5	2.6	6.5	2.6	6.5	2.6	2.7	2.2

О333А1 Логический элемент 3ИЛИ-3ИЛИ-3ИЛИ-3И-НЕ



Элемент предназначен для построения комбинационных и управляющих подсхем в соответствии с выполняемой функцией.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=3$ и p-типа $N_p=3$.

Рекомендуемая нагрузочная способность по выходу ≤ 3 .

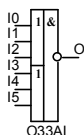
Размер элемента составляет 5 ячеек поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O		I4⇒O		I5⇒O		I6⇒O	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
Задержка, нс	1.9	1.3	2.0	1.5	2.1	1.5	2.2	1.4	2.2	1.5	2.2	1.6	2.2	1.7
Путь	I7⇒O		I8⇒O											
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰										
Задержка, нс	2.2	1.8	2.2	1.8										

ОЗ3А1 Логический элемент ЗИЛИ-ЗИЛИ-2И-НЕ



Элемент предназначен для построения комбинационных и управляющих подсхем в соответствии с выполняемой функцией.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=2$ и p-типа $N_p=3$.

Рекомендуемая нагрузочная способность по выходу ≤ 3 .

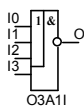
Размер элемента составляет 3 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O		I4⇒O		I5⇒O	
	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
нс	3.9	1.2	3.9	1.2	3.9	1.2	5.8	1.2	5.9	1.5	5.9	1.5

ОЗА11 Логический элемент ЗИЛИ-2И-НЕ



Элемент предназначен для построения комбинационных и управляющих подсхем в соответствии с выполняемой функцией.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=2$ и p-типа $N_p=3$.

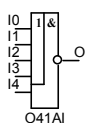
Рекомендуемая нагрузочная способность по выходу ≤ 3 .

Размер элемента составляет 2 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O	
	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
нс	6.9	1.9	6.9	1.9	6.9	1.9	2.3	1.6

041AI Логический элемент 4ИЛИ-2И-НЕ

Элемент предназначен для построения комбинационных и управляющих подсхем в соответствии с выполняемой функцией.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=2$ и p-типа $N_p=4$.

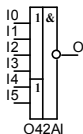
Рекомендуемая нагрузочная способность по выходу ≤ 2 .

Размер элемента составляет 3 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O		I4⇒O	
	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
нс	1.7	1.0	1.7	1.1	1.7	1.1	1.8	1.2	0.5	0.7

042AI Логический элемент 4ИЛИ-2ИЛИ-2И-НЕ

Элемент предназначен для построения комбинационных и управляющих подсхем в соответствии с выполняемой функцией.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=2$ и p-типа $N_p=4$.

Рекомендуемая нагрузочная способность по выходу ≤ 2 .

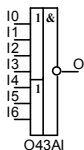
Размер элемента составляет 3 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O		I4⇒O		I5⇒O	
	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
нс	1.9	1.0	2.1	1.0	2.2	1.0	2.2	1.1	0.9	0.8	0.9	0.8

043AI Логический элемент 4ИЛИ-3ИЛИ-2И-НЕ



Элемент предназначен для построения комбинационных и управляющих подсхем в соответствии с выполняемой функцией.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=2$ и p-типа $N_p=4$.

Рекомендуемая нагрузочная способность по выходу ≤ 2 .

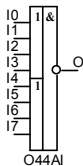
Размер элемента составляет 4 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O		I4⇒O		I5⇒O		I6⇒O	
Задержка, нс	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
	2.3	1.0	2.4	1.1	2.5	1.1	2.6	1.2	1.6	0.9	1.4	0.9	1.7	0.9

044AI Логический элемент 4ИЛИ-4ИЛИ-2И-НЕ



Элемент предназначен для построения комбинационных и управляющих подсхем в соответствии с выполняемой функцией.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=2$ и p-типа $N_p=4$.

Рекомендуемая нагрузочная способность по выходу ≤ 2 .

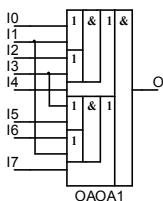
Размер элемента составляет 4 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O		I4⇒O		I5⇒O		I6⇒O		I7⇒O	
Задержка, нс	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
	2.7	1.1	2.7	1.1	2.7	1.1	2.7	1.2	2.2	1.0	2.2	1.0	2.3	1.1	2.5	1.2

ОАОА1 Индикаторный элемент



Элемент предназначен для индикации двухтактного триггера. Первичное использование – в составе макроэлемента **R1CE20**. Коммутация выводов элемента **ОАОА1** с триггерной частью показана в описании макроэлемента **R1CE20**.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом первого каскада схемы: n-типа $N_n=4$ и p-типа $N_p=3$.

Коэффициент объединения по входам **И1** и **И3** – 2.

Рекомендуемая нагрузочная способность по выходу ≤ 5 .

Размер элемента составляет 6 ячеек поля БМК.

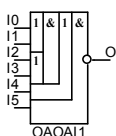
Область применения – СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O		I4⇒O		I5⇒O		I6⇒O		I7⇒O	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
нс	2.8	3.9	2.2	2.9	2.2	2.9	3.1	4.6	2.2	3.3	2.8	3.9	3.1	4.3	2.2	3.2

ОАОА11 Логический элемент

2ИЛИ-2ИЛИ-2И-2ИЛИ-2И-НЕ



Элемент предназначен для построения комбинационных и управляющих подсхем в соответствии с выполняемой функцией.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=3$ и p-типа $N_p=3$.

Рекомендуемая нагрузочная способность по выходу ≤ 3 .

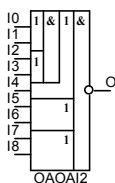
Размер элемента составляет 3 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O		I4⇒O		I5⇒O	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
нс	5.1	2.2	5.0	2.2	4.5	2.0	4.3	2.0	1.4	1.2	1.4	1.2

ОАОА12 Логический элемент 2ИЛИ-2ИЛИ-2И-2ИЛИ-2ИЛИ-2ИЛИ-3И-НЕ



Элемент предназначен для построения комбинационных и управляющих подсхем в соответствии с выполняемой функцией.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=4$ и p-типа $N_p=3$.

Рекомендуемая нагрузочная способность по выходу ≤ 2 .

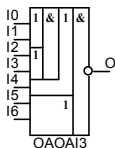
Размер элемента составляет 5 ячеек поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O		I4⇒O		I5⇒O		I6⇒O	
Задержка, нс	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
	8.1	2.5	8.2	3.5	7.7	2.8	7.7	2.8	8.1	2.5	5.0	1.7	7.7	2.8
Путь	I7⇒O				I8⇒O									
Задержка, нс	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
	4.2	2.3	4.2	1.9										

ОАОА13 Логический элемент 2ИЛИ-2ИЛИ-2И-2ИЛИ-2ИЛИ-2И-НЕ



Элемент предназначен для построения комбинационных и управляющих подсхем в соответствии с выполняемой функцией.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=3$ и p-типа $N_p=3$.

Рекомендуемая нагрузочная способность по выходу ≤ 3 .

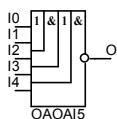
Размер элемента составляет 4 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O		I4⇒O		I5⇒O		I6⇒O	
Задержка, нс	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
	3.5	1.1	6.3	1.3	6.3	1.3	6.3	1.3	6.3	1.3	3.4	1.1	3.5	1.1

ОАОА15 Логический элемент 2ИЛИ-2И-2ИЛИ-2И-НЕ



Элемент предназначен для построения комбинационных и управляющих подсхем в соответствии с выполняемой функцией.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=3$ и p-типа $N_p=3$.

Рекомендуемая нагрузочная способность по выходу ≤ 3 .

Размер элемента составляет 3 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника. Если его входами являются инверсии поразрядных вспомогательных функций генерации (gb_i) и распространения (pb_i) переноса, то реализует двухразрядный ускоренный перенос в сумматоре:

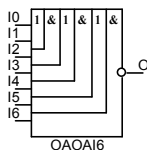
$$C_2 = \overline{((CB_0 + pb_0) * gb_0 + pb_1) * gb_1},$$

где CB_0 и C_2 – инверсный и прямой сигналы переноса в первый и третий разряды сумматора соответственно.

Таблица задержек

Путь	10 \Rightarrow 0		11 \Rightarrow 0		12 \Rightarrow 0		13 \Rightarrow 0		14 \Rightarrow 0	
	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
Задержка, нс	4.7	2.3	4.6	2.2	3.0	2.1	2.9	1.3	1.3	1.2

ОАОА16 Логический элемент 2ИЛИ-2И-2ИЛИ-2И-2ИЛИ-2И-НЕ



Элемент предназначен для организации группового переноса для обратных сигналов.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=4$ и p-типа $N_p=4$.

Рекомендуемая нагрузочная способность по выходу ≤ 2 .

Размер элемента составляет 4 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника. Если его вхо-

дами являются инверсии поразрядных вспомогательных функций генерации (gb_i) и распространения (pb_i) переноса, то реализует трехразрядный ускоренный перенос в сумматоре:

$$C_3 = \overline{((CB_0 + pb_0) * gb_0 + pb_1) * gb_1 + pb_2} * gb_2,$$

где CB_0 и C_3 – инверсный и прямой сигналы переноса в первый и четвертый разряды сумматора, соответственно, и для формирования функции групповой 4-разрядной генерации переноса:

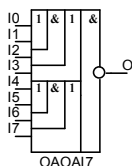
$$G_3 = \overline{((gb_0 + pb_1) * gb_1 + pb_2) * gb_2 + pb_3} * gb_3$$

Может использоваться также и для реализации соответствующей логической функции, не связанной с переносом.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O		I4⇒O		I5⇒O		I6⇒O	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
нс	5.7	2.4	5.6	2.3	5.0	2.2	4.9	2.2	1.7	1.2	1.7	1.2	1.7	1.2

ОАОА17 Логический элемент



Элемент предназначен для построения комбинационных и управляющих подсхем в соответствии с выполняемой функцией.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=4$ и p-типа $N_p=3$.

Рекомендуемая нагрузочная способность по выходу ≤ 2 .

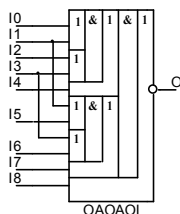
Размер элемента составляет 4 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O		I4⇒O		I5⇒O		I6⇒O		I7⇒O	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
нс	2.2	2.1	2.2	2.0	1.4	1.7	1.2	1.3	2.2	2.1	2.2	2.0	1.4	1.7	1.2	1.3

ОАОАОІ Индикаторный элемент



Элемент предназначен для построения комбинационных и управляющих подсхем в соответствии с выполняемой функцией.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=4$ и p-типа $N_p=4$.

Коэффициент объединения по входам **И1, И3** – 2.

Рекомендуемая нагрузочная способность по выходу ≤ 2 .

Размер элемента составляет 6 ячеек поля БМК.

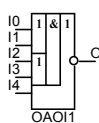
Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O		I4⇒O		I5⇒O		I6⇒O		I7⇒O		I8⇒O	
Задержка, нс	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
	8.1	2.5	8.2	3.5	7.7	2.8	7.7	2.8	8.1	2.5	8.1	2.5	7.7	2.8	8.1	2.5	4.2	1.9

ОАОИІ Логический элемент

2ИЛИ-2ИЛИ-2И-2ИЛИ-НЕ



Элемент предназначен для построения комбинационных и управляющих схем в соответствии с выполняемой функцией.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=2$ и p-типа $N_p=3$.

Рекомендуемая нагрузочная способность по выходу ≤ 3 .

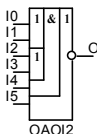
Размер элемента составляет 3 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O		I4⇒O	
Задержка, нс	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
	1.5	1.0	1.5	0.9	1.3	1.0	1.2	1.0	0.8	0.7

ОАО12 Логический элемент 2ИЛИ-2ИЛИ-3И-2ИЛИ-НЕ



Элемент предназначен для построения комбинационных и управляющих подсхем в соответствии с выполняемой функцией.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=3$ и p-типа $N_p=3$.

Рекомендуемая нагрузочная способность по выходу ≤ 3 .

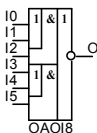
Размер элемента составляет 3 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O		I4⇒O		I5⇒O	
	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
Задержка, нс	1.6	1.5	1.7	1.7	1.6	1.6	1.5	1.5	1.0	1.5	0.7	1.6

ОАО18 Логический элемент 2ИЛИ-2И-2ИЛИ-2И-2ИЛИ-НЕ



Элемент предназначен для построения комбинационных и управляющих подсхем в соответствии с выполняемой функцией.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=2$ и p-типа $N_p=4$.

Рекомендуемая нагрузочная способность по выходу ≤ 2 .

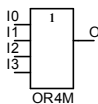
Размер элемента составляет 3 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O		I4⇒O		I5⇒O	
	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
Задержка, нс	5.3	2.1	3.2	1.5	3.1	2.2	3.2	1.5	3.1	2.2	3.2	1.5

OR4M Логический элемент 4ИЛИ (однокаскадный)



Элемент предназначен для построения комбинационных и управляющих подсхем в соответствии с выполняемой функцией.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом первого каскада схемы: n-типа $N_n=1$ и p-типа $N_p=4$.

Рекомендуемая нагрузочная способность по выходу ≤ 5 .

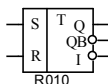
Размер элемента составляет 3 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O	
	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
Задержка, нс	0.6	1.0	0.5	0.9	0.5	0.8	0.5	0.9

R010 Однотактный RS-триггер с нулевым спейсером



Элемент **R010** – однотактный RS-триггер с парафазным входом (**R**, **S**) с нулевым спейсером, бифазным информационным выходом (**Q**, **QB**) и индикаторным выходом (**I**),

отображающим окончание переходных процессов в триггере. В спейсере значение выхода **I** равно 1, в рабочей фазе – 0.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами схемы: n-типа $N_n=2$ и p-типа $N_p=2$.

Коэффициент объединения по входам **R** и **S** – 2.

Рекомендуемая нагрузочная способность по выходам **Q**, **QB** ≤ 2 , по выходу **I** ≤ 3 .

Размер элемента составляет 4 ячейки поля БМК.

Область применения – СС-схемотехника.

Таблица истинности

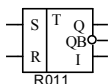
№ строки	Входы		Выходы		
	S	R	Q	QB	I
1	0	1	0	1	0
2	0	0	хранение		1
3	1	0	1	0	0
4 ¹⁾	1	1	0	0	1

1) Неопределенное состояние выходов Q, QB после перехода в S=R=0.

Таблица задержек

Путь	S \Rightarrow Q	S \Rightarrow QB	S \Rightarrow I		R \Rightarrow Q	R \Rightarrow QB	R \Rightarrow I	
Задержка,	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ¹⁰	t ⁰¹	t ⁰¹	t ¹⁰
нс	2.9	0.7	2.2	4.2	0.7	3.1	1.8	4.0

R011 Однотактный RS-триггер с парафазным входом с нулевым спейсером и мощным выходом



Элемент **R011** – RS-триггер с парафазным информационным входом (**R**, **S**) с нулевым спейсером, парафазным мощным информационным выходом (**Q**, **QB**) и индикаторным выходом (**I**). При спейсере на информационном входе (**R=S=0**) триггер хранит свое состояние, а индикаторный выход **I=0**. При **R=0**, **S=1** триггер переключается в состояние **Q=1**, **QB=0**. При **R=1**, **S=0** триггер переключается в состояние **Q=0**, **QB=1**. Входная комбинация **R=S=1** - запрещенная. Окончание перехода в очередное рабочее состояние, соответствующее рабочему значению информационного входа, фиксируется значением **I=1** на индикаторном выходе. Информационный выход (**Q**, **QB**) формируется инверторами, обеспечивающими увеличенную нагрузочную способность и электрическую развязку элемента памяти триггера, хранящего его состояние, от внешнего окружения, что повышает помехоустойчивость триггера. Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами элементов схемы триггера: n-типа $N_n=2$ и p-типа $N_p=2$. Коэффициент объединения по всем входам – 2.

Рекомендуемая нагрузочная способность по выходу $I \leq 4$, по выходам $Q, QB \leq 3$.

Размер элемента составляет 7 ячеек поля БМК.

Область применения – СС-схемотехника.

Таблица истинности

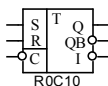
№ строки	Входы		Выходы		
	S	R	I	Q	QB
1	0	1	1	0	1
2	0	0	0	хранение	
3	1	0	1	1	0
4 ¹⁾	1	1	0	1	1

¹⁾ Неопределенное состояние выходов Q, QB после перехода в S=R=0.

Таблица задержек

Путь	S \Rightarrow Q	S \Rightarrow QB	S \Rightarrow I		R \Rightarrow Q	R \Rightarrow QB	R \Rightarrow I	
Задержка, нс	t^{01}	t^{10}	t^{01}	t^{10}	t^{10}	t^{01}	t^{01}	t^{10}
	1.5	2.7	5.0	2.2	2.7	1.5	5.7	2.2

R0C10 *Однотактный RS-триггер с нулевым спейсером и самосинхронным сбросом*



Элемент **R0C10** – однотактный RS-триггер с парафазным информационным входом (**R**, **S**) с нулевым спейсером, входом самосинхронного сброса (**C**), бифазным информационным выходом (**Q**, **QB**) и индикаторным выходом (**I**), отображающим окончание переходных процессов в триггере. В спейсере (**R=S=0**) триггер хранит свое состояние, а значение выхода **I** равно 1. В рабочей фазе (**R \neq S**) **I=0**. При (**R=0, S=1**) триггер переключается в состояние единицы (**Q=1, QB=0**), а при (**R=1, S=0**) – в состояние нуля (**Q=0, QB=1**). Входная комбинация **R=S=1** – запрещенная.

Самосинхронный сброс триггера осуществляется подачей низкого уровня на вход самосинхронного сброса (**C=0**) при спейсере на информационном входе (**R=S=0**). При этом триггер устанавливается в состояние (**Q=0, QB=1**), а выход **I** – в состояние 0. Элемент 2И-НЕ в составе триггера обеспечивает индикацию сброса триггера общей подсхемой индикации без использования дополнительных средств.

После снятия активного (низкого) уровня со входа сброса **C** индикаторный выход переключается в 1.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами элементов схемы: n-типа $N_n=2$ и p-типа $N_p=3$.

Коэффициент объединения по всем входам – 2. Рекомендуемая нагрузочная способность элемента по выходу **Q** – 1, по выходу **QB** ≤ 2 , по выходу **I** ≤ 3 .

Размер элемента составляет 8 ячеек поля БМК.

Область применения – СС-схемотехника.

Таблица истинности

№ строки	Входы			Выходы		
	S	R	C	Q	QB	I
1	0	0	0	0	1	0
2	0	0	1	хранение		1
3	0	1	1	0	1	0
4	1	0	1	1	0	0
5 ¹⁾	1	1	0	0	0	0
6 ²⁾	1	1	1	0	0	1
7 ¹⁾	1	0	0	1	0	0
8	0	1	0	0	1	0

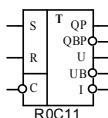
1) Нарушение самосинхронной предустановки.

2) Неопределенное состояние выходов Q, QB после перехода в S=R=0.

Таблица задержек

Путь	S \Rightarrow Q	S \Rightarrow QB	S \Rightarrow I		R \Rightarrow Q	R \Rightarrow QB	R \Rightarrow I	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ¹⁰	t ⁰¹	t ⁰¹	t ¹⁰
Задержка, нс	3.4	0.9	2.9	5.2	0.8	3.4	2.5	4.8
Путь	C \Rightarrow Q	C \Rightarrow QB	C \Rightarrow I					
	t ¹⁰	t ⁰¹	t ⁰¹	t ¹⁰				
Задержка, нс	3.2	2.7	2.5	5.2				

R0C11 **Однотактный RS-триггер с нулевым спейсером, самосинхронным сбросом и парафазным выходом с нулевым спейсером**



Элемент **R0C11** – RS-триггер с парафазным информационным входом (**R**, **S**) с нулевым спейсером, входом самосинхронного сброса (**C**), парафазным информационным выходом (**QP**, **QBP**) с нулевым спейсером; бифазным информационным выходом (**U**, **UB**) и индикаторным выходом (**I**).

При спейсере на информационном входе (**R=S=0**) триггер хранит свое состояние, а информационный выход также находится в спейсерном состоянии **QP=QBP=0**. При (**R=0, S=1**) триггер переключается в состояние (**U=1, UB=0**), а при (**R=1, S=0**) – в состояние (**U=0, UB=1**). Индикаторный выход переключается в состояние **I=0**, разрешая тем самым формирование рабочего состояния парафазного информационного выхода (**QP=0, QBP=1** и, соответственно, **QP=1, QBP=0**). Входная комбинация **R=S=1** – запрещенная. Окончание перехода триггера в рабочее или спейсерное состояние фиксируется по переключению парафазного информационного выхода в соответствующее состояние. Начальный сброс реализуется подачей низкого уровня на вход самосинхронного сброса **C=0** при спейсере на информационном входе (**R=S=0**). При этом триггер устанавливается в состояние (**U=0, UB=1**), индикаторный выход переключается в состояние **I=0**, разрешая тем самым формирование рабочего состояния парафазного информационного выхода (**QP=0, QBP=1**). После снятия активного (низкого) уровня со входа сброса **C** индикаторный выход переключается в состояние **I=1**, переводя тем самым информационный выход в спейсерное состояние **QP=QBP=0**.

Выход **I** может быть использован внешним окружением для ускорения его перехода в спейсерное состояние (**S=0, R=0**) вместо ожидания окончания переходных процессов на выходах **QP, QBP**. При этом состояние выходов **QP, QBP** должно отслеживаться при формировании следующего рабочего состояния на входах **R, S** по аналогии со входом **E** элемента **D1CE20** (см. сигнальный граф для элемента **D1CE20**).

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами элементов схемы триггера: n-типа $N_n=2$ и p-типа $N_p=3$.

Коэффициент объединения по всем входам – 2.

Рекомендуемая нагрузочная способность по выходам **QP, QBP** ≤ 3 , по выходам **I, U, UB** – 1.

Размер элемента составляет 8 ячеек поля БМК.

Область применения – СС-схемотехника, для передачи информации к удаленному приемнику, обеспечивающей безошибочную передачу данных независимо от задержек сигналов в цепях схемы.

Таблица истинности

№ строки	Входы			Выходы				
	S	R	C	QP	QBP	I	U	UB
1	0	0	0	0	1	0	0	1
2	0	0	1	0	0	1	хранение	
3	0	1	1	0	1	0	0	1
4	1	0	1	1	0	0	1	0
5 ¹⁾	1	1	0	1	1	0	0	0
6 ²⁾	1	1	1	0	0	1	0	0
7 ¹⁾	1	0	0	1	0	0	1	0
8 ¹⁾	0	1	0	0	1	0	0	1

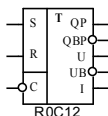
1) Нарушение самосинхронной предустановки.

2) Неопределенное состояние выходов U, UB после перехода в S=R=0.

Таблица задержек

Путь	S⇒QP		S⇒I		R⇒QBP		R⇒I		S⇒U	S⇒UB
Задержка, нс	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
		8.0	3.8	3.4	5.9	7.4	3.4	3.0	5.4	3.7
Путь	R⇒U	R⇒UB	C⇒QBP		C⇒I		C⇒U	C⇒UB		
Задержка, нс	t ¹⁰	t ⁰¹	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ¹⁰	t ⁰¹		
		0.9	3.7	7.4	3.2	2.9	5.7	3.5	2.9	

R0C12 ***Однотактный RS-триггер с нулевым спейсером, самосинхронным сбросом и парафазным выходом с единичным спейсером***



Элемент **R0C12** – RS-триггер с парафазным информационным входом (**R**, **S**) с нулевым спейсером, входом самосинхронного сброса (**C**), парафазным информационным выходом (**QP**, **QBP**) с единичным спейсером; бифазным информационным выходом (**U**, **UB**) и индикаторным выходом (**I**). При спейсере на информационном входе (**R=S=0**) триггер хранит свое состояние, а информационный выход также находится в спейсерном состоянии **QP=QBP=1**. При (**R=0**, **S=1**) триггер переключается в состояние (**U=1**, **UB=0**), а при (**R=1**, **S=0**) – в состояние (**U=0**, **UB=1**). Индикаторный выход переключается в состояние **I=1**, разрешая тем самым формирование рабочего состояния парафазного информационного выхода (**QP=0**, **QBP=1** и, соответственно, **QP=1**, **QBP=0**).

Входная комбинация **R=S=1** – запрещенная. Окончание перехода триггера в рабочее или спейсерное состояние фиксируется по переключению парафазного информационного выхода в соответствующее состояние. Начальный сброс реализуется подачей низкого уровня на вход самосинхронного сброса **C=0** при спейсере на информационном входе (**R=S=0**). При этом триггер устанавливается в состояние (**U=0**, **UB=1**), индикаторный выход переключается в состояние **I=1**, разрешая тем самым формирование рабочего состояния парафазного информационного выхода (**QP=0**, **QBP=1**). После снятия активного (низкого) уровня со входа сброса **C** индикаторный выход переключается в состояние **I=0**, переводя тем самым информационный выход в спейсерное состояние **QP=QBP=1**.

Выход **I** может быть использован внешним окружением для ускорения его перехода в спейсерное состояние (**S=0**, **R=0**) вместо ожидания окончания переходных процессов на выходах **QP**, **QBP**. При этом состояние выходов **QP**, **QBP** должно отслеживаться при формировании следующего рабочего состояния на входах **R**, **S** по аналогии со входом **E** элемента **D1CE20** (см. сигнальный граф для элемента **D1CE20**).

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами элементов схемы триггера: n-типа $N_n=2$ и p-типа $N_p=3$.

Коэффициент объединения по всем входам – 2.

Рекомендуемая нагрузочная способность по выходам **U**, **UB** – 1, по выходу **I** ≤ 3 , по выходам **QP**, **QBP** ≤ 4 .

Размер элемента составляет 9 ячеек поля БМК.

Область применения – СС-схемотехника, для передачи информации к удаленному приемнику; обеспечивающей безошибочную передачу данных независимо от задержек сигналов в цепях схемы.

Таблица истинности

№ строки	Входы			Выходы				
	S	R	C	QP	QBP	I	U	UB
1	0	0	0	0	1	1	0	1
2	0	0	1	1	1	0	хранение	
3	0	1	1	0	1	1	0	1
4	1	0	1	1	0	1	1	0
5 ¹⁾	1	1	0	1	1	1	0	0
6 ²⁾	1	1	1	1	1	0	0	0
7 ¹⁾	1	0	0	1	0	1	1	0
8 ¹⁾	0	1	0	0	1	1	0	1

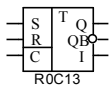
¹⁾ Нарушение самосинхронной предустановки.

²⁾ Неопределенное состояние выходов U, UB, Q, QB после перехода в S=R=0.

Таблица задержек

Путь	S \Rightarrow QBP		S \Rightarrow I		R \Rightarrow QP		R \Rightarrow I		S \Rightarrow U	S \Rightarrow UB
Задержка, нс	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
	7.6	3.7	6.7	2.9	3.7	3.7	6.2	2.6	3.7	1.0
Путь	R \Rightarrow U	R \Rightarrow UB	C \Rightarrow QP		C \Rightarrow I		C \Rightarrow U	C \Rightarrow UB		
Задержка, нс	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ¹⁰	t ⁰¹		
	0.9	3.7	7.3	3.7	6.4	2.6	3.5	2.9		

R0C13 **Однотактный RS-триггер с парафазным входом с нулевым спейсером, самосинхронным сбросом и мощным выходом**



Элемент **R0C13** – RS-триггер с парафазным информационным входом (**R**, **S**) с нулевым спейсером; входом самосинхронного сброса (**C**); парафазным мощным информационным выходом (**Q**, **QB**) и индикаторным выходом (**I**). При спейсере на информационном входе (**R=S=0**) триггер хранит свое состояние, а индикаторный выход **I=0**. При **R=0**, **S=1** триггер переключается в состояние (**Q=1**, **QB=0**). При **R=1**, **S=0** триггер переключается в состояние (**Q=0**, **QB=1**). Входная комбинация **R=S=1** - запрещенная. Окончание перехода в очередное рабочее состояние, соответствующее рабочему значению информационного входа, фиксируется значением **I=1** на индикаторном выходе. Начальный сброс реализуется подачей высокого уровня на вход самосинхронного сброса **C=1** при спейсере на информационном входе (**R=S=0**). При этом триггер устанавливается в состояние (**Q=0**, **QB=1**), а индикаторный выход переключается в значение **I=1** после того, как обе составляющие информационного выхода перейдут в соответствующее состояние, обеспечивая тем самым контроль за процессом предустановки. После снятия активного (высокого) уровня со входа сброса **C** индикаторный выход переключается в состояние **I=0**.

Информационный выход (**Q**, **QB**) формируется инверторами, обеспечивающими увеличенную нагрузочную способность и электрическую развязку элемента памяти триггера, хранящего его состояние, от внешнего окружения, что повышает помехоустойчивость триггера.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами элементов схемы триггера: n-типа $N_n=2$ и p-типа $N_p=3$.

Коэффициент объединения по всем входам – 2.

Рекомендуемая нагрузочная способность по выходам **Q**, **QB** ≤ 3 , по выходу **I** ≤ 4 .

Размер элемента составляет 8 ячеек поля БМК.

Область применения – СС-схемотехника.

Таблица истинности

№ строки	Входы			Выходы		
	S	R	C	I	Q	QB
1	0	0	1	1	0	1
2	0	0	0	0	хранение	
3	0	1	0	1	0	1
4	1	0	0	1	1	0
5 ¹⁾	1	1	0	0	1	1
6 ²⁾	1	1	1	0	1	1
7 ²⁾	1	0	1	1	1	0
8	0	1	1	1	0	1

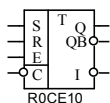
1) Неопределенное состояние выходов Q, QB после перехода в S=R=0.

2) Нарушение самосинхронной предустановки.

Таблица задержек

Путь	C \Rightarrow Q	C \Rightarrow QB	C \Rightarrow I	R \Rightarrow Q	R \Rightarrow QB	R \Rightarrow I	S \Rightarrow Q	S \Rightarrow QB	S \Rightarrow I			
Задержка,	t^{10}	t^{01}	t^{01}	t^{10}	t^{01}	t^{01}	t^{01}	t^{10}	t^{01}			
нс	3.1	1.9	6.0	3.3	3.0	1.8	5.9	3.2	1.5	3.9	6.3	2.2

R0CE10 **Однотактный RS-триггер с нулевым спейсером, самосинхронным сбросом и разрешением записи**



Элемент **R0CE10** – однотактный RS-триггер с парафазным входом (**R**, **S**), входом разрешения записи (**E**), входом самосинхронного сброса (**C**), бифазным информационным выходом (**Q**, **QB**) и индикаторным выходом (**I**), отображающим окончание переходных процессов в триггере.

В спейсере значение выхода **I** равно 1, в рабочей фазе – 0. В базовом варианте входы **R**, **S** представляют собой парафазный сигнал без спейсера. В случае информационного входа со спейсером (нулевым) требуется дополнительно индицировать спейсерное состояние входа разрешения записи **E**.

Элемент 2ИЛИ-НЕ в составе триггера обеспечивает индицирование начального сброса общей подхеммой индикации без использования дополнительных средств. Сброс выполняется при спейсере на входе

разрешения записи E ($E=0$), когда индикаторный выход уже переключился в 1. По окончании всех переключений индикаторный выход перейдет в 0, информируя об окончании сброса.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами элементов схемы: n-типа $Nn=3$ и p-типа $Np=3$.

Коэффициент объединения по входам S и $R - 2$, по входу $E - 3$.

Рекомендуемая нагрузочная способность по выходу $Q - 1$, по выходу $QB \leq 2$, по выходу $I \leq 3$.

Размер элемента составляет 8 ячеек поля БМК.

Область применения – СС-схемотехника.

Таблица истинности

№ строки	Входы				Выходы		
	S	R	E	C	Q	QB	I
1	*	*	0	0	0	1	0
2	*	*	0	1	хранение		1
3	1	0	1	1	1	0	0
4	0	1	1	1	0	1	0
5	0	0	1	1	хранение		1
6	0	0	1	0	0	1	0
7 ¹⁾	1	1	1	1	0	0	1
8 ²⁾	1	1	1	0	0	0	0
9 ²⁾	1	0	1	0	1	0	0
10	0	1	1	0	0	1	0
11 ³⁾	↔	*	1	1	X		
12 ³⁾	*	↔	1	1	X		
13 ²⁾	0	1	↔	0	X		
14 ²⁾	1	0	↔	0	X		

¹⁾ Неопределенное состояние выходов Q, QB после перехода в $S=R=0$ или $E=0$.

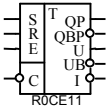
²⁾ Нарушение самосинхронной предустановки.

³⁾ Преждевременное переключение информационного входа при $E=1$.

Таблица задержек

Путь Задержка, нс	$E \Rightarrow Q$		$E \Rightarrow QB$		$E \Rightarrow I$		$C \Rightarrow Q$	$C \Rightarrow QB$	$C \Rightarrow I$	
	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{10}	t^{01}	t^{01}	t^{10}
	4.5	1.7	4.9	1.2	4.5	8.3	3.5	2.7	4.2	6.9

R0CE11 ***Однотактный RS-триггер с нулевым спейсером, самосинхронным сбросом, разрешением записи и парафазным выходом с нулевым спейсером***



Элемент **R0CE11** – RS-триггер с бифазным информационным входом (**R**, **S**), входом разрешения записи (**E**) с нулевым спейсером, входом самосинхронного сброса (**C**), парафазным информационным выходом (**QP**, **QBP**) с нулевым спейсером, бифазным информационным выходом

(**U**, **UB**) и индикаторным выходом (**I**). При спейсере на входе разрешения (**E**=0) триггер хранит свое состояние, а информационный выход также находится в спейсерном состоянии **QP**=**QBP**=0. При (**R**=0, **E**=**S**=1) триггер переключается в состояние (**U**=1, **UB**=0), а при (**E**=**R**=1, **S**=0) – в состояние (**U**=0, **UB**=1), разрешая тем самым формирование рабочего состояния парафазного информационного выхода (**QP**=0, **QBP**=1 и, соответственно, **QP**=1, **QBP**=0)..

Входная комбинация **E**=**R**=**S**=1 – запрещенная. Окончание перехода триггера в рабочее или спейсерное состояние фиксируется по переключению парафазного информационного выхода в соответствующее состояние. Начальный сброс реализуется подачей низкого уровня на вход самосинхронного сброса **C**=0 при спейсере на входе разрешения (**E**=0). При этом триггер устанавливается в состояние (**U**=0, **UB**=1), индикаторный выход переключается в состояние **I**=0, разрешая тем самым формирование рабочего состояния парафазного информационного выхода (**QP**=0, **QBP**=1). После снятия активного (низкого) уровня со входа сброса **C** индикаторный выход переключается в состояние **I**=1, переводя тем самым информационный выход в спейсерное состояние **QP**=**QBP**=0.

Выход **I** может быть использован внешним окружением для ускорения его перехода в спейсерное состояние (**S**=0, **R**=0) вместо ожидания окончания переходных процессов на выходах **QP**, **QBP**. При этом состояние выходов **QP**, **QBP** должно отслеживаться при формировании следующего рабочего состояния на входах **R**, **S** по аналогии со входом **E** элемента **D1CE20** (см. сигнальный граф для элемента **D1CE20**).

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами

элементов схемы триггера: n-типа $Nn=3$ и p-типа $Np=3$.

Коэффициент объединения по входу **E** – 3, по остальным входам – 2.

Рекомендуемая нагрузочная способность по выходам **QP**, **QBP** ≤ 4 , по выходам **U**, **UB**, **I** – 1.

Размер элемента составляет 10 ячеек поля БМК.

Область применения – СС-схемотехника, для передачи информации к удаленному приемнику, обеспечивающей безошибочную передачу данных независимо от задержек сигналов в цепях схемы.

Таблица истинности

№ строки	Входы				Выходы				
	S	R	E	C	QP	QBP	I	U	UB
1	*	*	0	0	0	1	0	0	1
2	*	*	0	1	0	0	1	хранение	
3	0	1	1	1	0	1	0	0	1
4	1	0	1	1	1	0	0	1	0
5 ¹⁾	1	1	1	1	0	0	1	0	0
6 ^{2,3)}	*	*	1	0	X				
7 ²⁾	*	*	\leftrightarrow	0	X				
8	\leftrightarrow	*	1	*	X				
9	*	\leftrightarrow	1	*	X				
10	0	0	1	0	0	1	0	0	1
11	0	0	1	1	0	0	1	хранение	

¹⁾ Неопределенное состояние выходов **U**, **UB** после перехода в $S=R=0$ или $E=0$.

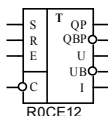
²⁾ Нарушение самосинхронной предустановки.

³⁾ Кроме комбинации $S=R=0$.

Таблица задержек

Путь	$E \Rightarrow I$		$E \Rightarrow QBP$		$E \Rightarrow QP$		$E \Rightarrow U$		$E \Rightarrow UB$		$C \Rightarrow I$	
	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
Задержка, нс	2.7	7.5	8.7	3.2	11.5	3.1	4.8	1.7	4.1	1.7	2.3	5.5
Путь	$C \Rightarrow QBP$		$C \Rightarrow U$		$C \Rightarrow UB$							
	t^{01}	t^{10}	t^{10}		t^{01}							
Задержка, нс	7.3	2.8	3.1		2.2							

R0CE12 *Однотактный RS-триггер с нулевым спейсером. самосинхронным сбросом, разрешением записи и парафазным выходом с единичным спейсером*



Элемент **R0CE12** – RS-триггер с бифазным информационным входом (**R**, **S**), входом разрешения записи (**E**) с нулевым спейсером, входом самосинхронного сброса (**C**), парафазным информационным выходом (**QP**, **QBP**) с единичным спейсером, бифазным информационным выходом (**U**, **UB**) и индикаторным выходом (**I**). При спейсере на входе разрешения (**E**=0) триггер хранит свое состояние, а информационный выход также находится в спейсерном состоянии **QP**=**QBP**=1. При (**R**=0, **E**=**S**=1) триггер переключается в состояние (**U**=1, **UB**=0), а при (**E**=**R**=1, **S**=0) – в состояние (**U**=0, **UB**=1). Индикаторный выход переключается в состояние **I**=1, разрешая тем самым формирование рабочего состояния парафазного информационного выхода (**QP**=0, **QBP**=1 и, соответственно, **QP**=1, **QBP**=0).

Входная комбинация **E**=**R**=**S**=1 – запрещенная. Окончание перехода триггера в рабочее или спейсерное состояние фиксируется по переключению парафазного информационного выхода в соответствующее состояние. Начальный сброс реализуется подачей низкого уровня на вход самосинхронного сброса **C**=0 при спейсере на входе разрешения (**E**=0). При этом триггер устанавливается в состояние (**U**=0, **UB**=1), индикаторный выход переключается в состояние **I**=1, разрешая тем самым формирование рабочего состояния парафазного информационного выхода (**QP**=0, **QBP**=1). После снятия активного (низкого) уровня со входа сброса **C** индикаторный выход переключается в состояние **I**=0, переводя тем самым информационный выход в спейсерное состояние **QP**=**QBP**=1.

Выход **I** может быть использован внешним окружением для ускорения его перехода в спейсерное состояние (**S**=0, **R**=0) вместо ожидания окончания переходных процессов на выходах **QP**, **QBP**. При этом состоянии выходов **QP**, **QBP** должно отслеживаться при формировании следующего рабочего состояния на входах **R**, **S** по аналогии со входом **E** элемента **D1CE20** (см. сигнальный граф для элемента **D1CE20**).

Максимальное количество последовательно соединенных транзисто-

ров в цепочках между общей шиной или шиной питания и выходами элементов схемы триггера: n-типа $Nn=3$ и p-типа $Np=3$.

Коэффициент объединения по входу **E** – 3, по остальным входам – 2.

Рекомендуемая нагрузочная способность по выходам **QP**, **QBP** ≤ 4 , по выходу **I** ≤ 3 , по выходам **U**, **UB** – 1.

Размер элемента составляет 10 ячеек поля БМК.

Область применения – СС-схемотехника, для передачи информации к удаленному приемнику; что обеспечивает безошибочную передачу данных независимо от задержек сигналов в цепях схемы.

Таблица истинности

№ строки	Входы				Выходы				
	S	R	E	C	QP	QBP	I	U	UB
1	*	*	0	0	0	1	1	0	1
2	*	*	0	1	1	1	0	хранение	
3	0	1	1	1	0	1	1	0	1
4	1	0	1	1	1	0	1	1	0
5 ¹⁾	1	1	1	1	1	1	0	0	0
6 ^{2,3)}	*	*	1	0	X				
7 ²⁾	*	*	\leftrightarrow	0	X				
8	\leftrightarrow	*	1	*	X				
9	*	\leftrightarrow	1	*	X				
10	0	0	1	0	0	1	1	0	1
11	0	0	1	1	1	1	0	хранение	

¹⁾ Неопределенное состояние выходов **U**, **UB** после перехода в **S=R=0** или **E=0**.

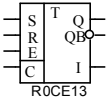
²⁾ Нарушение самосинхронной предустановки.

³⁾ Кроме комбинации **S=R=0**.

Таблица задержек

Путь	E \Rightarrow QP		E \Rightarrow QBP		E \Rightarrow I		E \Rightarrow U		E \Rightarrow UB		C \Rightarrow QP	
Задержка, нс	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
	3.2	8.1	3.5	11.0	8.3	2.3	4.8	1.8	4.1	1.6	3.1	7.2
Путь	C \Rightarrow U		C \Rightarrow UB		C \Rightarrow I							
Задержка, нс	t ¹⁰		t ⁰¹		t ⁰¹		t ¹⁰					
	3.2		2.2		6.3		2.2					

R0CE13 **Однотактный RS-триггер с нулевым спейсером, самосинхронным сбросом, разрешением записи и мощным выходом**



Элемент **R0CE13** – RS-триггер с бифазным информационным входом (**R**, **S**); входом разрешения записи (**E**) с нулевым спейсером; входом самосинхронного сброса (**C**); парафазным мощным информационным выходом (**Q**, **QB**) и индикаторным выходом (**I**). При спейсере на входе разрешения (**E**=0) триггер хранит свое состояние, а индикаторный выход **I**=0. При **E**=**S**=1, **R**=0 триггер переключается в состояние (**Q**=1, **QB**=0). При **E**=**R**=1, **S**=0 триггер переключается в состояние (**Q**=0, **QB**=1). Входная комбинация **E**=**R**=**S**=1 – запрещенная. Окончание перехода в очередное рабочее состояние, соответствующее состоянию информационного входа, фиксируется значением **I**=1 на индикаторном выходе. Начальный сброс реализуется подачей высокого уровня на вход **C**=1 при спейсере на входе разрешения записи (**E**=0). При этом триггер устанавливается в состояние (**Q**=0, **QB**=1), а индикаторный выход переключается в значение **I**=1 после того, как обе составляющие информационного выхода перейдут в соответствующее состояние, обеспечивая тем самым контроль за процессом предустановки. После снятия активного (высокого) уровня со входа сброса **C** индикаторный выход переключается в состояние **I**=0.

Информационный выход (**Q**, **QB**) формируется инверторами, обеспечивающими увеличенную нагрузочную способность и электрическую развязку элемента памяти триггера, хранящего его состояние, от внешнего окружения, что повышает помехоустойчивость триггера.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами элементов схемы триггера: n-типа $N_n=3$ и p-типа $N_p=3$.

Коэффициент объединения по входам **C**, **R**, **S** – 2, по входу **E** – 4.

Рекомендуемая нагрузочная способность по выходам **Q**, **QB** ≤ 3, по выходу **I** ≤ 4.

Размер элемента составляет 10 ячеек поля БМК.

Область применения – СС-схемотехника.

Таблица истинности

№ строки	Входы				Выходы		
	S	R	E	C	I	Q	QB
1	*	*	0	1	1	0	1
2	*	*	0	0	0	хранение	
3	0	1	1	0	1	0	1
4	1	0	1	0	1	1	0
5 ¹⁾	1	1	1	0	0	1	1
6 ²⁾	1	1	1	1	0	1	1
7	0	1	1	1	1	0	1
8 ²⁾	1	0	1	1	0	1	1
9 ²⁾	*	↔	1	*	X		
10 ²⁾	↔	*	1	*	X		
11 ²⁾	*	*	↔	1	X		
12	0	0	1	0	0	хранение	
13	0	0	1	1	1	0	1

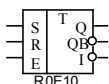
¹⁾ Неопределенное состояние выходов после перехода в S=R=0 или E=0.

²⁾ Нарушение самосинхронной предустановки.

Таблица задержек

Путь	E⇒Q		E⇒QB		E⇒I		C⇒Q	C⇒QB	C⇒I	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ¹⁰	t ⁰¹	t ⁰¹	t ¹⁰
Задержка, нс	2.2	3.5	2.0	2.7	6.4	2.5	2.8	1.4	5.7	2.1

R0E10 Однотактный RS-триггер с нулевым спейсером и разрешением записи



Элемент **R0E10** – однотактный RS-триггер с нулевым спейсером, парафазным информационным входом (S, R), входом разрешения записи (E), бифазным выходом данных (Q, QB) и индикаторным выходом (I). При E=0 элемент хранит свое состояние, при E=1 изменяет его в соответствии со значениями входов S и R. Индикаторный выход I отображает окончание переходных процессов в триггере. В базовом варианте входы R, S представляют собой парафазный сигнал без спейсера. В случае информационного входа со спейсером (нулевым) требуется дополнительно индексировать спейсерное состояние входа разрешения записи E.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами схемы: n-типа $N_n=3$ и p-типа $N_p=2$.

Коэффициент объединения по входам **R** и **S** – 2, по входу **E** – 3.

Рекомендуемая нагрузочная способность по выходам **Q**, **QB** ≤ 2 , по выходу **I** ≤ 3 .

Размер элемента составляет 6 ячеек поля БМК.

Область применения – СС-схемотехника.

Таблица истинности

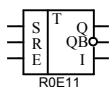
№ строки	Входы			Выходы		
	S	R	E	Q	QB	I
1	*	*	0	хранение		1
2	0	0	1	хранение		1
3	0	1	1	0	1	0
4	1	0	1	1	0	0
5 ¹⁾	1	1	1	0	0	1
6	↔	*	1	X		
7	*	↔	1	X		

¹⁾ Неопределенное состояние выходов Q, QB после перехода в $S=R=0$ или $E=0$.

Таблица задержек

Путь	$E \Rightarrow Q$		$E \Rightarrow QB$		$E \Rightarrow I$		$R \Rightarrow Q$	$R \Rightarrow QB$	$R \Rightarrow I$	
	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}			t^{01}	t^{10}
Задержка, нс	4.0	1.4	4.0	1.4	1.0	6.2	1.3	3.8	2.1	6.1
Путь	$S \Rightarrow Q$		$S \Rightarrow QB$		$S \Rightarrow I$					
	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}				
Задержка, нс	3.9		1.3		1.8					5.7

R0E11 ***Однотактный RS-триггер с нулевым спейсером, разрешением записи и мощным выходом***



Элемент **R0E11** – RS-триггер с бифазным информационным входом (**R**, **S**); входом разрешения записи (**E**) с нулевым спейсером; парафазным мощным информационным выходом (**Q**, **QB**) и индикаторным выходом (**I**). При спейсере на входе разрешения (**E**=0) триггер хранит свое состояние, а индикаторный выход **I**=0. При **E**=**S**=1, **R**=0 триггер переключается в состояние (**Q**=1, **QB**=0). При **E**=**R**=1, **S**=0 триггер переключается в состояние (**Q**=0, **QB**=1). Входная комбинация **E**=**R**=**S**=1 - запрещенная. Окончание перехода в очередное рабочее состояние, соответствующее значению информационного входа, фиксируется значением **I**=1 на индикаторном выходе.

Информационный выход (**Q**, **QB**) формируется инверторами, обеспечивающими увеличенную нагрузочную способность и электрическую развязку элемента памяти триггера, хранящего его состояние, от внешнего окружения, что повышает помехоустойчивость триггера.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами элементов схемы триггера: n-типа $N_n=3$ и p-типа $N_p=2$.

Коэффициент объединения по входам **R**, **S** – 2, по входу **E** – 4.

Рекомендуемая нагрузочная способность по выходам **Q**, **QB** ≤ 3 , по выходу **I** ≤ 4 .

Размер элемента составляет 9 ячеек поля БМК.

Область применения – СС-схемотехника.

Таблица истинности

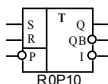
№ строки	Входы			Выходы		
	S	R	E	I	Q	QB
1	*	*	0	0	хранение	
2	0	1	1	1	0	1
3	1	0	1	1	1	0
4 ¹⁾	1	1	1	0	1	1
5	*	↔	1	X		
6	↔	*	1	X		
7	0	0	1	0	хранение	

¹⁾ Неопределенное состояние выходов **Q**, **QB** после перехода в **S**=**R**=0 или **E**=0.

Таблица задержек

Путь	$E \Rightarrow I$		$E \Rightarrow Q$		$E \Rightarrow QB$	
	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
Задержка, нс	6.9	2.5	2.2	3.7	2.2	3.7

R0P10 ***Однотактный RS-триггер с нулевым спейсером и самосинхронной установкой***



Элемент **R0P10** – RS-триггер с парафазным информационным входом (**R**, **S**) с нулевым спейсером, входом самосинхронной установки (**P**), бифазным информационным выходом (**Q**, **QB**) и индикаторным выходом (**I**). При спейсере на информационном входе (**R=S=0**) триггер хранит свое состояние, а индикаторный выход **I=1**. При (**R=0**, **S=1**) триггер переключается в состояние (**Q=1**, **QB=0**). При (**R=1**, **S=0**) триггер переключается в состояние (**Q=0**, **QB=1**). Входная комбинация **R=S=1** – запрещенная. Окончание перехода в очередное рабочее состояние, соответствующее рабочему состоянию информационного входа, фиксируется значением **I=0** на индикаторном выходе. Начальная установка реализуется подачей низкого уровня на вход самосинхронной установки **P=0** при спейсере на информационном входе (**R=S=0**). В результате триггер устанавливается в состояние (**Q=1**, **QB=0**). Индикаторный выход переключается в значение **I=0** только после того, как обе составляющие информационного выхода перейдут в соответствующее состояние, обеспечивая тем самым контроль за процессом предустановки.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами элементов схемы триггера: n-типа $N_n=2$ и p-типа $N_p=3$.

Коэффициент объединения по всем входам – 2.

Рекомендуемая нагрузочная способность по всем выходам – не более 1.

Размер элемента составляет 6 ячеек поля БМК.

Область применения – СС-схемотехника.

Таблица истинности

№ строки	Входы			Выходы		
	S	R	P	Q	QB	I
1	0	0	0	1	0	0
2	0	0	1	хранение		1
3	0	1	1	0	1	0
4	1	0	1	1	0	0
5 ¹⁾	1	1	1	0	0	1
6 ²⁾	1	1	0	0	0	0
7 ²⁾	1	0	0	1	0	0
8	0	1	0	0	1	0

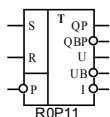
1) Неопределенное состояние выходов Q, QB после перехода в S=R=0.

2) Нарушение самосинхронной предустановки.

Таблица задержек

Путь	P⇒Q	P⇒QB	P⇒I		R⇒Q	R⇒QB	R⇒I	
Задержка, нс	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ¹⁰	t ⁰¹	t ⁰¹	t ¹⁰
	2.7	3.2	2.5	5.2	0.9	3.4	2.8	5.2
Путь	S⇒Q	S⇒QB	S⇒I					
Задержка, нс	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰				
	3.4	0.8	2.5	4.8				

R0P11 ***Однотактный RS-триггер с нулевым спейсером, самосинхронной установкой и парафазным выходом с нулевым спейсером***



Элемент **R0P11** – RS-триггер с парафазным информационным входом (**R**, **S**) с нулевым спейсером, входом самосинхронной установки (**P**), бифазным информационным выходом (**U**, **UB**), парафазным информационным выходом (**QP**, **QBP**) с нулевым спейсером и индикаторным выходом **I**. При спейсере на информационном входе (**R=S=0**) триггер хранит свое состояние, а информационный выход также находится в спейсерном состоянии (**QP=QBP=0**). При (**R=0, S=1**) триггер переключается в состояние (**U=1, UB=0**), а при (**R=1, S=0**) – в состояние (**U=0, UB=1**).

Индикаторный выход переключается в состояние $I=0$, разрешая тем самым формирование рабочего состояния парафазного информационного выхода ($QP=0$, $QBP=1$ и, соответственно, $QP=1$, $QBP=0$). Входная комбинация $R=S=1$ – запрещенная. Окончание перехода триггера в рабочее или спейсерное состояние фиксируется по переключению парафазного информационного выхода в соответствующее состояние. Начальная установка реализуется подачей низкого уровня на вход самосинхронной установки $P=0$ при спейсере на информационном входе ($R=S=0$). При этом триггер устанавливается в состояние ($U=0$, $UB=1$, $QBP=0$), индикаторный выход переключается в состояние $I=0$, разрешая тем самым формирование рабочего состояния парафазного информационного выхода ($QP=0$, $QBP=1$). После снятия активного (низкого) уровня со входа установки P индикаторный выход переключается в состояние $I=1$, переключая тем самым информационный выход в спейсерное состояние $QP=QBP=0$.

Выход I может быть использован внешним окружением для ускорения его перехода в спейсерное состояние ($S=0$, $R=0$) вместо ожидания окончания переходных процессов на выходах QP , QBP . При этом состоянии выходов QP , QBP должно отслеживаться при формировании следующего рабочего состояния на входах R , S .

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами элементов схемы триггера: n -типа $Nn=2$ и p -типа $Np=3$.

Коэффициент объединения по всем входам – 2.

Рекомендуемая нагрузочная способность по выходам QP , $QBP \leq 4$, по остальным выходам – 1.

Размер элемента составляет 8 ячеек поля БМК.

Область применения – СС-схемотехника для передачи информации к удаленному приемнику; в этом случае парафазный сигнал со спейсером обеспечивает безошибочную передачу данных независимо от задержек сигналов в цепях схемы.

Таблица истинности

№ строки	Входы			Выходы				
	S	R	P	QP	QBP	I	U	UB
1	0	0	0	1	0	0	1	0
2	0	0	1	0	0	1	хранение	
3	0	1	1	0	1	0	0	1
4	1	0	1	1	0	0	1	0
5 ¹⁾	1	1	1	0	0	1	0	0
6 ²⁾	1	1	0	1	1	0	0	0
7 ²⁾	1	0	0	1	0	0	1	0
8 ²⁾	0	1	0	0	1	0	0	1

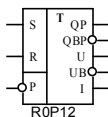
1) Неопределенное состояние выходов U, UB после перехода в S=R=0.

2) Нарушение самосинхронной предустановки.

Таблица задержек

Путь	S⇒QP		S⇒I		R⇒QBP		R⇒I		S⇒U	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	
Задержка, нс	7.4	3.3	3.0	5.4	8.0	3.7	3.3	5.9	3.7	
Путь	S⇒UB		R⇒U		R⇒UB		P⇒QP		P⇒I	
	t ¹⁰	t ⁰¹	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
Задержка, нс	0.9	1.0	3.7	7.4	3.2	2.9	5.7	2.9	3.5	

R0P12 Однотактный RS-триггер с нулевым спейсером, самосинхронной установкой и парафазным выходом с единичным спейсером



Элемент **R0P12** – RS-триггер с парафазным информационным входом (**R**, **S**) с нулевым спейсером, входом самосинхронной установки (**P**), бифазным информационным выходом (**U**, **UB**), парафазным информационным выходом (**QP**, **QBP**) с единичным спейсером и индикаторным выходом **I**. При спейсере на информационном входе (**R=S=0**) триггер хранит свое состояние, а информационный выход также находится в спейсерном состоянии (**QP=QBP=1**). При (**R=0**, **S=1**) триггер переключается в состояние (**U=1**, **UB=0**), а при (**R=1**, **S=0**) – в состоя-

ние ($U=0$, $UB=1$). Индикаторный выход переключается в состояние $I=1$, разрешая тем самым формирование рабочего состояния парафазного информационного выхода ($QP=0$, $QBP=1$ и, соответственно, $QP=1$, $QBP=0$). Входная комбинация $R=S=1$ – запрещенная. Окончание перехода триггера в рабочее или спейсерное состояние фиксируется по переключению парафазного информационного выхода в соответствующее состояние. Начальная установка реализуется подачей низкого уровня на вход самосинхронной установки $P=0$ при спейсере на информационном входе ($R=S=0$). При этом триггер устанавливается в состояние ($U=0$, $UB=1$), индикаторный выход переключается в состояние $I=1$, разрешая тем самым формирование рабочего состояния парафазного информационного выхода ($QP=0$, $QBP=1$). После снятия активного (низкого) уровня со входа установки P индикаторный выход переключается в состояние $I=0$, переключая тем самым информационный выход в спейсерное состояние ($QP=QBP=0$).

Выход I может быть использован внешним окружением для ускорения его перехода в спейсерное состояние ($S=0$, $R=0$) вместо ожидания окончания переходных процессов на выходах QP , QBP . При этом состоянии выходов QP , QBP должно отслеживаться при формировании следующего рабочего состояния на входах R , S .

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами элементов схемы триггера: n -типа $Nn=2$ и p -типа $Np=3$.

Коэффициент объединения по всем входам – 2.

Рекомендуемая нагрузочная способность по выходам QP , $QBP \leq 3$, по выходу $I \leq 3$, по выходам U , $UB - 1$.

Размер элемента составляет 9 ячеек поля БМК.

Область применения – СС-схемотехника для передачи информации к удаленному приемнику; в этом случае парафазный сигнал со спейсером обеспечивает безошибочную передачу данных независимо от задержек сигналов в цепях схемы.

Таблица истинности

№ строки	Входы			Выходы				
	S	R	P	QP	QBP	I	U	UB
1	0	0	0	1	0	1	1	0
2	0	0	1	1	1	0	хранение	
3	0	1	1	0	1	1	0	1
4	1	0	1	1	0	1	1	0
5 ¹⁾	1	1	1	1	1	0	0	0
6 ²⁾	1	1	0	1	1	1	0	0
7 ²⁾	1	0	0	1	0	1	1	0
8 ²⁾	0	1	0	0	1	1	0	1

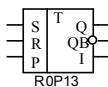
¹⁾ Неопределенное состояние выходов U, UB после перехода в S=R=0.

²⁾ Нарушение самосинхронной предустановки.

Таблица задержек

Путь	S \Rightarrow QBP		S \Rightarrow I		R \Rightarrow QP		R \Rightarrow I	
Задержка, нс	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
	3.7	7.2	6.2	2.5	3.7	7.6	6.7	2.9
Путь	S \Rightarrow U	S \Rightarrow UB	R \Rightarrow U	R \Rightarrow UB	P \Rightarrow QBP	P \Rightarrow I		
Задержка, нс	t^{01}	t^{10}	t^{10}	t^{01}	t^{01}	t^{10}	t^{01}	t^{10}
	3.7	0.9	1.0	3.7	3.7	7.3	6.4	2.6
Путь	P \Rightarrow U	P \Rightarrow UB						
Задержка, нс	t^{01}	t^{10}						
	2.9	3.5						

R0P13 Однотактный RS-триггер с парафазным входом с нулевым спейсером, самосинхронной установкой и мощным выходом



Элемент **R0P13** – RS-триггер с парафазным информационным входом (**R**, **S**) с нулевым спейсером; входом самосинхронной установки (**P**); парафазным мощным информационным выходом (**Q**, **QB**) и индикаторным выходом (**I**). При спейсере на информационном входе (**R=S=0**) триггер хранит свое состояние, а индикаторный выход **I=0**. При **R=0**, **S=1** триггер переключается в состояние (**Q=1**, **QB=0**), а при **R=1**, **S=0** – в состояние (**Q=0**, **QB=1**). Входная комбинация **R=S=1** – запрещенная. Окончание перехода в очередное рабочее состояние, соответствующее

рабочему значению информационного входа, фиксируется значением $I=1$ на индикаторном выходе. Начальная установка реализуется подачей высокого уровня на вход самосинхронной установки $P=1$ при спейсере на информационном входе ($R=S=0$). При этом триггер устанавливается в состояние ($Q=1, QB=0$), а индикаторный выход переключается в значение $I=1$ после того, как обе составляющие информационного выхода перейдут в соответствующее состояние, обеспечивая этим контроль за процессом предустановки. После снятия активного (высокого) уровня со входа установки P индикаторный выход переключается в состояние $I=0$.

Информационный выход (Q, QB) формируется инверторами, обеспечивающими увеличенную нагрузочную способность и электрическую развязку элемента памяти триггера, хранящего его состояние, от внешнего окружения, что повышает помехоустойчивость триггера.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами элементов схемы триггера: n-типа $Nn=2$ и p-типа $Np=3$.

Коэффициент объединения по всем входам – 2.

Рекомендуемая нагрузочная способность по выходам $Q, QB \leq 3$, по выходу $I \leq 4$.

Размер элемента составляет 8 ячеек поля БМК.

Область применения – СС-схемотехника.

Таблица истинности

№ строки	Входы			Выходы		
	S	R	P	Q	QB	I
1	0	0	1	1	0	1
2	0	0	0	хранение		0
3	0	1	0	0	1	1
4	1	0	0	1	0	1
5 ¹⁾	1	1	0	1	1	0
6 ²⁾	1	1	1	1	1	0
7	1	0	1	1	0	1
8 ³⁾	0	1	1	1	1	0

¹⁾ Неопределенное состояние выходов Q, QB после перехода в $S=R=0$.

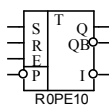
²⁾ Нарушение самосинхронной предустановки.

³⁾ Неопределенное состояние выходов Q, QB после перехода в $P=R=0$.

Таблица задержек

Путь	$P \Rightarrow Q$	$P \Rightarrow QB$	$P \Rightarrow I$		$R \Rightarrow Q$	$R \Rightarrow QB$	$R \Rightarrow I$	
Задержка, нс	t^{01} 1.9	t^{10} 3.0	t^{01} 6.0	t^{10} 3.3	t^{10} 3.9	t^{01} 1.5	t^{01} 6.3	t^{10} 2.2
Путь	$S \Rightarrow Q$	$S \Rightarrow QB$	$S \Rightarrow I$					
Задержка, нс	t^{01} 1.8	t^{10} 2.9	t^{01} 5.9	t^{10} 3.2				

ROPE10 **Однотактный RS-триггер с нулевым спейсером, самосинхронной установкой и разрешением записи**



Элемент **ROPE10** – RS-триггер с бифазным информационным входом (**R**, **S**), входом разрешения записи (**E**) с нулевым спейсером, входом самосинхронной установки (**P**), бифазным информационным выходом (**Q**, **QB**) и индикаторным выходом (**I**). При спейсере на входе разрешения (**E**=0) триггер хранит свое состояние, а индикаторный выход **I**=1. При (**E**=**S**=1, **R**=0) триггер переключается в состояние (**Q**=1, **QB**=0). При (**E**=**R**=1, **S**=0) триггер переключается в состояние (**Q**=0, **QB**=1). Входная комбинация **E**=**R**=**S**=1 – запрещенная. Окончание перехода в очередное рабочее состояние, соответствующее состоянию информационного входа, фиксируется значением **I**=0 на индикаторном выходе. Начальная установка реализуется подачей **P**=0 при спейсере на входе разрешения записи (**E**=0). При этом триггер устанавливается в состояние (**Q**=1, **QB**=0), а индикаторный выход переключается в значение **I**=0 после того, как обе составляющие информационного выхода перейдут в соответствующее состояние (так обеспечивается контроль за процессом предустановки). После снятия активного (низкого) уровня со входа установки **P** индикаторный выход переключается в состояние **I**=1. Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами элементов схемы триггера: n-типа $N_n=3$ и p-типа $N_p=3$.

Коэффициент объединения по входам **P**, **R**, **S** – 2, по входу **E** – 3.

Рекомендуемая нагрузочная способность по выходу **Q** ≤ 2 , по выходу **QB** – 1, по выходу **I** ≤ 3 .

Размер элемента составляет 8 ячеек поля БМК.

Область применения – СС-схемотехника.

Таблица истинности

№ строки	Входы				Выходы		
	S	R	E	P	I	Q	QB
1	*	*	0	0	0	1	0
2	*	*	0	1	1	хранение	
3	0	1	1	1	0	0	1
4	1	0	1	1	0	1	0
5 ¹⁾	1	1	1	1	1	0	0
6 ^{2,3)}	*	*	1	0	X		
7 ²⁾	*	*	↔	0	X		
8	↔	*	1	*	X		
9	*	↔	1	*	X		
10	0	0	1	0	0	1	0
11	0	0	1	1	1	хранение	

1) Неопределенное состояние выходов Q, QB после перехода в S=R=0 или E=0.

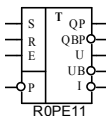
2) Нарушение самосинхронной предустановки.

3) Кроме комбинации R=S=0.

Таблица задержек

Путь	P⇒Q		P⇒QB		P⇒I		E⇒Q		E⇒QB		E⇒I	
Задержка, нс	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
	2.1	3.0	2.0	5.2	3.7	1.5	4.4	1.6	2.2	6.8		

R0PE11 ***Однотактный RS-триггер с нулевым спейсером, самосинхронной установкой, разрешением записи и парафазным выходом с нулевым спейсером***



Элемент **R0PE11** – RS-триггер с бифазным информационным входом (**R**, **S**), входом разрешения записи (**E**) с нулевым спейсером; входом самосинхронной установки (**P**), бифазным информационным выходом (**U**, **UB**), парафазным информационным выходом (**QP**, **QBP**) с нулевым спейсером и индикаторным выходом **I**. При спейсере на входе разрешения (**E**=0) триггер хранит свое состояние, а информационный выход также находится в спейсерном состоянии **QP**=**QBP**=0. При (**R**=0, **E**=**S**=1) триггер переключается в состояние (**QP**=1, **QBP**=0). При (**E**=**R**=1, **S**=0) триг-

гер переключается в состояние ($QP=0$, $QBP=1$). Входная комбинация $E=R=S=1$ – запрещенная. Окончание перехода триггера в рабочее или спейсерное состояние фиксируется по переключению парафазного информационного выхода в соответствующее состояние. Начальная установка реализуется подачей низкого уровня на вход самосинхронной установки $P=0$ при спейсере на входе разрешения ($E=0$); триггер устанавливается в состояние ($QP=1$, $QBP=0$). После снятия активного (низкого) уровня со входа установки P информационный выход переключается в спейсерное состояние $QP=QBP=0$.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами элементов схемы триггера: n-типа $Nn=3$ и p-типа $Np=3$.

Коэффициент объединения по входу E – 3, по остальным входам – 2.

Рекомендуемая нагрузочная способность по выходам QP , $QBP \leq 4$, по остальным выходам – 1.

Размер элемента составляет 10 ячеек поля БМК.

Область применения – СС-схемотехника для передачи информации к удаленному приемнику; в этом случае парафазный сигнал со спейсером обеспечивает безошибочную передачу данных независимо от задержек сигналов в цепях схемы.

Таблица истинности

№ строки	Входы				Выходы				
	S	R	E	P	QP	QBP	I	U	UB
1	*	*	0	0	1	0	0	1	0
2	*	*	0	0	0	0	1	хранение	
3	0	1	1	1	0	1	0	0	1
4	1	0	1	1	1	0	0	1	0
5 ¹⁾	1	1	1	1	0	0	1	0	0
6 ^{2,3)}	*	*	1	1	X				
7 ²⁾	*	*	↔	0	X				
8	↔	*	1	*	X				
9	*	↔	1	*	X				
10	0	0	1	0	1	0	0	1	0
11	0	0	1	1	0	0	1	хранение	

¹⁾ Неопределенное состояние выходов U, UB после перехода в $S=R=0$ или $E=0$.

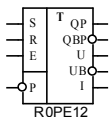
²⁾ Нарушение самосинхронной предустановки.

³⁾ Кроме комбинации $R=S=0$.

Таблица задержек

Путь	$E \Rightarrow U$		$E \Rightarrow UB$		$E \Rightarrow I$		$P \Rightarrow I$	
Задержка, нс	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
	4.1	1.6	4.8	1.8	2.6	7.5	2.2	5.6
Путь	$E \Rightarrow QP$		$E \Rightarrow QBP$		$P \Rightarrow UB$	$P \Rightarrow U$	$P \Rightarrow QP$	
Задержка, нс	t^{01}	t^{10}	t^{01}	t^{10}	t^{10}	t^{01}	t^{01}	t^{10}
	8.7	3.1	9.8	3.0	3.2	2.2	7.3	2.8

R0PE12 *Однотактный RS-триггер с нулевым спейсером, самосинхронной установкой, разрешением записи и парафазным выходом с единичным спейсером*



Элемент **R0PE12** – RS-триггер с бифазным информационным входом (**R**, **S**), входом разрешения записи (**E**) с нулевым спейсером, входом самосинхронной установки (**P**), бифазным информационным выходом (**U**, **UB**), парафазным информационным выходом (**QP**, **QBP**) с единичным спейсером и индикаторным выходом **I**. При спейсере на входе разрешения (**E**=0) триггер хранит свое состояние, а информационный выход также находится в спейсерном состоянии **QP**=**QBP**=1. При (**R**=0, **E**=**S**=1) триггер переключается в состояние (**QP**=1, **QBP**=0), при (**E**=**R**=1, **S**=0) – в состояние (**QP**=0, **QBP**=1). Входная комбинация **E**=**R**=**S**=1 – запрещенная. Окончание перехода триггера в рабочее или спейсерное состояние фиксируется по переключению парафазного информационного выхода в соответствующее состояние. Начальная установка реализуется подачей низкого уровня на вход самосинхронной установки **P**=0 при спейсере на входе разрешения (**E**=0); при этом триггер устанавливается в состояние (**QP**=1, **QBP**=0). После снятия активного (низкого) уровня со входа установки **P** информационный выход переключается в спейсерное состояние **QP**=**QBP**=1.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами элементов схемы триггера: n-типа $N_n=3$ и p-типа $N_p=3$. Коэффициент объединения по входу **E** – 3, по остальным входам – 2.

Рекомендуемая нагрузочная способность по выходам $QP, QBP \leq 4$, по выводу $I \leq 3$, по остальным выходам – 1.

Размер элемента составляет 10 ячеек поля БМК.

Область применения – СС-схемотехника для передачи информации к удаленному приемнику; в этом случае парафазный сигнал со спейсером обеспечивает безошибочную передачу данных независимо от задержек сигналов в цепях схемы.

Таблица истинности

№ строки	Входы				Выходы				
	S	R	E	P	QP	QBP	I	U	UB
1	*	*	0	0	1	0	1	1	0
2	*	*	0	1	1	1	0	хранение	
3	0	1	1	1	0	1	1	0	1
4	1	0	1	1	1	0	1	1	0
5 ¹⁾	1	1	1	1	1	1	0	0	0
6 ^{2,3)}	*	*	1	0	X				
7 ²⁾	*	*	↔	0	X				
8	↔	*	1	*	X				
9	*	↔	1	*	X				
10	0	0	1	0	1				
11	0	0	1	1	1				

1) Неопределенное состояние выходов U, UB после перехода в $S=R=0$ или $E=0$.

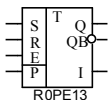
2) Нарушение самосинхронной предустановки.

3) Кроме комбинации $R=S=0$.

Таблица задержек

Путь	$E \Rightarrow U$		$E \Rightarrow UB$		$E \Rightarrow I$		$P \Rightarrow I$	
	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
Задержка, нс	4.1	1.6	4.8	1.8	8.3	2.3	6.3	2.2
Путь	$E \Rightarrow QP$		$E \Rightarrow QBP$		$P \Rightarrow UB$	$P \Rightarrow U$	$P \Rightarrow QBP$	
	t^{01}	t^{10}	t^{01}	t^{10}	t^{10}	t^{01}	t^{01}	t^{10}
Задержка, нс	3.6	9.3	3.2	8.1	3.2	2.2	3.2	7.2

R0PE13 ***Однотактный RS-триггер с нулевым спейсером, самосинхронной установкой, разрешением записи и мощным выходом***



Элемент **R0PE13** – RS-триггер с бифазным информационным входом (**R**, **S**); входом разрешения записи (**E**) с нулевым спейсером; входом самосинхронной установки (**P**); парафазным мощным информационным выходом (**Q**, **QB**)

и индикаторным выходом (**I**). При спейсере на входе разрешения (**E**=0) триггер хранит свое состояние, а индикаторный выход **I**=0. При **E**=**S**=1, **R**=0 триггер переключается в состояние (**Q**=1, **QB**=0). При **E**=**R**=1, **S**=0 триггер переключается в состояние (**Q**=0, **QB**=1). Входная комбинация **E**=**R**=**S**=1 – запрещенная. Окончание перехода в очередное рабочее состояние, соответствующее состоянию информационного входа, фиксируется значением **I**=1 на индикаторном выходе. Начальная установка реализуется подачей высокого уровня на вход установки **P**=1 при спейсере на входе разрешения записи (**E**=0). При этом триггер устанавливается в состояние (**Q**=1, **QB**=0), а индикаторный выход переключается в значение **I**=1 после того, как обе составляющие информационного выхода перейдут в соответствующее состояние, обеспечивая тем самым контроль за процессом предустановки. После снятия активного (высокого) уровня со входа установки **P** индикаторный выход переключается в состояние **I**=0.

Информационный выход (**Q**, **QB**) формируется инверторами, обеспечивающими увеличенную нагрузочную способность и электрическую развязку элемента памяти триггера, хранящего его состояние, от внешнего окружения, что повышает помехоустойчивость триггера.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами элементов схемы триггера: n-типа $N_n=3$ и p-типа $N_p=2$.

Коэффициент объединения по входам **P**, **R**, **S** – 2, по входу **E** – 4.

Рекомендуемая нагрузочная способность по выходам **Q**, **QB** ≤ 3, по входу **I** ≤ 4.

Размер элемента составляет 10 ячеек поля БМК.

Область применения – СС-схемотехника.

Таблица истинности

№ строки	Входы				Выходы		
	S	R	E	P	Q	QB	I
1	*	*	0	1	1	0	1
2	*	*	0	0	хранение		0
3	0	1	1	0	0	1	1
4	0	1	1→0	0	0	1	0
5	1	0	1	*	1	0	1
6	1	0	1→0	0	1	0	0
7 ¹⁾	1	1	1	0	1	1	0
8 ²⁾	0	1	1	1	1	1	0
9 ³⁾	1	1	1	1	1	1	0
10	↔	*	1	0	X		
11	*	↔	1	0	X		
12	*	*	↔	1	1	X	
13	0	0	1	0	хранение		0
14	0	0	1	1	1	0	1

¹⁾ Неопределенное состояние выходов Q, QB после перехода в S=R=0 или в E=0.

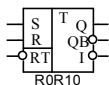
²⁾ Неопределенное состояние выходов Q, QB после перехода в P=R=0 или в E=P=0.

³⁾ Неопределенное состояние выходов Q, QB после перехода в P=R=S=0 или в E=P=0.

Таблица задержек

Путь	E⇒Q		E⇒QB		E⇒I		P⇒Q	P⇒QB	P⇒I	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
Задержка, нс	2.1	2.7	2.2	3.4	6.6	3.2	1.6	2.8	5.9	2.9

R0R10 Однотактный RS-триггер с нулевым спейсером и синхронным сбросом



Элемент **R0R10** – однотактный RS-триггер с парафазным информационным входом (**R**, **S**) с нулевым спейсером, входом синхронного сброса (**RT**), бифазным информационным выходом (**Q**, **QB**), индикаторным выходом (**I**).

В спейсере (**R=S=0**) значение индикаторного выхода **I**, отображающего окончание переходных процессов в триггере, равно 1, в рабочей фазе (**R≠S**) – 0.

Синхронный сброс осуществляется при подаче на вход **RT** низкого

уровня ($RT=0$) в спейсерной фазе триггера ($R=S=0$). При этом выходы триггера устанавливаются в состоянии $Q=0$, $QB=1$.

В рабочей фазе ($R \neq S$) при высоком уровне на входе синхронного сброса ($RT=1$) информация со входов R и S записывается в триггер; в фазе гашения ($R=S=0$) триггер находится в состоянии хранения.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $Nn=2$ и p-типа $Np=2$.

Коэффициент объединения по входам R и S – 2.

Рекомендуемая нагрузочная способность по выходам Q и $QB \leq 2$, по выходу $I \leq 4$.

Размер элемента составляет 5 ячеек поля БМК.

Область применения – СС-схемотехника. Элемент индицирует не только свои выходы, но и информационный парафазный со спейсером вход R , S ; который поэтому не нужно индцировать на выходе элемента, где он формируется. Это позволяет упростить схему и повысить ее быстродействие. Однако такая индикация входов не обеспечивает стопроцентной индикации константных неисправностей.

Таблица истинности

№ строки	Входы			Выходы		
	S	R	RT	Q	QB	I
1	0	0	0	0	1	1
2	1	0	1	1	0	0
3	0	1	1	0	1	0
4	0	0	1	хранение		1
5 ¹⁾	1	1	0	0	0	1
6 ²⁾	1	1	1	0	0	1
7 ¹⁾	1	0	0	1	0	0
8	0	1	0	0	1	0

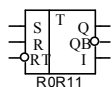
¹⁾ Нарушение предустановки.

²⁾ Неопределенное состояние выходов Q , QB после перехода в $S=R=0$.

Таблица задержек

Путь	$RT \Rightarrow Q$	$RT \Rightarrow QB$	$R \Rightarrow Q$	$R \Rightarrow QB$	$R \Rightarrow I$		$S \Rightarrow Q$
Задержка,	t^{10}	t^{01}	t^{10}	t^{01}	t^{01}	t^{10}	t^{01}
нс	3.2	2.6	0.7	3.2	1.8	4.2	3.2
Путь	$S \Rightarrow QB$	$S \Rightarrow I$					
Задержка,	t^{10}	t^{01}	t^{10}				
нс	0.9	2.2	4.3				

R0R11 ***Однотактный RS-триггер с парафазным входом с нулевым спейсером, синхронным сбросом и мощным выходом***



Элемент **R0R11** – RS-триггер с парафазным информационным входом (**R**, **S**) с нулевым спейсером; входом синхронного сброса (**RT**); парафазным мощным информационным выходом (**Q**, **QB**) и индикаторным выходом (**I**). При спейсере на информационном входе (**R=S=0**) триггер хранит свое состояние, а индикаторный выход **I=0**. При **R=0**, **S=1** триггер переключается в состояние (**Q=1**, **QB=0**). При **R=1**, **S=0** триггер переключается в состояние (**Q=0**, **QB=1**). Входная комбинация **R=S=1** – запрещенная. Окончание перехода в очередное рабочее состояние, соответствующее рабочему значению информационного входа, фиксируется значением **I=1** на индикаторном выходе. Начальный сброс реализуется подачей низкого уровня на вход синхронного сброса **RT=0** при спейсере на информационном входе (**R=S=0**). В результате триггер устанавливается в состояние (**Q=0**, **QB=1**). Значение индикаторного выхода при этом не меняется.

Информационный выход (**Q**, **QB**) формируется инверторами, обеспечивающими увеличенную нагрузочную способность и электрическую развязку элемента памяти триггера, хранящего его состояние, от внешнего окружения, что повышает помехоустойчивость триггера.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами элементов схемы триггера: n-типа $N_n=2$ и p-типа $N_p=2$.

Коэффициент объединения по входам **R**, **S** – 2.

Рекомендуемая нагрузочная способность по выходам **Q** и **QB** ≤ 3 , по выходу **I** ≤ 4 .

Размер элемента составляет 8 ячеек поля БМК.

Область применения – СС-схемотехника.

Таблица истинности

№ строки	Входы			Выходы		
	S	R	RT	I	Q	QB
1	0	0	0	0	0	1
2	0	0	1	0	хранение	
3	0	1	1	1	0	1
4	1	0	1	1	1	0
5 ¹⁾	1	1	0	0	1	1
6 ²⁾	1	1	1	0	1	1
7 ¹⁾	1	0	0	1	1	0
8	0	1	0	1	0	1

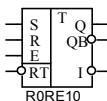
1) Нарушение предустановки.

2) Неопределенное состояние выходов Q, QB после перехода в S=R=0.

Таблица задержек

Путь	RT⇒Q	RT⇒QB	R⇒Q	R⇒QB	R⇒I	
Задержка, нс	t^{10}	t^{01}	t^{10}	t^{01}	t^{01}	t^{10}
	2.5	3.5	2.9	1.5	5.8	2.2
Путь	S⇒Q	S⇒QB	S⇒I			
Задержка, нс	t^{01}	t^{10}	t^{01}	t^{10}		
	1.7	2.7	5.2	2.2		

R0RE10 *Однотактный RS-триггер с нулевым спейсером, синхронным сбросом и разрешением записи*



Элемент **R0RE10** – однотактный RS-триггер с входом синхронного сброса (**RT**), входом разрешения записи (**E**), определяющим фазы работы триггера, парафазным информационным входом без спейсера (**R**, **S**), бифазным информационным выходом (**Q**, **QB**), индикаторным выходом (**I**), отображающим окончание переходных процессов в триггере. В спейсере

($E=0$) значение индикаторного выхода I равно 1, в рабочей фазе ($E=1$) – 0. Синхронный сброс осуществляется при подаче на вход RT низкого уровня ($RT=0$) в спейсерной фазе ($E=0$); при этом выходы триггера устанавливаются в состояние $Q=0$, $QB=1$. В рабочей фазе ($E=1$) при высоком уровне на входе синхронного сброса ($RT=1$) информация со входов R и S записывается в триггер. В фазе гашения ($E=0$) триггер находится в состоянии хранения.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами схемы: n -типа $Nn=3$ и p -типа $Np=2$.

Коэффициент объединения по входам S и R – 2, по входу E – 3.

Рекомендуемая нагрузочная способность элемента по выходам Q , QB ≤ 2 , по выходу I ≤ 3 .

Размер элемента составляет 7 ячеек поля БМК.

Область применения – СС-схемотехника. Триггер является строго самосинхронным, если входной информационный парафазный сигнал R , S не имеет спейсера. Единичный спейсер – запрещенная комбинация входных сигналов, а нулевой делает неиндицируемым спейсерное состояние сигнала разрешения E внутри элемента. При этом целесообразнее использовать, например, элемент **R0RE11**, обладающий к тому же свойством начальной установки, или дополнительно индицировать сигнал E (см. описание **R0RE11**).

Таблица истинности

№ строки	Входы				Выходы		
	S	R	E	RT	Q	QB	I
1	*	*	0	0	0	1	1
2	*	*	0	1	хранение		1
3	1	0	1	1	1	0	0
4	0	1	1	1	0	1	0
5	0	0	1	1	хранение		1
6 ¹⁾	1	1	1	0	0	0	1
7 ²⁾	1	1	1	1	0	0	1
8 ¹⁾	0	1	1	0	0	1	0
9 ¹⁾	1	0	1	0	1	0	0
10	↔	*	1	1	X		
11	*	↔	1	1	X		
12 ¹⁾	0	1	↔	0	X		

Окончание таблицы

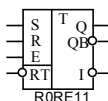
13 ¹⁾	1	0	↔	0	X		
14 ¹⁾	0	0	1	0	0	1	1

- 1) Нарушение предустановки.
 2) Неопределенное состояние выходов Q, QB после перехода в S=R=0 или E=0.

Таблица задержек

Путь	E⇒Q		E⇒QB		E⇒I		RT⇒Q		RT⇒QB	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
Задержка, нс	4.2	1.6	4.8	1.2	2.3	7.7	3.4	2.7	4.2	1.6

R0RE11 *Однотактный RS-триггер с нулевым спейсером, синхронным сбросом, разрешением записи и частичной индикацией*



Элемент **R0RE11** – однотактный RS-триггер с входом синхронного сброса (**RT**), парафазным информационным входом (**S**, **R**), входом разрешения записи (**E**), бифазным выходом данных (**Q**, **QB**), индикаторным выходом (**I**).

Индикаторный выход **I** отображает окончание переходных процессов в триггере. Например, при исходном состоянии триггера **Q=0**, **QB=1** переключение входного сигнала из спейсера **R=S=0** в состояние **R=0**, **S=1** вызывает переключение выхода **I** в состояние 0 (окончание рабочей фазы). Однако он не индицирует состояние разрешения записи. Контроль окончания переходных процессов на входе **E** требует дополнительной аппаратуры либо в устройстве-источнике сигнала **E**, либо так, как показано на рисунке ниже.

Сброс элемента осуществляется при подаче на вход **RT** низкого уровня (**RT=0**) в спейсерной фазе триггера (**E=0** или **R=S=0**). При этом выходы триггера устанавливаются в состояние **Q=0**, **QB=1**. В рабочей фазе (**E=1**) при высоком уровне на входе синхронного сброса (**RT=1**) информация со входов **R** и **S** записывается в триггер, а в фазе гашения

($E=0$ или $R=S=0$) триггер находится в состоянии хранения.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=2$ и p-типа $N_p=2$.

Коэффициент объединения по входам E , R и S – 2.

Рекомендуемая нагрузочная способность по выходам Q и $QB \leq 2$, по выходу $I \leq 4$.

Размер элемента составляет 6 ячеек поля БМК.

Область применения – СС-схемотехника. Пример использования триггера **R0RE11** в составе четырехразрядного регистра приведен на рисунке ниже. Двухвходовой G-триггер обеспечивает правильную индикацию разрешения записи E .

Таблица истинности

№ строки	Входы				Выходы		
	S	R	E	RT	Q	QB	I
1	*	0	0	0	0	1	1
2	0	0	1	0	0	1	1
3	0	1	0	0	0	1	0
4	0	1	0	1	хранение		Q
5	0	0	*	1	хранение		1
6	0	1	1	1	0	1	0
7	1	0	0	1	хранение		QB
8	1	0	1	1	1	0	0
9	1	1	0	0	0	1	0
10	1	1	0	1	хранение		0
11 ¹⁾	1	1	1	0	0	0	1
12 ²⁾	1	1	1	1	0	0	1
13 ¹⁾	1	0	1	0	1	0	0
14	0	1	1	0	0	1	0
15 ³⁾	1→0	0	1	1	X		1
16 ³⁾	0	1→0	1	1	X		1
17 ¹⁾	1	0	↔	0	X		
18 ¹⁾	0	1	↔	0	X		

1) Нарушение предустановки.

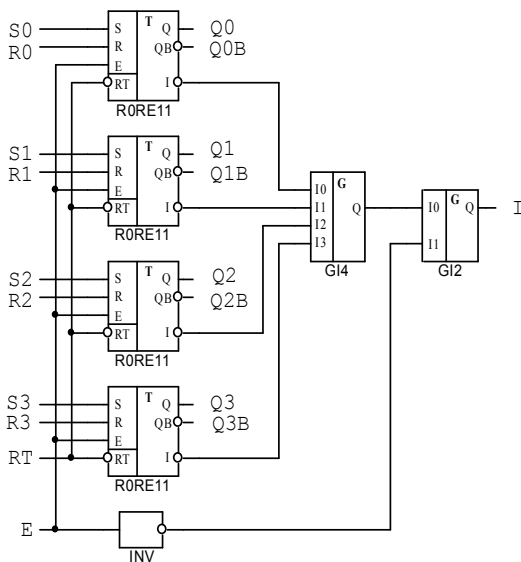
2) Неопределенное состояние выходов Q, QB после перехода в $S=R=0$ или $E=0$.

3) Преждевременное переключение информационного входа при $I=1$.

Таблица задержек

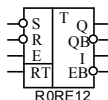
Путь	$RT \Rightarrow Q$	$RT \Rightarrow QB$		$R \Rightarrow Q$		$R \Rightarrow QB$		$R \Rightarrow I$		$S \Rightarrow Q$
Задержка,	t^{10}	t^{01}		t^{10}		t^{01}		t^{01}	t^{10}	t^{01}
нс	3.1	2.2		1.3		4.1		2.2	5.3	4.1

Путь	$S \Rightarrow QB$		$S \Rightarrow I$		$E \Rightarrow Q$		$E \Rightarrow QB$		$E \Rightarrow I$	
Задержка,	t^{10}	t^{01}	t^{10}		t^{01}	t^{10}	t^{01}	t^{10}	t^{10}	
нс	1.5	1.8	5.1		3.9	1.5	4.2	1.3	4.8	



Четырехразрядный регистр на элементе RORE11

RORE12 *Однотактный RS-триггер с нулевым спейсером, синхронным сбросом и инверсным разрешением записи*



Элемент **RORE12** – однотактный RS-триггер с входом синхронного сброса (**RT**), входом разрешения записи с нулевым спейсером (**E**), парафазным информационным входом с единичным спейсером (**R, S**), бифазным инфор-

мационным выходом (**Q**, **QB**), индикаторным выходом (**I**), выходом инверсии сигнала **E** (**EB**).

Высокий уровень на входе **RT** (**RT=1**) при **E=0** переводит элемент в состояние нуля (**Q=0**, **QB=1**). При низком уровне на входе **RT** (**RT=0**) элемент либо хранит свое состояние, если **E=0**, либо изменяет его в соответствии со значениями входов **S** и **R** при **E=1**. Индикаторный выход **I** отображает окончание всех переходных процессов в триггере, кроме случаев, когда состояние триггера не изменяется. Например, при исходном состоянии триггера **Q=0**, **QB=1** переход комбинации входных сигналов **R=S=1** в состояние **R=0**, **S=1** вызывает переход **I** в состояние 1 (окончание рабочей фазы) независимо от состояния входа **E**. Поэтому в общем случае контроль окончания переходных процессов на выходе **EB** должен быть осуществлен на дополнительной аппаратуре (аналогично элементу **R0RE11**).

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом в элементах схемы: n-типа $N_n=2$ и p-типа $N_p=2$.

Коэффициент объединения по входам **R** и **S** – 2.

Рекомендуемая нагрузочная способность по выходам **EB** ≤ 3 , **Q** и **QB** ≤ 2 , по выходу **I** ≤ 4 .

Размер элемента составляет 6 ячеек поля БМК.

Область применения – СС-схемотехника.

Таблица истинности

№ строки	Входы				Выходы			
	S	R	E	RT	Q	QB	I	EB
1	*	0	0	1	0	1	1	1
2	*	1	0	1	0	1	0	1
3	1	1	1	1	0	1	0	0
4	0	1	0	0	хранение		Q	1
5	1	0	0	0	хранение		QB	1
6	1	1	0	0	хранение		0	1
7	0	1	1	0	1	0	1	0
8	1	0	1	0	0	1	1	0
9	1	1	1	0	хранение		0	0
10	0	0	0	0	хранение		1	1
11 ¹⁾	0	0	1	1	1	1	0	0
12	0	0	1	0	1	1	0	0

Окончание таблицы

13	1	0	1	1	0	1	1	0
14 ²⁾	0	1	1	1	1	0	1	0
15 ³⁾	0→1	1	1	0	X	0	0	
16 ³⁾	1	0→1	1	0	X	0	0	
17 ²⁾	0	1	↔	1	X			
18 ²⁾	1	0	↔	1	X			

1) Неопределенное состояние выходов Q, QB после перехода в S=R=1 или E=0.

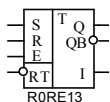
2) Нарушение предустановки.

3) Преждевременное переключение информационного входа при I=0.

Таблица задержек

Путь	RT⇒Q		RT⇒QB		R⇒Q		R⇒QB		R⇒I		S⇒Q		S⇒QB	
Задержка, нс	t ¹⁰		t ⁰¹		t ¹⁰		t ⁰¹		t ⁰¹	t ¹⁰	t ⁰¹		t ¹⁰	
	1.7		3.5		4.2		2.6		7.6	1.2	3.6		5.2	
Путь	S⇒I		E⇒Q		E⇒QB		E⇒I		E⇒EB					
Задержка, нс	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰				
	7.9	1.5	4.1	4.7	2.9	5.7	8.4	1.0	0.5					

R0RE13 *Однотактный RS-триггер с нулевым спейсером, синхронным сбросом, разрешением записи и мощным выходом*



Элемент **R0RE13** – RS-триггер с бифазным информационным входом (**R**, **S**); входом разрешения записи (**E**) с нулевым спейсером; входом синхронного сброса (**RT**); парафазным мощным информационным выходом (**Q**, **QB**)

и индикаторным выходом (**I**). При спейсере на входе разрешения (**E**=0) триггер хранит свое состояние, а индикаторный выход **I**=0. При **E**=**S**=1, **R**=0 триггер переключается в состояние (**Q**=1, **QB**=0). При **E**=**R**=1, **S**=0 триггер переключается в состояние (**Q**=0, **QB**=1). Входная комбинация **E**=**R**=**S**=1 - запрещенная. Окончание перехода в очередное рабочее состояние, соответствующее состоянию информационного входа, фиксируется значением **I**=1 на индикаторном выходе.

Начальный сброс реализуется подачей низкого уровня на вход синхронного сброса $RT=0$ при спейсере на входе разрешения записи ($E=0$). В результате триггер устанавливается в состояние ($Q=0$, $QB=1$). Значение индикаторного выхода при этом не меняется.

Информационный выход (Q , QB) формируется инверторами, обеспечивающими повышенную нагрузочную способность и электрическую развязку элемента памяти триггера, хранящего его состояние, от внешнего окружения, что повышает помехоустойчивость триггера.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами элементов схемы триггера: n-типа $Nn=3$ и p-типа $Np=2$.

Коэффициент объединения по входам R , $S - 2$, по входу $E - 4$.

Рекомендуемая нагрузочная способность по выходам Q и $QB \leq 3$, по выходу $I \leq 4$.

Размер элемента составляет 10 ячеек поля БМК.

Область применения – СС-схемотехника.

Таблица истинности

№ строки	Входы				Выходы		
	S	R	E	RT	I	Q	QB
1	*	*	0	0	0	0	1
2	*	*	0	1	0	хранение	
3	0	1	1	1	1	0	1
4	1	0	1	1	1	1	0
5 ¹⁾	1	1	1	0	0	1	1
6 ²⁾	1	1	1	1	0	1	1
7	0	1	1	0	1	0	1
8 ¹⁾	1	0	1	0	1	1	0
9	*	↔	1	*	X		
10	↔	*	1	*	X		
11	*	*	↔	0	X		
12	0	0	1	0	0	0	1
13	0	0	1	1	0	хранение	

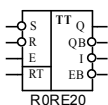
¹⁾ Нарушение предустановки.

²⁾ Неопределенное состояние выходов Q , QB после перехода в $S=R=0$ или $E=0$.

Таблица задержек

Путь	E⇒Q		E⇒QB		E⇒I		RT⇒Q	RT⇒QB
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ¹⁰	t ⁰¹
нс	2.2	3.5	2.2	3.6	6.9	2.4	1.8	3.1

R0RE20 *Двухтактный RS-триггер с нулевым спейсером, синхронным сбросом, разрешением записи и инверсным сигналом индикации*



Элемент **R0RE20** – двухтактный RS-триггер с синхронным сбросом. Назначение выводов: **RT** – вход синхронного сброса; **E** – вход разрешения записи с нулевым спейсером; **R, S** – бифазный информационный вход; **Q, QB** – бифазный информационный выход; **I** – индикаторный выход; **EB** – выход инверсии сигнала **E**.

При (**R=0, S=E=1**) или (**S=0, R=E=1**) и **RT=0** триггер записывает состояние информационного входа в первую (входную) бистабильную ячейку. Окончание записи фиксируется по появлению низкого уровня на индикаторном выходе (**I=0**). При спейсере на входе разрешения (**E=0**) триггер хранит свое состояние, переписывая его из входной бистабильной ячейки в выходную при индикаторном выходе (**I=1**). Входная комбинация (**E=1, R=S=0**) – запрещенная. Начальная установка реализуется подачей высокого уровня на вход синхронной установки (**RT=1**) при спейсере на входе разрешения записи (**E=0**). При этом триггер устанавливается в состояние (**Q=0, QB=1**). При необходимости индикация завершения установки триггера выполняется внешней аппаратурой путем фиксации низкого уровня на его выходе **Q**. Возможный вариант реализации самосинхронной установки для случая трехразрядного регистра хранения на базе элемента **R0RE20** аналогичен схеме, приведенной в описании элемента **DICE20**.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом первого каскада индикаторного элемента: n-типа $N_n=4$ и p-типа $N_p=3$. Коэффициент объединения по входам **S** и **R** – 2.

Рекомендуемая нагрузочная способность по выходам **Q** и **QB** ≤ 2, по выходу **EB** – 1, по выходу **I** ≤ 5.

Размер элемента составляет 12 ячеек поля БМК.

Область применения – СС-схемотехника.

Элемент рекомендуется использовать для информационного входа (**R**, **S**), не имеющего спейсера. Если вход (**R**, **S**) имеет единичный спейсер, то требуется дополнительная индикация спейсерного значения входа разрешения записи по аналогии с элементом **R0RE11**. Нулевой спейсер на информационном входе запрещен.

Таблица истинности

№ строки	Входы				Выходы			
	S	R	E	RT	Q	QB	I	EB
1	0	1	0	1	0	1	1	1
2	1	0	0	1	0	1	1	1
3	1	1	0	1	0	1	1	1
4	1	1	0	0	хранение		1	1
5	1	0	0	0	хранение		1	1
6	0	1	0	0	хранение		1	1
7	1	0	1	0	хранение		0	0
8	1	0	1→0	0	0	1	1	0→1
9	0	1	1	0	хранение		0	0
10	0	1	1→0	0	1	0	1	0→1
11 ¹⁾	0	0	1	0	хранение		0	0
12 ²⁾	0	0	1	1	хранение		0	0
13	0	0	0	0	хранение		1	1
14 ²⁾	1	0	1	1	хранение		0	0
15 ²⁾	0	1	1	1	хранение		0	0
16	0	0	0	1	0	1	1	1
17	0	*	↔	1	X			
18	1	*	↔	1	X			
19	↔	*	1	*	X			0
20	*	↔	1	*	X			0
21 ³⁾	↔	*	0	*	X			0
22 ³⁾	*	↔	0	*	X			0
23	1	1	1	0	хранение		X	0
24	1	1	1	1	хранение		X	0

¹⁾ Неопределенное состояние выходов после перехода в S=R=1 или E=0.

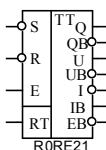
²⁾ Нарушение предустановки.

³⁾ Изменения входов R и S запрещены до выполнения перехода EB 0→1.

Таблица задержек

Путь	$E \Rightarrow Q$		$E \Rightarrow QB$		$E \Rightarrow EB$		$E \Rightarrow I$		$RT \Rightarrow Q$	$RT \Rightarrow QB$
	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{10}	t^{01}
нс	5.3	2.7	5.3	2.7	2.3	1.7	11.2	13.3	8.0	7.8

R0RE21 *Двухтактный RS-триггер с нулевым спейсером, синхронным сбросом, разрешением записи и частичной индикацией*



R0RE21 – двухтактный RS-триггер с синхронным сбросом. Назначение выводов: **RT** – вход синхронного сброса; **E** – вход разрешения записи с нулевым спейсером; **R**, **S** – парафазный информационный вход с единичным спейсером; **EB** – выход инверсии входа разрешения записи; **Q**,

QB – бифазный информационный выход; **U**, **UB** – бифазный выход первой бистабильной ячейки (ступени); **I**, **IB** – прямой и инверсный индикаторные выходы.

При (**R=0**, **S=E=1**) или (**S=0**, **R=E=1**) и **RT=0** триггер записывает состояние информационного входа в первую (входную) бистабильную ячейку. Окончание записи фиксируется по появлению низкого уровня на индикаторном выходе (**I=0**). При спейсере на входе разрешения (**E=0**) триггер хранит свое состояние, переписывая его из входной бистабильной ячейки в выходную при индикаторном выходе (**I=1**). Входная комбинация (**E=1**, **R=S=0**) – запрещенная. Начальная установка реализуется подачей высокого уровня на вход синхронной установки (**RT=1**) при спейсере на входе разрешения записи (**E=0**). При этом триггер устанавливается в состояние (**Q=0**, **QB=1**). При необходимости индикация завершения установки триггера выполняется внешней по отношению к нему аппаратурой путем фиксации низкого уровня на его выходе **Q**. Возможный вариант реализации самосинхронной установки для случая трехразрядного регистра хранения на базе элемента **R0RE20** аналогичен схеме, приведенной при описании элемента **D1CE20**.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами элементов схемы: n-типа $N_n=4$ и p-типа $N_p=2$.

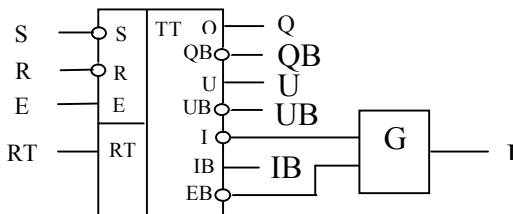
Коэффициент объединения по входам **R** и **S** – 2.

Рекомендуемая нагрузочная способность по выходам **IB**, **U**, **UB** и **EB** – 1, по выходам **Q**, **QB** ≤ 2, по выходу **I** ≤ 5.

Размер элемента в библиотеке БМК 5503СС составляет 11 ячеек поля БМК/

Область применения – СС-схемотехника.

Вход разрешения записи **E** в элементе не индицируется ни в рабочем, ни в спейсерном состоянии. Для нормальной работы триггера **R0RE21** в составе СС-схемы требуется использовать дополнительные индикаторные элементы, например, как показано на рисунке ниже. Эти элементы могут быть общими для нескольких триггеров такого типа, составляющих один регистр с одним сигналом разрешения записи. Выходы **U**, **UB** могут использоваться для ускорения работы схемы в конвейерной структуре.



Совместная индикация входа разрешения записи и триггера

Таблица истинности

№ строки	Входы				Выходы							
	S	R	E	RT	Q	QB	U	UB	I	IB	EB	
1	*	1	0	1	0	1	1	0	1	0	1	
2	*	0	0	1	0	1	1	0	0	1	1	
3	1	0	0	0	UB	U	хранение		UB	U	1	
4	1	1	0	0	UB	U	хранение		1	0	1	
5	0	1	0	0	UB	U	хранение		U	UB	1	
6	1	0	1	0	хранение		1	0	0	1	0	
7	1	0	1→0	0	UB	U	хранение		1	0	0→1	
8	0	1	1	0	хранение		0	1	0	1	0	
9	0	1	1→0	0	UB		U	хранение		1	0	0→1
10	1	1	1	0	хранение				Q⊕U	Q⊕UB	0	
11 ¹⁾	0	0	1	0	хранение		1	1	1	0	0	
12 ²⁾	1	1	1	1	хранение		1	0	QB	Q	0	

Окончание таблицы

13 ²⁾	0	0	1	1	хранение	1	1	1	0	0
14 ²⁾	0	1	1	1	хранение	0	1	0	1	0
15 ²⁾	1	0	1	1	хранение	1	0	0	1	0
16	0	1	↔	1	X					
17	1	0	↔	1	X					
18 ³⁾	0→1	*	0	*	хранение	X				0
19 ³⁾	*	0→1	0	*	хранение	X				0
20	0	0	0	0	UB	U	хранение	0	1	1

1) Неопределенное состояние выходов после перехода в S=R=1 или E=0.

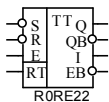
2) Нарушение предустановки.

3) Изменения входов R и S запрещены до перехода EB 0→1.

Таблица задержек

Путь	S⇒I		S⇒IB		S⇒U	S⇒UB		R⇒I		R⇒IB		R⇒U
Задержка, нс	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹
	2.6	8.1	9.3	1.7	5.1	3.0	2.9	9.1	10.4	2.0	4.1	
Путь	R⇒UB		RT⇒Q		RT⇒QB	RT⇒U	RT⇒UB		E⇒I		E⇒IB	
Задержка, нс	t ¹⁰		t ¹⁰		t ⁰¹	t ¹⁰	t ⁰¹		t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
	5.9		5.4		8.0	1.8	4.1		8.2	9.9	11.2	7.2
Путь	E⇒Q		E⇒QB		E⇒U	E⇒UB		E⇒EB				
Задержка, нс	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰		
	5.1	2.5	5.1	2.5	4.7	5.7	3.6	6.7	1.2	0.7		

R0RE22 *Двухтактный RS-триггер с нулевым спейсером, синхронным сбросом, разрешением записи и прямым сигналом индикации*



Элемент **R0RE22** – двухтактный RS-триггер с входом синхронного сброса (**RT**), входом разрешения записи (**E**), определяющим фазы работы триггера, бифазным информационным входом (**R**, **S**), бифазным информационным выходом (**Q**, **QB**), индикаторным выходом (**I**), выходом инверсии разрешения записи **E** (**EB**).

Индикаторный выход **I** отображает окончание переходных процессов в триггере, принимая значение 0 в спейсере (**I**=0) и 1 в рабочей фазе триггера (**I**=1).

Выход **EB** служит для формирования второго сигнала разрешения записи для предыдущего разряда регистра сдвига (например, входа **E0** элемента **S0RRE2**), когда триггер используется в качестве последнего разряда этого регистра.

Сброс триггера осуществляется при подаче на вход **RT** высокого уровня (**RT**=1) в спейсерной фазе триггера (**E**=0). При этом выходы триггера устанавливаются в состояние **Q**=0, **QB**=1.

В рабочей фазе при **E**=1 и низком уровне на входе установки (**RT**=0) информация со входов **R** и **S** записывается в первую бистабильную ячейку триггера (внутренние выходы **U**, **UB**), и затем при переходе триггера в состояние спейсера (**E**=0) состояние первой бистабильной ячейки переписывается во вторую ступень триггера (выходы **Q**, **QB**).

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами элементов схемы: n-типа $N_n=4$ и p-типа $N_p=3$.

Коэффициент объединения по входам **S** и **R** – 2.

Рекомендуемая нагрузочная способность по выходам **I**, **Q**, **QB** ≤ 2 , по выходу **EB** – 1.

Размер элемента составляет 11 ячеек поля БМК.

Область применения – СС-схемотехника, например, в качестве последнего разряда самосинхронного регистра сдвига.

Таблица истинности

№ строки	Входы				Выходы			
	S	R	E	RT	Q	QB	I	EB
1	0	1	0	1	0	1	0	1
2	1	*	0	1	0	1	0	1
3	1	1	1	1	хранение		Q	0
4	1	*	0	0	хранение		0	1
5	0	1	0	0	хранение		0	1
6	1	0	1	0	хранение		1	0
7	1	0	1→0	0	0	1	0	0→1
8	0	1	1	0	хранение		1	0
9	0	1	1→0	0	1	0	0	0→1
10	1	1	1	0	хранение			0
11 ¹⁾	0	0	1	0	хранение		1	0
12 ²⁾	0	0	1	1	хранение		1	0
13	0	0	0	0	хранение		X	1
14 ²⁾	0	0	0	1	0	1	X	1
15 ²⁾	1	0	1	1	0	1	1	0
16 ²⁾	0	1	1	1	1	0	1	0
17 ²⁾	*	*	↔	1	X			
18	↔	*	1	*	хранение		X	0
19	*	↔	1	*	хранение		X	0

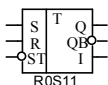
¹⁾ Неопределенное состояние выходов после перехода в S=R=1.

²⁾ Нарушение предустановки.

Таблица задержек

Путь	E⇒Q		E⇒QB		E⇒I		E⇒EB		RT⇒Q		RT⇒QB		R⇒I		S⇒I	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ¹⁰	t ⁰¹	t ⁰¹	t ⁰¹	t ⁰¹	t ⁰¹	t ⁰¹	
нс	5.4	2.7	5.4	2.7	11.7	7.3	1.5	0.7	4.9	7.6	6.2	12.5				

R0S11 ***Однотактный RS-триггер с парафазным входом с нулевым спейсером, синхронной установкой и мощным выходом***



Элемент **R0S11** – RS-триггер с парафазным информационным входом (**R**, **S**) с нулевым спейсером; входом синхронной установки (**ST**); парафазным мощным информационным выходом (**Q**, **QB**) и индикаторным выходом (**I**). При спейсере на информационном входе (**R=S=0**) триггер хранит свое состояние, а индикаторный выход **I=0**. При **R=0**, **S=1** триггер переключается в состояние (**Q=1**, **QB=0**). При **R=1**, **S=0** триггер переключается в состояние (**Q=0**, **QB=1**). Входная комбинация **R=S=1** - запрещенная. Окончание перехода в очередное рабочее состояние, соответствующее рабочему значению информационного входа, фиксируется значением **I=1** на индикаторном выходе. Начальная установка реализуется подачей низкого уровня на вход синхронной установки **ST=0** при спейсере на информационном входе (**R=S=0**). В результате триггер устанавливается в состояние (**Q=1**, **QB=0**). Значение индикаторного выхода при этом не меняется.

Информационный выход (**Q**, **QB**) формируется инверторами, обеспечивающими увеличенную нагрузочную способность и электрическую развязку элемента памяти триггера, хранящего его состояние, от внешнего окружения, что повышает помехоустойчивость триггера.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами элементов схемы триггера: n-типа $N_n=2$ и p-типа $N_p=2$.

Коэффициент объединения по входам **R**, **S** – 2.

Рекомендуемая нагрузочная способность по выходам **Q**, **QB** ≤ 3 , по выходу **I** ≤ 4 .

Размер элемента составляет 8 ячеек поля БМК.

Область применения – СС-схемотехника.

Таблица истинности

№ строки	Входы			Выходы		
	S	R	ST	Q	QB	I
1	0	0	0	1	0	0
2	0	0	1	хранение		0
3	0	1	1	0	1	1
4	1	0	1	1	0	1
5 ¹⁾	1	1	1	1	1	0
6 ²⁾	1	1	0	1	1	0
7 ³⁾	1	0	0	1	0	1
8 ³⁾	0	1	0	0	1	1

1) Неопределенное состояние выходов Q, QB после перехода в S=R=0.

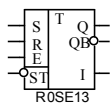
2) Неопределенное состояние выходов Q, QB после перехода в S=R=0, ST=1.

3) Нарушение предустановки.

Таблица задержек

Путь	ST⇒Q	ST⇒QB	R⇒Q	R⇒QB	R⇒I		S⇒Q		S⇒QB		S⇒I	
Задержка, нс	t^{01}	t^{10}	t^{10}	t^{01}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
	3.4	2.3	3.0	1.7	5.9	2.2	1.5	3.2	5.6	2.2		

R0SE13 *Однотактный RS-триггер с нулевым спейсером, синхронной установкой, разрешением записи и мощным выходом*



Элемент **R0SE13** – RS-триггер с бифазным информационным входом (**R**, **S**); входом разрешения записи (**E**) с нулевым спейсером; входом синхронной установки (**ST**); парафазным мощным информационным выходом (**Q**, **QB**)

и индикаторным выходом (**I**). При спейсере на входе разрешения (**E**=0) триггер хранит свое состояние, а индикаторный выход **I**=0. При **E**=**S**=1 триггер переключается в состояние (**Q**=1, **QB**=0). При **E**=**R**=1 триггер переключается в состояние (**Q**=0, **QB**=1). Входная комбинация **E**=**R**=**S**=1 - запрещенная. Окончание перехода в очередное рабочее состояние, соответствующее состоянию информационного входа, фиксируется значением **I**=1 на индикаторном выходе. Начальная установка реализуется подачей низкого уровня на вход синхронной ус-

тановки $ST=0$ при спейсере на входе разрешения записи ($E=0$). В результате триггер устанавливается в состояние ($Q=1, QB=0$). Значение индикаторного выхода при этом не меняется.

Информационный выход (Q, QB) формируется инверторами, обеспечивающими повышенную нагрузочную способность и электрическую развязку элемента памяти триггера, хранящего его состояние, от внешнего окружения, что повышает помехоустойчивость триггера.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами элементов схемы триггера: n-типа $Nn=3$ и p-типа $Np=2$.

Коэффициент объединения по входам $R, S - 2$, по входу $E - 4$.

Рекомендуемая нагрузочная способность по выходам $Q, QB \leq 3$, по выходу $I \leq 4$.

Размер элемента составляет 10 ячеек поля БМК.

Область применения – СС-схемотехника.

Таблица истинности

№ строки	Входы				Выходы		
	S	R	E	ST	Q	QB	I
1	*	*	0	0	1	0	0
2	*	*	0	1	хранение		0
3	0	1	1	1	0	1	1
4	0	1	$1 \rightarrow 0$	1	0	1	0
5	1	0	1	1	1	0	1
6	1	0	$1 \rightarrow 0$	1	1	0	0
7 ¹⁾	1	1	1	1	1	1	0
8 ²⁾	1	1	1	0	1	1	0
9 ³⁾	0	1	1	0	0	1	1
10	1	0	1	0	1	0	1
11	\leftrightarrow	*	1	1	X		
12	*	\leftrightarrow	1	1	X		
13 ³⁾	*	*	\leftrightarrow	0	X		
14	0	0	1	0	1		
15 ³⁾	0	0	1	1	хранение		

¹⁾ Неопределенное состояние выходов Q, QB после перехода в $S=R=0$ или в $E=0$.

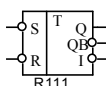
²⁾ Неопределенное состояние выходов Q, QB после перехода в $S=R=0$, $ST=1$ или в $E=0$, $ST=1$.

³⁾ Нарушение предустановки.

Таблица задержек

Путь	$E \Rightarrow Q$		$E \Rightarrow QB$		$E \Rightarrow I$		$ST \Rightarrow Q$	$ST \Rightarrow QB$
	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
Задержка, нс	2.2	3.5	2.2	3.5	6.9	2.5	3.1	1.8

R111 Однотактный RS-триггер с единичным спейсером, парафазным входом и мощным выходом



Элемент **R111** – RS-триггер с парафазным информационным входом (**R**, **S**) с единичным спейсером; парафазным мощным информационным выходом (**Q**, **QB**) и индикаторным выходом (**I**). При спейсере на информационном входе (**R=S=1**) триггер хранит свое состояние, а индикаторный выход **I=1**. При **R=1**, **S=0** триггер переключается в состояние **Q=1**, **QB=0**. При **R=0**, **S=1** триггер переключается в состояние **Q=0**, **QB=1**. Входная комбинация **R=S=0** – запрещенная. Окончание перехода в очередное рабочее состояние, соответствующее рабочему значению информационного входа, фиксируется значением **I=0** на индикаторном выходе. Информационный выход (**Q**, **QB**) формируется инверторами, обеспечивающими увеличенную нагрузочную способность и электрическую развязку элемента памяти триггера, хранящего его состояние, от внешнего окружения, что повышает помехоустойчивость триггера. Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами элементов схемы триггера: n-типа $N_n=2$ и p-типа $N_p=2$.

Коэффициент объединения по всем входам – 2.

Рекомендуемая нагрузочная способность по выходам: **Q**, **QB** ≤ 3 , **I** ≤ 4 .

Размер элемента составляет 7 ячеек поля БМК.

Область применения – СС-схемотехника.

Таблица истинности

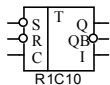
№ строки	Входы		Выходы		
	S	R	I	Q	QB
1	0	1	0	0	1
2	1	1	1	хранение	
3	1	0	0	1	0
4 ¹⁾	0	0	1	0	0

1) Неопределенное состояние выходов Q, QB после перехода в S=R=1.

Таблица задержек

Путь	S \Rightarrow Q	S \Rightarrow QB	S \Rightarrow I		R \Rightarrow Q	R \Rightarrow QB	R \Rightarrow I	
Задержка,	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ¹⁰	t ⁰¹	t ⁰¹	t ¹⁰
нс	3.0	1.5	2.1	4.0	1.2	3.5	2.5	3.9

R1C10 Однотактный RS-триггер с единичным спейсером и самосинхронным сбросом



Элемент **R1C10** – RS-триггер с парафазным информационным входом (**R**, **S**) с единичным спейсером, входом самосинхронного сброса (**C**), бифазным информационным выходом (**Q**, **QB**) и индикаторным выходом (**I**). При спейсере на информационном входе (**R=S=1**) триггер хранит свое состояние, а индикаторный выход **I=0**. При (**R=1**, **S=0**) триггер переключается в состояние (**Q=1**, **QB=0**). При (**R=0**, **S=1**) триггер переключается в состояние (**Q=0**, **QB=1**). Входная комбинация **R=S=0** – запрещенная. Окончание перехода в очередное рабочее состояние, соответствующее рабочему состоянию информационного входа, фиксируется значением **I=1** на индикаторном выходе. Начальный сброс реализуется подачей высокого уровня на вход самосинхронного сброса **C=1** при спейсере на информационном входе (**R=S=1**); триггер устанавливается в состояние (**Q=0**, **QB=1**), а индикаторный выход переключается в значение **I=1** после того, как обе составляющие информационного выхода перейдут в соответствующее состояние, обеспечивая этим контроль за процессом предустановки. После снятия активного (высокого) уровня со входа самосинхронного сброса **C** индикаторный выход переключается в состояние **I=0**.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выхода-

ми элементов схемы триггера: n-типа $Nn=3$ и p-типа $Np=2$.

Коэффициент объединения по всем входам – 2.

Рекомендуемая нагрузочная способность по выходу $Q \leq 2$, по выходу $QB - 1$, по выходу $I \leq 3$.

Размер элемента составляет 6 ячеек поля БМК.

Область применения – СС-схемотехника.

Таблица истинности

№ строки	Входы			Выходы		
	S	R	C	Q	QB	I
1	1	1	1	0	1	1
2	1	1	0	хранение		0
3	1	0	0	0	1	1
4	0	1	0	1	0	1
5 ¹⁾	0	0	0	1	1	0
6 ²⁾	0	0	1	1	1	1
7 ²⁾	0	1	1	1	0	1
8	1	0	1	0	1	1

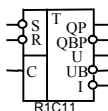
¹⁾ Неопределенное состояние выходов Q, QB после перехода в $S=R=0$.

²⁾ Нарушение самосинхронной предустановки.

Таблица задержек

Путь	$C \Rightarrow Q$	$C \Rightarrow QB$	$C \Rightarrow I$	$R \Rightarrow Q$	$R \Rightarrow QB$	$R \Rightarrow I$	$S \Rightarrow Q$	$S \Rightarrow QB$	$S \Rightarrow I$
Задержка,	t^{10}	t^{01}	$t^{01} \quad t^{10}$	t^{10}	t^{01}	$t^{01} \quad t^{10}$	t^{01}	t^{10}	$t^{01} \quad t^{10}$
нс	1.4	2.7	4.1 1.7	3.1	1.6	3.9 1.2	1.7	3.1	4.1 1.4

R1C11 *Однотактный RS-триггер с единичным спейсером, самосинхронным сбросом и парафазным выходом с нулевым спейсером*



Элемент **R1C11** – RS-триггер с парафазным информационным входом (**R**, **S**) с единичным спейсером, входом самосинхронного сброса (**C**), бифазным информационным выходом (**U**, **UB**), парафазным информационным выходом

(**QP, QBP**) с нулевым спейсером и индикаторным выходом **I**. При спейсере на информационном входе (**R=S=1**) триггер хранит свое состояние, а информационный выход также находится в спейсерном состоянии **QP=QBP=0**. При (**R=1, S=0**) триггер переключается в состояние (**QP=1, QBP=0**). При (**R=0, S=1**) триггер переключается в состояние (**QP=0, QBP=1**). Входная комбинация **R=S=0** – запрещенная. Окончание перехода триггера в рабочее или спейсерное состояние фиксируется по переключению парафазного информационного выхода в соответствующее состояние. Начальный сброс реализуется подачей высокого уровня на вход самосинхронного сброса **C=1** при спейсере на информационном входе (**R=S=1**); триггер устанавливается в состояние (**QP=0, QBP=1**). После снятия активного (высокого) уровня со входа сброса **C** информационный выход переключается в спейсерное состояние **QP=QBP=1**.

Выход **I** индицирует только входы триггера и выходы **Q, QB**. Он может использоваться внешним окружением как признак готовности данных на выходах **Q, QB**, разрешающий не дожидаться окончания переходных процессов на выходах **QP, QBP**. При этом состояние выходов **QP, QBP** должно отслеживаться при формировании следующего рабочего или спейсерного состояния на входах **R, S**: переключение входов **R, S** в противоположную фазу может быть инициировано только после окончания переключения в текущую фазу выходов **QP, QBP**.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами элементов схемы триггера: *n*-типа $N_n=3$ и *p*-типа $N_p=2$.

Коэффициент объединения по всем входам – 2.

Рекомендуемая нагрузочная способность по выходам **U, UB** – 1, по выходу **I** ≤ 3 , по остальным выходам ≤ 4 .

Размер элемента составляет 9 ячеек поля БМК.

Область применения – СС-схемотехника, для передачи информации к удаленному приемнику; в этом случае парафазный сигнал со спейсером обеспечивает безошибочную передачу данных независимо от задержек сигналов в цепях схемы.

Таблица истинности

№ строки	Входы			Выходы				
	S	R	C	QP	QBP	I	U	UB
1	1	*	1	0	1	0	0	1
2	1	1	0	0	0	1	хранение	
3	1	0	0	0	1	0	0	1
4	0	1	0	1	0	0	1	0
5 ¹⁾	0	0	1	0	0	0	1	1
6 ²⁾	0	0	0	0	0	1	1	1
7 ²⁾	0	1	1	1	0	0	1	0

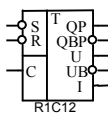
1) Неопределенное состояние выходов U, UB после перехода в S=R=1.

2) Нарушение самосинхронной предустановки.

Таблица задержек

Путь	S⇒QP		S⇒I		R⇒QBP		R⇒I		S⇒U
Задержка, нс	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹
	6.5	2.7	2.2	4.7	6.2	2.7	2.1	4.3	1.7
Путь	S⇒UB	R⇒U	R⇒UB	C⇒QBP	C⇒I		C⇒U	C⇒UB	
Задержка, нс	t ¹⁰	t ¹⁰	t ⁰¹	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	
	3.3	3.2	1.7	6.5	3.2	2.6	4.7	1.5	3.1

R1C12 Однотактный RS-триггер с единичным спейсером, самосинхронным сбросом и парафазным выходом с единичным спейсером



Элемент **R1C12** – RS-триггер с парафазным информационным входом (**R**, **S**) с единичным спейсером, входом самосинхронного сброса (**C**), бифазным информационным выходом (**U**, **UB**), парафазным информационным выходом (**QP**, **QBP**) с единичным спейсером и индикаторным выходом **I**. При спейсере на информационном входе (**R=S=1**) триггер хранит свое состояние, а информационный выход также находится в спейсерном состоянии **QP=QBP=1**. При (**R=1, S=0**) триггер переключается в состоя-

ние ($QP=1$, $QBP=0$). При ($R=0$, $S=1$) триггер переключается в состояние ($QP=0$, $QBP=1$). Входная комбинация $R=S=0$ – запрещенная. Окончание перехода триггера в рабочее или спейсерное состояние фиксируется по переключению парафазного информационного выхода в соответствующее состояние. Начальный сброс реализуется подачей высокого уровня на вход самосинхронного сброса $C=0$ при спейсере на информационном входе ($R=S=0$); триггер устанавливается в состояние ($QP=0$, $QBP=1$). После снятия активного (высокого) уровня со входа сброса C информационный выход переключается в спейсерное состояние $QP=QBP=1$.

Выход I индицирует только входы триггера и выходы Q , QB . Он может использоваться внешним окружением как признак готовности данных на выходах Q , QB , разрешающий не дожидаться окончания переходных процессов на выходах QP , QBP . При этом состояние выходов QP , QBP должно отслеживаться при формировании следующего рабочего или спейсерного состояния на входах R , S : переключение входов R , S в противоположную фазу может быть инициировано только после окончания переключения в текущую фазу выходов QP , QBP .

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами элементов схемы триггера: n-типа $Nn=3$ и p-типа $Np=2$.

Коэффициент объединения по всем входам – 2.

Рекомендуемая нагрузочная способность по выходам U , UB , I – 1, по остальным выходам ≤ 4 .

Размер элемента составляет 8 ячеек поля БМК.

Область применения – СС-схемотехника, для передачи информации к удаленному приемнику; в этом случае парафазный сигнал со спейсером обеспечивает безошибочную передачу данных независимо от задержек сигналов в цепях схемы.

Таблица истинности

№ строки	Входы			Выходы				
	S	R	C	QP	QBP	I	U	UB
1	1	*	1	0	1	1	0	1
2	1	1	0	1	1	0	хранение	
3	1	0	0	0	1	1	0	1
4	0	1	0	1	0	1	1	0
5 ¹⁾	0	0	1	1	1	1	1	1
6 ²⁾	0	0	0	1	1	0	1	1
7 ²⁾	0	1	1	1	0	1	1	0

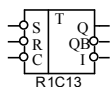
¹⁾ Неопределенное состояние выходов U, UB после перехода в S=R=1.

²⁾ Нарушение самосинхронной предустановки.

Таблица задержек

Путь	S⇒QBP		S⇒I		R⇒QP		R⇒I		S⇒U
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹
Задержка, нс	4.7	5.7	4.7	1.7	2.5	5.2	4.3	1.6	1.7
Путь	S⇒UB	R⇒U	R⇒UB	C⇒QP		C⇒I		C⇒U	C⇒UB
	t ¹⁰	t ¹⁰	t ⁰¹	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ¹⁰	t ⁰¹
Задержка, нс	3.3	3.2	1.7	2.9	5.2	4.3	2.0	1.5	3.1

R1C13 Однотактный RS-триггер с единичным спейсером, парафазным входом, самосинхронным сбросом и мощным выходом



Элемент **R1C13** – RS-триггер с парафазным информационным входом (**R**, **S**) с единичным спейсером; входом самосинхронного сброса (**C**); парафазным мощным информационным выходом (**Q**, **QB**) и индикаторным выходом (**I**). При спейсере на информационном входе (**R=S=1**) триггер хранит свое состояние, а индикаторный выход **I=1**. При **R=1**, **S=0** триггер переключается в состояние (**Q=1**, **QB=0**). При **R=0**, **S=1** триггер переключается в состояние (**Q=0**, **QB=1**). Входная комбинация **R=S=0** – запрещенная. Окончание перехода в очередное рабочее состояние,

соответствующее рабочему значению информационного входа, фиксируется значением $I=0$ на индикаторном выходе. Начальный сброс реализуется подачей низкого уровня на вход самосинхронного сброса $C=0$ при спейсере на информационном входе ($R=S=1$). При этом триггер устанавливается в состояние ($Q=0, QB=1$), а индикаторный выход переключается в значение $I=0$ после того, как обе составляющие информационного выхода перейдут в соответствующее состояние, обеспечивая тем самым контроль за процессом предустановки. После снятия активного (низкого) уровня со входа самосинхронного сброса C индикаторный выход переключается в состояние $I=1$.

Информационный выход (Q, QB) формируется инверторами, обеспечивающими увеличенную нагрузочную способность и электрическую развязку элемента памяти триггера, хранящего его состояние, от внешнего окружения, что повышает помехоустойчивость триггера.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами элементов схемы триггера: n-типа $N_n=3$ и p-типа $N_p=2$.

Коэффициент объединения по всем входам – 2.

Рекомендуемая нагрузочная способность по выходам $Q, QB \leq 3$, по выходу $I \leq 4$.

Размер элемента составляет 8 ячеек поля БМК.

Область применения – СС-схемотехника.

Таблица истинности

№ строки	Входы			Выходы		
	S	R	C	I	Q	QB
1	1	*	0	0	0	1
2	1	1	1	1	хранение	
3	0	1	1	0	1	0
4	1	0	1	0	0	1
5 ¹⁾	0	0	0	1	0	0
6 ²⁾	0	0	1	1	0	0
7 ²⁾	0	1	0	1	0	0

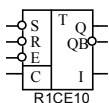
1) Нарушение самосинхронной предустановки.

2) Неопределенное состояние выходов Q, QB после перехода в $S=R=1$.

Таблица задержек

Путь	$C \Rightarrow Q$	$C \Rightarrow QB$	$C \Rightarrow I$		$R \Rightarrow Q$	$R \Rightarrow QB$	$R \Rightarrow I$	
Задержка,	t^{10}	t^{01}	t^{01}	t^{10}	t^{10}	t^{01}	t^{01}	t^{10}
нс	1.6	3.1	3.1	4.3	1.4	3.0	2.9	4.1
Путь	$S \Rightarrow Q$	$S \Rightarrow QB$	$S \Rightarrow I$					
Задержка,	t^{01}	t^{10}	t^{01}	t^{10}				
нс	3.6	1.2	2.1	4.8				

RICE10 ***Однотактный RS-триггер с единичным спейсером, самосинхронным сбросом и разрешением записи***



Элемент **RICE10** – однотактный RS-триггер с бифазным входом (**R**, **S**), входом разрешения записи (**E**), входом самосинхронного сброса (**C**), бифазным информационным выходом (**Q**, **QB**) и индикаторным выходом (**I**), отображающим окончание переходных процессов в триггере. В спейсере значение выхода **I** равно 0, в рабочей фазе – 1. В базовом варианте входы **R**, **S** представляют собой парафазный сигнал без спейсера. В случае информационного входа со спейсером (единичным) требуется дополнительно индицировать спейсерное (единичное) состояние входа разрешения записи **E**.

Элемент 2И-НЕ в составе триггера обеспечивает индицирование начального сброса общей подсхемой индикации без использования дополнительных средств. Сброс выполняется при спейсере на входе разрешения записи **E** (**E**=1), когда индикаторный выход уже переключился в 0, подачей высокого уровня на вход самосинхронного сброса **C**=1. По окончании всех переключений в процессе сброса индикаторный выход **I** перейдет в 1, информируя об окончании сброса.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами элементов схемы: n-типа $N_n=3$ и p-типа $N_p=3$.

Коэффициент объединения по входам **C**, **S** и **R** – 2, по входу **E** – 3.

Рекомендуемая нагрузочная способность по выходу **I** ≤ 3 , по выходу **Q** ≤ 2 , по выходу **QB** – 1.

Размер элемента составляет 8 ячеек поля БМК.

Область применения – СС-схемотехника.

Таблица истинности

№ строки	Входы				Выходы		
	S	R	E	C	Q	QB	I
1	*	*	1	1	0	1	1
2	*	*	1	0	хранение		0
3	0	1	$1 \rightarrow 0$	0	1	0	1
4	1	0	$1 \rightarrow 0$	0	0	1	1
5 ¹⁾	0	0	0	0	1	1	0
6 ²⁾	0	0	0	1	1	1	1
7 ²⁾	0	1	0	1	1	0	1
8	1	0	0	1	0	1	1
9	\leftrightarrow	*	0	0	X		
10	*	\leftrightarrow	0	0	X		
11 ²⁾	0	1	\leftrightarrow	1	X		
12 ²⁾	1	0	\leftrightarrow	1	X		
13	1	1	0	1	0	1	1
14	1	1	0	0	хранение		0

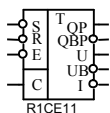
1) Неопределенное состояние выходов Q, QB после перехода в $S=R=1$ или $E=1$.

2) Нарушение самосинхронной предустановки.

Таблица задержек

Путь	$E \Rightarrow Q$		$E \Rightarrow QB$		$E \Rightarrow I$		$C \Rightarrow Q$	$C \Rightarrow QB$	$C \Rightarrow I$
	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{10}	t^{01}	t^{10}
Задержка, нс	4.7	4.8	3.0	5.8	13.5	3.0	1.8	4.0	3.5

R1CE11 ***Однотактный RS-триггер с единичным спейсером, самосинхронным сбросом, разрешением записи и парафазным выходом с нулевым спейсером***



Элемент **R1CE11** – RS-триггер с бифазным информационным входом (**R**, **S**), входом самосинхронного сброса (**C**), входом разрешения записи (**E**) с единичным спейсером, бифазным информационным выходом (**U**, **UB**), парафазным информационным выходом (**QP**, **QBP**) с нулевым спейсером и индикаторным выходом **I**. При спейсере на входе разрешения (**E**=1) триггер хранит свое состояние, а информационный выход также находится в спейсерном состоянии **QP**=**QBP**=0. При (**R**=1, **E**=**S**=0) триггер переключается в состояние (**QP**=**U**=1, **QBP**=**UB**=0). При (**E**=**R**=0, **S**=1) триггер переключается в состояние (**QP**=**U**=0, **QBP**=**UB**=1). Входная комбинация **E**=**R**=**S**=0 – запрещенная. Окончание перехода триггера в рабочее или спейсерное состояние фиксируется по переключению парафазного информационного выхода в соответствующее состояние. Начальный сброс реализуется подачей высокого уровня на вход самосинхронного сброса **C**=1 при спейсере на входе разрешения (**E**=1); триггер устанавливается в состояние (**QP**=**U**=0, **QBP**=**UB**=1). После снятия активного (высокого) уровня со входа сброса **C** информационный выход переключается в спейсерное состояние **QP**=**QBP**=0. Выход **I** индицирует только входы триггера и выходы **U**, **UB**. Он может использоваться внешним окружением как признак готовности данных на выходах **U**, **UB**, разрешающий не дожидаться окончания переходных процессов на выходах **QP**, **QBP**. При этом состояние выходов **QP**, **QBP** должно отслеживаться при формировании следующего рабочего или спейсерного состояния на входе **E**: переключение входа **E** в противоположную фазу может быть инициировано только после окончания переключения в текущую фазу выходов **QP**, **QBP**. Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами элементов схемы триггера: n-типа $N_n=3$ и p-типа $N_p=3$. Коэффициент объединения по входу **E** – 3, по остальным входам – 2. Рекомендуемая нагрузочная способность по выходам **U**, **UB** – 1, по выходу

$I \leq 3$, по остальным выходам ≤ 4 .

Размер элемента составляет 10 ячеек поля БМК.

Область применения – СС-схемотехника для передачи информации к удаленному приемнику; в этом случае парафазный сигнал со спейсером обеспечивает безошибочную передачу данных независимо от задержек сигналов в цепях схемы.

Таблица истинности

№ строки	Входы				Выходы				
	S	R	E	C	QP	QBP	I	U	UB
1	*	*	1	1	0	1	0	0	1
2	*	*	1	0	0	0	1	хранение	
3	1	0	0	0	0	1	0	0	1
4	0	1	0	0	1	0	0	1	0
5 ¹⁾	0	0	0	0	0	0	1	1	1
6 ²⁾	*	*	0	1	X				
7 ²⁾	*	*	\leftrightarrow	1	X				
8	\leftrightarrow	*	0	*	X				
9	*	\leftrightarrow	0	*	X				
10	1	1	0	0	0	0	1	хранение	
11	1	1	0	1	0	1	0	0	1

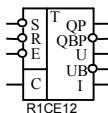
¹⁾ Неопределенное состояние выходов после перехода в $S=R=1$ или $E=1$.

²⁾ Нарушение самосинхронной предустановки.

Таблица задержек

Путь	$E \Rightarrow QP$		$E \Rightarrow QBP$		$E \Rightarrow U$		$E \Rightarrow UB$	
	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
Задержка, нс	13.8	3.1	12.2	2.8	3.8	4.7	2.9	5.6
Путь	$C \Rightarrow I$		$C \Rightarrow U$		$C \Rightarrow UB$		$C \Rightarrow QBP$	
	t^{01}	t^{10}	t^{10}	t^{01}	t^{01}	t^{10}	t^{01}	t^{10}
Задержка, нс	2.2	11.8	1.8	4.0	2.7	6.8	8.7	3.2

R1CE12 **Однотактный RS-триггер с единичным спейсером, самосинхронным сбросом, разрешением записи и парафазным выходом с единичным спейсером**



Элемент **R1CE12** – RS-триггер с бифазным информационным входом (**R**, **S**), входом разрешения записи (**E**) с единичным спейсером, входом самосинхронного сброса (**C**), бифазным информационным выходом (**U**, **UB**), парафазным информационным выходом (**QP**, **QBP**) с единичным спейсером и индикаторным выходом **I**.

При спейсере на входе разрешения ($E=1$) триггер хранит свое состояние, информационный выход также находится в спейсерном состоянии $QP=QBP=1$. При ($R=1, E=S=0$) триггер переключается в состояние ($QP=U=1, QBP=UB=0$). При ($E=R=0, S=1$) триггер переключается в состояние ($QP=U=0, QBP=UB=1$). Входная комбинация $E=R=S=0$ – запрещенная. Окончание перехода триггера в рабочее или спейсерное состояние фиксируется по переключению парафазного информационного выхода в соответствующее состояние. Начальный сброс реализуется подачей высокого уровня на вход самосинхронного сброса $C=1$ при спейсере на входе разрешения ($E=1$); триггер устанавливается в состояние ($QP=U=0, QBP=UB=1$). После снятия активного (высокого) уровня со входа сброса **C** информационный выход переключается в спейсерное состояние $QP=QBP=1$.

Выход **I** индицирует только входы триггера и выходы **U**, **UB**. Он может использоваться внешним окружением как признак готовности данных на выходах **U**, **UB**, разрешающий не дожидаться окончания переходных процессов на выходах **QP**, **QBP**. При этом состояние выходов **QP**, **QBP** должно отслеживаться при формировании следующего рабочего или спейсерного состояния на входе **E**: переключение входа **E** в противоположную фазу может быть инициировано только после окончания переключения в текущую фазу выходов **QP**, **QBP**.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами элементов схемы триггера: n-типа $Nn=3$ и p-типа $Np=3$.

Коэффициент объединения по входу **E** – 3, по остальным входам – 2.

Рекомендуемая нагрузочная способность по выходам **U**, **UB**, **I** – 1, по остальным выходам ≤ 4 .

Размер элемента составляет 10 ячеек поля БМК.

Область применения – СС-схемотехника для передачи информации к удаленному приемнику; при этом парафазный сигнал со спейсером обеспечивает безошибочную передачу данных независимо от задержек сигналов в цепях схемы.

Таблица истинности

№ строки	Входы				Выходы				
	S	R	E	C	QP	QBP	I	U	UB
1	*	*	1	1	0	1	1	0	1
2	*	*	1	0	1	1	0	хранение	
3	1	0	0	0	0	1	1	0	1
4	0	1	0	0	1	0	1	1	0
5 ¹⁾	0	0	0	0	1	1	0	1	1
6 ²⁾	*	*	0	1	X				
7 ²⁾	*	*	↔	1	X				
8	↔	*	0	*	X				
9	*	↔	0	*	X				
10	1	1	0	0	1	1	0	хранение	
11	1	1	0	1	0	1	1	0	1

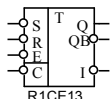
1) Неопределенное состояние выходов после перехода в $S=R=1$ или $E=1$.

2) Нарушение самосинхронной предустановки.

Таблица задержек

Путь	$E \Rightarrow QP$		$E \Rightarrow QBP$		$E \Rightarrow U$		$E \Rightarrow UB$	
	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
Задержка, нс	2.2	12.3	2.6	16.0	3.8	4.7	2.9	5.6
Путь	$E \Rightarrow I$		$C \Rightarrow U$	$C \Rightarrow UB$	$C \Rightarrow I$		$C \Rightarrow QP$	
	t^{01}	t^{10}	t^{10}	t^{01}	t^{01}	t^{10}	t^{01}	t^{10}
Задержка, нс	13.0	1.4	1.8	4.0	6.8	2.0	2.9	7.8

R1CE13 ***Однотактный RS-триггер с единичным спейсером, самосинхронным сбросом, разрешением записи и мощным выходом***



Элемент **R1CE13** – RS-триггер с бифазным информационным входом (**R**, **S**); входом разрешения записи (**E**) с единичным спейсером; входом самосинхронного сброса (**C**); па-

рафазным мощным информационным выходом (Q , QB) и индикаторным выходом (I). При спейсере на входе разрешения ($E=1$) триггер хранит свое состояние, а индикаторный выход $I=1$. При $E=S=0$, $R=1$ триггер переключается в состояние ($Q=1$, $QB=0$). При $E=R=0$, $S=1$ триггер переключается в состояние ($Q=0$, $QB=1$). Входная комбинация $E=R=S=0$ – запрещенная. Окончание перехода в очередное рабочее состояние, соответствующее состоянию информационного входа, фиксируется значением $I=0$ на индикаторном выходе. Начальный сброс реализуется подачей низкого уровня на вход самосинхронного сброса $C=0$ при спейсере на входе разрешения записи ($E=1$). При этом триггер устанавливается в состояние ($Q=0$, $QB=1$), а индикаторный выход переключается в значение $I=0$ после того, как обе составляющие информационного выхода перейдут в соответствующее состояние, обеспечивая тем самым контроль за процессом предустановки. После снятия активного (низкого) уровня со входа сброса C индикаторный выход переключается в состояние $I=1$.

Информационный выход (Q , QB) формируется инверторами, обеспечивающими увеличенную нагрузочную способность и электрическую развязку элемента памяти триггера, хранящего его состояние, от внешнего окружения, что повышает помехоустойчивость триггера.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами элементов схемы триггера: n-типа $Nn=3$ и p-типа $Np=3$.

Коэффициент объединения по входам C , R , S – 2, по входу E – 4.

Рекомендуемая нагрузочная способность по выходам Q , $QB \leq 3$, по выходу $I \leq 4$.

Размер элемента составляет 10 ячеек поля БМК.

Область применения – СС-схемотехника.

Таблица истинности

№ строки	Входы				Выходы		
	S	R	E	C	I	Q	QB
1	*	*	1	0	0	0	1
2	*	*	1	1	1	хранение	
3	1	0	0	1	0	0	1
4	0	1	0	1	0	1	0
5 ¹⁾	0	0	0	0	1	0	0
6 ²⁾	0	0	0	1	1	0	0

Окончание таблицы

7	1	0	0	0	0	0	1
8 ¹⁾	0	1	0	0	1	0	0
9	*	↔	0	*	X		
10	↔	*	0	*	X		
11	*	*	↔	0	X		
12	1	1	0	0	0	0	1
13	1	1	0	1	1	0	1

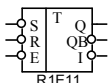
¹⁾ Нарушение самосинхронной предустановки.

²⁾ Неопределенное состояние выходов Q, QB после перехода в S=R=1 или E=1.

Таблица задержек

Путь	E⇒Q		E⇒QB		E⇒I		C⇒Q	C⇒QB	C⇒I	
Задержка,	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ¹⁰	t ⁰¹	t ⁰¹	t ¹⁰
нс	4.6	1.4	3.1	2.2	2.8	6.2	0.9	2.7	2.6	3.9

R1E11 ***Однотактный RS-триггер с единичным спейсером, разрешением записи и мощным выходом***



Элемент **R1E11** – RS-триггер с бифазным информационным входом (**R, S**); входом разрешения записи (**E**) с единичным спейсером; парафазным мощным информационным выходом (**Q, QB**) и индикаторным выходом (**I**). При спейсере на входе разрешения (**E=1**) триггер хранит свое состояние, а индикаторный выход **I=1**. При **E=S=0, R=1** триггер переключается в состояние (**Q=1, QB=0**). При **E=R=0, S=1** триггер переключается в состояние (**Q=0, QB=1**). Входная комбинация **E=R=S=0** – запрещенная. Окончание перехода в очередное рабочее состояние, соответствующее значению информационного входа, фиксируется значением **I=0** на индикаторном выходе.

Информационный выход (**Q, QB**) формируется инверторами, обеспечивающими увеличенную нагрузочную способность и электрическую развязку элемента памяти триггера, хранящего его состояние, от внешнего окружения, что повышает помехоустойчивость триггера.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами

элементов схемы триггера: n-типа $N_n=2$ и p-типа $N_p=3$.

Коэффициент объединения по входам **R**, **S** – 2, по входу **E** – 4.

Рекомендуемая нагрузочная способность по выходам **Q**, **QB** ≤ 3, по выходу **I** ≤ 4.

Размер элемента составляет 9 ячеек поля БМК.

Область применения – СС-схемотехника.

Таблица истинности

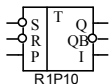
№ строки	Входы			Выходы		
	S	R	E	I	Q	QB
1	*	*	1	1	хранение	
2	1	0	0	0	0	1
3	0	1	0	0	1	0
4 ¹⁾	0	0	0	1	0	0
5	*	↔	0	X		
6	↔	*	0	X		
7	1	1	0	1	хранение	

¹⁾ Неопределенное состояние выходов Q, QB после перехода в S=R=1 или E=1.

Таблица задержек

Путь	E⇒I		E⇒Q		E⇒QB	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
Задержка, нс	2.7	6.5	4.7	2.6	4.7	2.6

R1P10 ***Однотактный RS-триггер с единичным спейсером и самосинхронной установкой***



Элемент **R1P10** – RS-триггер с парафазным информационным входом (**R**, **S**) с единичным спейсером, входом самосинхронной установки (**P**), бифазным информационным выходом (**Q**, **QB**) и индикаторным выходом (**I**). При спейсере на информационном входе (**R=S=1**) триггер хранит свое состояние, а индикаторный выход **I=0**. При (**R=1**, **S=0**) триггер переключается в состояние (**Q=1**, **QB=0**). При (**R=0**, **S=1**) триггер переключается в состояние (**Q=0**, **QB=1**). Входная комбинация **R=S=0** – запрещенная. Окончание перехода в очередное рабочее состояние, соответствующее

рабочему состоянию информационного входа, фиксируется значением $I=1$ на индикаторном выходе. Начальная установка реализуется подачей высокого уровня на вход самосинхронной установки $P=1$ при спейсере на информационном входе ($R=S=1$). В результате триггер устанавливается в состояние ($Q=1, QB=0$). Индикаторный выход переключается в значение $I=1$ только после того, как обе составляющие информационного выхода перейдут в соответствующее состояние, обеспечивая тем самым контроль за процессом предустановки.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами элементов схемы триггера: n-типа $Nn=3$ и p-типа $Np=2$.

Коэффициент объединения по всем входам – 2.

Рекомендуемая нагрузочная способность по выходу $I \leq 3$, по выходу $QB \leq 2$, по выходу $Q - 1$.

Размер элемента составляет 6 ячеек поля БМК.

Область применения – СС-схемотехника.

Таблица истинности

№ строки	Входы			Выходы		
	S	R	P	Q	QB	I
1	1	1	1	1	0	1
2	1	1	0	хранение		0
3	1	0	0	0	1	1
4	0	1	0	1	0	1
5 ¹⁾	0	0	0	1	1	0
6 ²⁾	0	0	1	1	1	1
7	0	1	1	1	0	1
8 ²⁾	1	0	1	0	1	1

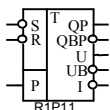
¹⁾ Неопределенное состояние выходов Q, QB после перехода в $S=R=1$.

²⁾ Нарушение самосинхронной предустановки.

Таблица задержек

Путь	$P \Rightarrow Q$	$P \Rightarrow QB$	$P \Rightarrow I$		$R \Rightarrow Q$	$R \Rightarrow QB$	$R \Rightarrow I$	
Задержка, нс	t^{01}	t^{10}	t^{01}	t^{10}	t^{10}	t^{01}	t^{01}	t^{10}
	2.7	1.4	4.0	1.7	3.1	1.7	4.1	1.3
Путь	$S \Rightarrow Q$	$S \Rightarrow QB$	$S \Rightarrow I$					
Задержка, нс	t^{01}	t^{10}	t^{01}	t^{10}				
	1.6	3.1	3.9	1.2				

R1P11 ***Однотактный RS-триггер с единичным спейсером, самосинхронной установкой и парафазным выходом с нулевым спейсером***



Элемент **R1P11** – RS-триггер с парафазным информационным входом (**R**, **S**) с единичным спейсером, входом самосинхронной установки (**P**), бифазным информационным выходом (**U**, **UB**), парафазным информационным выходом (**QP**, **QB**) с нулевым спейсером и индикаторным выходом (**I**). При спейсере на информационном входе (**R=S=1**) триггер хранит свое состояние, а информационный выход также находится в спейсерном состоянии **QP=QB=0**. При (**R=1, S=0**) триггер переключается в состояние (**QP=U=1, QB=UB=0**). При (**R=0, S=1**) триггер переключается в состояние (**QP=U=0, QB=UB=1**). Входная комбинация **R=S=0** – запрещенная. Окончание перехода триггера в рабочее или спейсерное состояние фиксируется по переключению парафазного информационного выхода в соответствующее состояние. Начальная установка реализуется подачей высокого уровня на вход самосинхронной установки **P=1** при спейсере на информационном входе (**R=S=1**); триггер устанавливается в состояние (**QP=U=1, QB=UB=0**). После снятия активного (высокого) уровня со входа установки **P** информационный выход переключается в спейсерное состояние **QP=QB=0**.

Выход **I** индицирует только входы триггера и выходы **U**, **UB**. Он может использоваться внешним окружением как признак готовности данных на выходах **U**, **UB**, разрешающий не дожидаться окончания переходных процессов на выходах **QP**, **QB**. При этом состояние выходов

QP, QBP должно отслеживаться при формировании следующего рабочего или спейсерного состояния на входах **R, S**: переключение входов **R, S** в противоположную фазу может быть инициировано только после окончания переключения в текущую фазу выходов **QP, QBP**.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами элементов схемы триггера: n-типа $N_n=3$ и p-типа $N_p=2$.

Коэффициент объединения по всем входам – 2.

Рекомендуемая нагрузочная способность по выходам **U, UB** – 1, по выводу **I** ≤ 3 , по остальным выходам ≤ 4 .

Размер элемента составляет 9 ячеек поля БМК.

Область применения – СС-схемотехника для передачи информации к удаленному приемнику; при этом парафазный сигнал со спейсером обеспечивает безошибочную передачу данных независимо от задержек сигналов в цепях схемы.

Таблица истинности

№ строки	Входы			Выходы				
	S	R	P	QP	QBP	I	U	UB
1	1	1	1	1	0	0	1	0
2	1	1	0	0	0	1	хранение	
3	1	0	0	0	1	0	0	1
4	0	1	0	1	0	0	1	0
5 ¹⁾	0	0	0	0	0	1	1	1
6 ²⁾	0	0	1	0	0	0	1	1
7	0	1	1	1	0	0	1	0
8 ²⁾	1	0	1	0	1	0	0	1

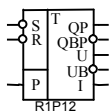
¹⁾ Неопределенное состояние выходов **U, UB** после перехода в $S=R=0$.

²⁾ Нарушение самосинхронной предустановки.

Таблица задержек

Путь Задержка, нс	S⇒QP		S⇒I		R⇒QBP		R⇒I		S⇒U
	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}
	6.2	2.7	2.1	4.4	6.5	2.7	2.2	4.7	1.7
Путь Задержка, нс	S⇒UB	R⇒U	R⇒UB	P⇒QP		P⇒I		P⇒U	P⇒UB
	t^{10}	t^{10}	t^{01}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
	3.2	3.3	1.7	6.5	3.1	2.6	4.7	3.1	1.5

R1P12 **Однотактный RS-триггер с единичным спейсером, самосинхронной установкой и парафазным выходом с единичным спейсером**



Элемент **R1P12** – RS-триггер с парафазным информационным входом (**R**, **S**) с единичным спейсером, входом самосинхронной установки (**P**), бифазным информационным выходом (**U**, **UB**), парафазным информационным выходом (**QP**, **QBP**) с единичным спейсером и индикаторным выходом (**I**). При спейсере на информационном входе (**R=S=1**) триггер хранит свое состояние, а информационный выход также находится в спейсерном состоянии **QP=QBP=1**. При (**R=1, S=0**) триггер переключается в состояние (**QP=U=1, QBP=UB=0**). При (**R=0, S=1**) триггер переключается в состояние (**QP=U=0, QBP=UB=1**). Входная комбинация **R=S=0** – запрещенная. Окончание перехода триггера в рабочее или спейсерное состояние фиксируется по переключению парафазного информационного выхода в соответствующее состояние. Начальная установка реализуется подачей высокого уровня на вход самосинхронной установки **P=1** при спейсере на информационном входе (**R=S=1**); триггер устанавливается в состояние (**QP=U=1, QBP=UB=0**). После снятия активного (высокого) уровня со входа установки **P** информационный выход переключается в спейсерное состояние **QP=QBP=1**.

Выход **I** индицирует только входы триггера и выходы **U**, **UB**. Он может использоваться внешним окружением как признак готовности данных на выходах **U**, **UB**, разрешающий не дожидаться окончания переходных процессов на выходах **QP**, **QBP**. При этом состояние выходов **QP**, **QBP** должно отслеживаться при формировании следующего рабочего или спейсерного состояния на входах **R**, **S**: переключение входов **R**, **S** в противоположную фазу может быть инициировано только после окончания переключения в текущую фазу выходов **QP**, **QBP**.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами элементов схемы триггера: n-типа $N_n=3$ и p-типа $N_p=2$.

Коэффициент объединения по всем входам – 2.

Рекомендуемая нагрузочная способность по выходам **U**, **UB**, **I** – 1, по остальным выходам ≤ 4 .

Размер элемента составляет 8 ячеек поля БМК.

Область применения – СС-схемотехника для передачи информации к удаленному приемнику; при этом парафазный сигнал со спейсером обеспечивает безошибочную передачу данных независимо от задержек сигналов в цепях схемы.

Таблица истинности

№ строки	Входы			Выходы				
	S	R	P	QP	QBP	I	U	UB
1	1	1	1	1	0	1	1	0
2	1	1	0	1	1	0	хранение	
3	1	0	0	0	1	1	0	1
4	0	1	0	1	0	1	1	0
5 ¹⁾	0	0	0	1	1	0	1	1
6 ²⁾	0	0	1	0	0	1	1	1
7	0	1	1	1	0	1	1	0
8 ²⁾	1	0	1	0	1	1	0	1

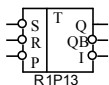
¹⁾ Неопределенное состояние выходов U, UB после перехода в S=R=1.

²⁾ Нарушение самосинхронной предустановки.

Таблица задержек

Путь	S⇒QBP		S⇒I		R⇒QP		R⇒I		S⇒U
Задержка, нс	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}
	2.5	5.2	4.3	1.6	2.9	5.7	4.7	1.7	1.7
Путь	S⇒UB	R⇒U	R⇒UB		P⇒QBP		P⇒I	P⇒U	P⇒UB
Задержка, нс	t^{10}	t^{10}	t^{01}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
	3.2	3.3	1.7	2.9	5.2	4.3	2.0	3.1	1.5

R1P13 ***Однотактный RS-триггер с парафазным входом с единичным спейсером, самосинхронной установкой и мощным выходом***



Элемент **R1P13** – RS-триггер с парафазным информационным входом (**R**, **S**) с единичным спейсером; входом самосинхронной установки (**P**); парафазным мощным информационным выходом (**Q**, **QB**) и индикаторным выходом (**I**). При спейсере на информационном входе (**R=S=1**) триггер хранит свое состояние, а индикаторный выход **I=1**. При **R=1**, **S=0** триггер переключается в состояние (**Q=1**, **QB=0**). При **R=0**, **S=1** триггер переключается в состояние (**Q=0**, **QB=1**). Входная комбинация **R=S=0** - запрещенная. Окончание перехода в очередное рабочее состояние, соответствующее рабочему значению информационного входа, фиксируется значением **I=0** на индикаторном выходе. Начальный сброс реализуется подачей низкого уровня на вход самосинхронной установки **P=0** при спейсере на информационном входе (**R=S=1**). При этом триггер устанавливается в состояние (**Q=1**, **QB=0**), а индикаторный выход переключается в значение **I=0** после того, как обе составляющие информационного выхода перейдут в соответствующее состояние, обеспечивая тем самым контроль за процессом предустановки. После снятия активного (низкого) уровня со входа самосинхронной установки **P** индикаторный выход переключается в состояние **I=1**.

Информационный выход (**Q**, **QB**) формируется инверторами, обеспечивающими увеличенную нагрузочную способность и электрическую развязку элемента памяти триггера, хранящего его состояние, от внешнего окружения, что повышает помехоустойчивость триггера.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами элементов схемы триггера: n-типа $N_n=3$ и p-типа $N_p=2$.

Коэффициент объединения по всем входам – 2.

Рекомендуемая нагрузочная способность по выходам **Q**, **QB** ≤ 3 , по выходу **I** ≤ 4 .

Размер элемента составляет 8 ячеек поля БМК.

Область применения – СС-схемотехника.

Таблица истинности

№ строки	Входы			Выходы		
	S	R	P	Q	QB	I
1	1	1	0	1	0	0
2	1	1	1	хранение		1
3	1	0	1	0	1	0
4	0	1	1	1	0	0
5 ¹⁾	0	0	0	0	0	1
6 ²⁾	0	0	1	0	0	1
7	0	1	0	1	0	0
8 ³⁾	1	0	0	0	0	1

¹⁾ Нарушение самосинхронной предустановки.

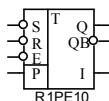
²⁾ Неопределенное состояние выходов Q, QB после перехода в S=R=1.

³⁾ Неопределенное состояние выходов Q, QB после перехода в P=R=1.

Таблица задержек

Путь	P⇒Q	P⇒QB	P⇒I		R⇒Q	R⇒QB	R⇒I	
Задержка, нс	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ¹⁰	t ⁰¹	t ⁰¹	t ¹⁰
	3.1	1.6	3.1	4.4	1.2	3.6	2.1	4.8
Путь	S⇒Q	S⇒QB	S⇒I					
Задержка, нс	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰				
	3.0	1.4	2.9	4.1				

R1PE10 **Однотактный RS-триггер с единичным спейсером, самосинхронной установкой и разрешением записи**



Элемент **R1PE10** – RS-триггер с бифазным информационным входом (**R**, **S**), входом разрешения записи (**E**) с единичным спейсером, входом самосинхронной установки (**P**), бифазным информационным выходом (**Q**, **QB**) и индикаторным выходом (**I**). При спейсере на входе разрешения (**E**=1) триггер хранит свое состояние, а индикаторный выход **I**=0. При (**E**=**S**=0, **R**=1) триггер переключается в состояние (**Q**=1, **QB**=0). При (**E**=**R**=0, **S**=1) триггер переключается в состояние (**Q**=0, **QB**=1). Входная комбинация **E**=**R**=**S**=0 – запрещенная. Окончание перехода в очередное рабочее состояние, соответствующее состоянию информационного входа, фиксируется значением **I**=1 на индикаторном выходе. Начальная установка реа-

лизуется подачей высокого уровня на вход **P** ($P=1$) при спейсере на входе разрешения записи ($E=1$). При этом триггер устанавливается в состояние ($Q=1, QB=0$), а индикаторный выход переключается в значение $I=1$ после того, как обе составляющие информационного выхода перейдут в соответствующее состояние, обеспечивая этим контроль за процессом предустановки. После снятия активного (высокого) уровня со входа установки **P** индикаторный выход переключается в состояние $I=0$.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами элементов схемы триггера: n-типа $Nn=3$ и p-типа $Np=3$.

Коэффициент объединения по входам **P, R, S** – 2, по входу **E** – 3.

Рекомендуемая нагрузочная способность по выходам **Q, QB** ≤ 2 , по выходу **I** ≤ 3 .

Размер элемента составляет 8 ячеек поля БМК.

Область применения – СС-схемотехника.

Таблица истинности

№ строки	Входы				Выходы		
	S	R	E	P	I	Q	QB
1	*	*	1	1	1	1	0
2	*	*	1	0	0	хранение	
3	1	0	0	0	1	0	1
4	0	1	0	0	1	1	0
5 ¹⁾	0	0	0	0	0	1	1
6 ²⁾	*	*	0	1	X		
7 ²⁾	*	*	↔	1	X		
8	↔	*	0	*	X		
9	*	↔	0	*	X		
10	1	1	0	0	0	хранение	
11	1	1	0	1	1	1	0

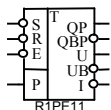
¹⁾ Неопределенное состояние выходов Q, QB после перехода в $S=R=1$ или $E=1$.

²⁾ Нарушение самосинхронной предустановки.

Таблица задержек

Путь	$E \Rightarrow Q$		$E \Rightarrow QB$		$E \Rightarrow I$		$P \Rightarrow I$		$P \Rightarrow Q$		$P \Rightarrow QB$	
	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
Задержка, нс	2.7	5.2	3.6	4.4	10.9	1.2	6.2	1.9	3.7		1.9	

R1PE11 ***Однотактный RS-триггер с единичным спейсером, самосинхронной установкой, разрешением записи и парафазным выходом с нулевым спейсером***



Элемент **R1PE11** – RS-триггер с бифазным информационным входом (**R**, **S**), входом разрешения записи (**E**) с единичным спейсером, входом самосинхронной установки (**P**), бифазным информационным выходом (**U**, **UB**), парафазным информаци-

онным выходом (**QP**, **QBP**) с нулевым спейсером и индикаторным выходом (**I**). При спейсере на входе разрешения (**E**=1) триггер хранит свое состояние, информационный выход также находится в спейсерном состоянии **QP**=**QBP**=0. При (**R**=1, **E**=**S**=0) триггер переключается в состояние (**QP**=**U**=1, **QBP**=**UB**=0). При (**E**=**R**=0, **S**=1) триггер переключается в состояние (**QP**=**U**=0, **QBP**=**UB**=1). Входная комбинация **E**=**R**=**S**=0 – запрещенная. Окончание перехода триггера в рабочее или спейсерное состояние фиксируется по переключению парафазного информационного выхода. Начальная установка реализуется подачей высокого уровня на вход самосинхронной установки **P**=1 при спейсере на входе разрешения (**E**=1), что устанавливает триггер в состояние (**QP**=**U**=1, **QBP**=**UB**=0). После снятия активного (высокого) уровня со входа установки **P** информационный выход переключается в спейсерное состояние **QP**=**QBP**=0.

Выход **I** индицирует только входы триггера и выходы **U**, **UB**. Он может использоваться внешним окружением как признак готовности данных на выходах **U**, **UB**, разрешающий не дожидаться окончания переходных процессов на выходах **QP**, **QBP**. При этом состояние выходов **QP**, **QBP** должно отслеживаться при формировании следующего рабочего или спейсерного состояния на входе **E**: переключение входа **E** в противоположную фазу может быть инициировано только после окончания переключения в текущую фазу выходов **QP**, **QBP**.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами элементов схемы триггера: n-типа $N_n=3$ и p-типа $N_p=3$.

Коэффициент объединения по входу **E** – 3, по остальным входам – 2.

Рекомендуемая нагрузочная способность по выходам **U**, **UB** – 1, по выходу **I** ≤ 3, по остальным выходам ≤ 4.

Размер элемента составляет 10 ячеек поля БМК.

Область применения – СС-схемотехника для передачи информации к удаленному приемнику; в этом случае парафазный сигнал со спейсером обеспечивает безошибочную передачу данных независимо от задержек сигналов в цепях схемы.

Таблица истинности

№ строки	Входы				Выходы				
	S	R	E	P	QP	QBP	I	U	UB
1	*	*	1	1	1	0	0	1	0
2	*	*	1	0	0	0	1	Хранение	
3	1	0	0	0	0	1	0	0	1
4	0	1	0	0	1	0	0	1	0
5 ¹⁾	0	0	0	0	0	0	1	1	1
6 ²⁾	*	*	0	1	X				
7 ²⁾	*	*	↔	1	X				
8	↔	*	0	*	X				
9	*	↔	0	*	X				
10	1	1	0	0	0	0	1	Хранение	
11	1	1	0	1	1	0	0	1	0

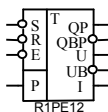
¹⁾ Неопределенное состояние выходов U, UB после перехода в S=R=1 или E =1.

²⁾ Нарушение самосинхронной предустановки.

Таблица задержек

Путь	E⇒QP		E⇒QBP		E⇒U		E⇒UB	
Задержка, нс	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
	11.8	2.7	13.2	2.6	2.9	5.6	3.8	4.7
Путь	E⇒I		P⇒UB	P⇒U	P⇒I		P⇒QP	
Задержка, нс	t ⁰¹	t ¹⁰	t ¹⁰	t ⁰¹	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
	2.2	11.5	1.8	4.0	2.7	6.8	8.7	3.2

R1PE12 ***Однотактный RS-триггер с единичным спейсером, самосинхронной установкой, разрешением записи и парафазным выходом с единичным спейсером***



Элемент **R1PE12** – RS-триггер с бифазным информационным входом (**R**, **S**), входом разрешения записи (**E**) с единичным спейсером, входом самосинхронной установки (**P**), бифазным информационным выходом (**U**, **UB**), парафазным информационным выходом (**QP**, **QBP**) с еди-

единичным спейсером и индикаторным выходом (**I**). При спейсере на входе разрешения триггер хранит свое состояние, информационный выход также находится в спейсерном состоянии $QP=QBP=1$. При ($R=1, E=S=0$) триггер переключается в состояние ($QP=U=1, QBP=UB=0$). При ($E=R=0, S=1$) триггер переключается в состояние ($QP=U=0, QBP=UB=1$). Входная комбинация $E=R=S=0$ – запрещенная. Окончание перехода триггера в рабочее или спейсерное состояние фиксируется по переключению парафазного информационного выхода. Начальная установка реализуется подачей высокого уровня на вход самосинхронной установки ($P=1$) при спейсере на входе разрешения ($E=1$), что устанавливает триггер в состояние ($QP=U=1, QBP=UB=0$). После снятия активного (высокого) уровня со входа установки **P** информационный выход переключается в спейсерное состояние $QP=QBP=1$.

Выход **I** индицирует только входы триггера и выходы **U**, **UB**. Он может использоваться внешним окружением как признак готовности данных на выходах **U**, **UB**, разрешающий не дожидаться окончания переходных процессов на выходах **QP**, **QBP**. При этом состояние выходов **QP**, **QBP** должно отслеживаться при формировании следующего рабочего или спейсерного состояния на входе **E**: переключение входа **E** в противоположную фазу может быть инициировано только после окончания переключения в текущую фазу выходов **QP**, **QBP**.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами элементов схемы триггера: n-типа $N_n=3$ и p-типа $N_p=3$.

Коэффициент объединения по входу **E** – 3, по остальным входам – 2.

Рекомендуемая нагрузочная способность по выходам **U**, **UB**, **I** – 1, по остальным выходам ≤ 4 .

Размер элемента составляет 10 ячеек поля БМК.

Область применения – СС-схемотехника для передачи информации к удаленному приемнику; в этом случае парафазный сигнал со спейсером обеспечивает безошибочную передачу данных независимо от задержек сигналов в цепях схемы.

Таблица истинности

№ строки	Входы				Выходы				
	S	R	E	P	QP	QBP	I	U	UB
1	*	*	1	1	1	0	1	1	0
2	*	*	1	0	1	1	0	хранение	
3	1	0	0	0	0	1	1	0	1
4	0	1	0	0	1	0	1	1	0
5 ¹⁾	0	0	0	0	1	1	0	1	1
6 ²⁾	*	*	0	1	X				
7 ²⁾	*	*	↔	1	X				
8	↔	*	0	*	X				
9	*	↔	0	*	X				
10	1	1	0	0	1	1	0	хранение	
11	1	1	0	1	1	0	1	1	0

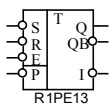
¹⁾ Неопределенное состояние выходов U, UB после перехода в S=R=1 или E=1.

²⁾ Нарушение самосинхронной предустановки.

Таблица задержек

Путь	E⇒QP		E⇒QBP		E⇒U		E⇒UB	
Задержка, нс	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
	2.6	13.3	2.2	11.9	2.9	5.6	3.8	4.7
Путь	E⇒I		P⇒UB	P⇒U	P⇒I		P⇒QBP	
Задержка, нс	t ⁰¹	t ¹⁰	t ¹⁰	t ⁰¹	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
	12.5	1.4	1.8	4.0	6.8	2.0	2.9	7.8

R1PE13 ***Однотактный RS-триггер с единичным спейсером, самосинхронной установкой, разрешением записи и мощным выходом***



Элемент **R1PE13** – RS-триггер с бифазным информационным входом (**R**, **S**); входом разрешения записи (**E**) с единичным спейсером; входом самосинхронной установки (**P**); парафазным мощным информационным выходом

(**Q**, **QB**) и индикаторным выходом (**I**). При спейсере на входе разрешения (**E**=1) триггер хранит свое состояние, а индикаторный выход **I**=1. При **E**=**S**=0, **R**=1 триггер переключается в состояние (**Q**=1, **QB**=0). При **E**=**R**=0, **S**=1 триггер переключается в состояние (**Q**=0, **QB**=1). Входная комбинация **E**=**R**=**S**=0 - запрещенная. Окончание перехода в очередное рабочее состояние, соответствующее состоянию информационного входа, фиксируется значением **I**=0 на индикаторном выходе. Начальная установка реализуется подачей низкого уровня на вход самосинхронной установки **P**=0 при спейсере на входе разрешения записи (**E**=1). При этом триггер устанавливается в состояние (**Q**=1, **QB**=0), а индикаторный выход переключается в значение **I**=0 после того, как обе составляющие информационного выхода перейдут в соответствующее состояние, обеспечивая этим контроль за процессом предустановки. После снятия активного (низкого) уровня со входа самосинхронной установки **P** индикаторный выход переключается в состояние **I**=1.

Информационный выход (**Q**, **QB**) формируется инверторами, обеспечивающими увеличенную нагрузочную способность и электрическую развязку элемента памяти триггера, хранящего его состояние, от внешнего окружения, что повышает помехоустойчивость триггера.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами элементов схемы триггера: n-типа $N_n=3$ и p-типа $N_p=3$.

Коэффициент объединения по входам **P**, **R**, **S** – 2, по входу **E** – 4.

Рекомендуемая нагрузочная способность по выходам **Q**, **QB** ≤ 3 , по выходу **I** ≤ 4 .

Размер элемента составляет 10 ячеек поля БМК.

Область применения – СС-схемотехника.

Таблица истинности

№ строки	Входы				Выходы		
	S	R	E	P	Q	QB	I
1	*	*	1	0	1	0	0
2	*	*	1	1	хранение		1
3	1	0	0	1	0	1	0
4	1	0	0→1	1	0	1	1
5	0	1	0	1	1	0	0
6	0	1	0→1	1	1	0	1
7 ¹⁾	0	0	0	1	0	0	1
8 ²⁾	1	0	0	0	0	0	1
9 ³⁾	0	0	0	0	1	0	0
10	1	1	0	0	1	0	0
11	0	1	0	0	1	0	0
12	↔	*	0	1	X		
13	*	↔	0	1	X		
14	*	*	↔	0	X	0	X
15	1	1	0	1	хранение		1

1) Неопределенное состояние выходов Q, QB после перехода в S=R=1.

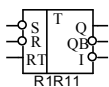
2) Неопределенное состояние выходов Q, QB после перехода в P=R=1 или в E=P=1.

3) Неопределенное состояние выходов Q, QB после перехода в P=R= S=1 или в E=P=1.

Таблица задержек

Путь	E⇒Q		E⇒QB		E⇒I		P⇒Q	P⇒QB	P⇒I	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
Задержка, нс	3.1	2.2	4.5	1.4	2.8	6.2	2.7	0.9	2.6	3.9

R1R11 ***Однотактный RS-триггер с единичным спейсером, парафазным входом, синхронным сбросом и мощным выходом***



Элемент **R1R11** – RS-триггер с парафазным информационным входом (**R**, **S**) с единичным спейсером; входом синхронного сброса (**RT**); парафазным мощным информационным выходом (**Q**, **QB**) и индикаторным выходом (**I**). При спейсере на информационном входе (**R=S=1**) триггер хранит свое состояние, а индикаторный выход **I=1**. При **R=1**, **S=0** триггер переключается в состояние (**Q=1**, **QB=0**). При **R=0**, **S=1** триггер переключается в состояние (**Q=0**, **QB=1**). Входная комбинация **R=S=0** — запрещенная. Окончание перехода в очередное рабочее состояние, соответствующее рабочему значению информационного входа, фиксируется значением **I=0** на индикаторном выходе. Начальный сброс реализуется подачей высокого уровня на вход синхронного сброса **RT=1** при спейсере на информационном входе (**R=S=1**). В результате триггер устанавливается в состояние (**Q=0**, **QB=1**). Значение индикаторного выхода при этом не меняется.

Информационный выход (**Q**, **QB**) формируется инверторами, обеспечивающими увеличенную нагрузочную способность и электрическую развязку элемента памяти триггера, хранящего его состояние, от внешнего окружения, что повышает помехоустойчивость триггера.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами элементов схемы триггера: n-типа $N_n=2$ и p-типа $N_p=2$.

Коэффициент объединения по входам **R**, **S** – 2.

Рекомендуемая нагрузочная способность по выходам **Q**, **QB** ≤ 3 , по выходу **I** ≤ 4 .

Размер элемента составляет 8 ячеек поля БМК.

Область применения – СС-схемотехника.

Таблица истинности

№ строки	Входы			Выходы		
	S	R	RT	I	Q	QB
1	1	1	1	1	0	1
2	1	1	0	1	хранение	
3	1	0	0	0	0	1
4	0	1	0	0	1	0
5 ¹⁾	0	0	0	1	0	0
6 ²⁾	0	0	1	1	0	0
7 ²⁾	0	1	1	0	1	0
8	1	0	1	0	0	1

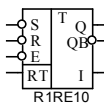
1) Неопределенное состояние выходов Q, QB после перехода в S=R=1.

2) Нарушение предустановки.

Таблица задержек

Путь	RT⇒Q	RT⇒QB	R⇒Q	R⇒QB	R⇒I	
Задержка, нс	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ⁰¹	t ¹⁰
	2.8	2.1	1.3	3.1	2.4	4.4
Путь	S⇒Q	S⇒QB	S⇒I			
Задержка, нс	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰		
	3.5	1.7	2.1	4.7		

R1RE10 *Однотактный RS-триггер с единичным спейсером, синхронным сбросом и разрешением записи*



Элемент **R1RE10** – однотактный RS-триггер с единичным спейсером, синхронным сбросом (**RT**), бифазным информационным входом (**R**, **S**), входом разрешения записи (**E**) и бифазным выходом (**Q**, **QB**). Высокий уровень на входе **RT** (**RT**=1) при входе разрешения **E**=1 переводит элемент в состояние нуля (**Q**=0, **QB**=1). При низком уровне на входе синхронного сброса установки (**RT**=0) элемент либо хранит свое состояние, если **E**=1, либо изменяет его в соответствии со значениями входов **S** и **R** при **E**=0. Индикаторный выход **I**

отображает окончание всех переходных процессов в триггере.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами схемы: n-типа $N_n=2$ и p-типа $N_p=3$.

Коэффициент объединения по входам **S** и **R** – 2, по входу **E** – 3.

Рекомендуемая нагрузочная способность по выходам **Q**, **QB** ≤ 2 , по выходу **I** ≤ 3 .

Размер элемента составляет 7 ячеек поля БМК.

Область применения – СС-схемотехника.

Таблица истинности

№ строки	Входы				Выходы		
	S	R	E	RT	Q	QB	I
1	*	*	1	1	0	1	0
2	*	*	1	0	хранение		0
3	0	1	0	0	1	0	1
4	1	0	0	0	0	1	1
5	1	1	1	0	хранение		0
6 ¹⁾	0	0	0	0	1	1	0
7 ²⁾	0	0	0	1	1	1	0
8	1	0	0	1	0	1	1
9 ²⁾	0	1	0	1	1	0	1
10	↔	*	0	0	X		
11	*	↔	0	0	X		
12	0	1	↔	0	X		
13	1	0	↔	0	X		
14	1	1	0	0	хранение		0
15	1	1	0	1	0	1	0

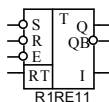
¹⁾ Неопределенное состояние выходов Q, QB после перехода в S=R=1 или E=1.

²⁾ Нарушение предустановки.

Таблица задержек

Путь	E⇒Q		E⇒QB		E⇒I		RT⇒Q	RT⇒QB
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ¹⁰	t ¹⁰
Задержка, нс	4.8	4.5	2.7	5.7	12.9	1.5	1.8	3.9

R1RE11 **Однотактный RS-триггер с единичным спейсером, синхронным сбросом, разрешением записи и частичной индикацией**



Элемент **R1RE11** – однотактный RS-триггер с входом синхронного сброса (**RT**), парафазным информационным входом с единичным спейсером (**R**, **S**), входом разрешения записи (**E**), бифазным информационным выходом (**Q**, **QB**), индикаторным выходом (**I**).

Индикаторный выход **I** отображает окончание всех переходных процессов в триггере. Например, при исходном состоянии триггера $Q=0$, $QB=1$ переключение входного сигнала из спейсера $R=S=1$ в состояние $R=0$, $S=1$ вызывает переключение выхода **I** в состояние 1 (окончание рабочей фазы). Однако он не индицирует состояние сигнала разрешения записи, и контроль окончания переходных процессов на входе **E** должен быть осуществлен на дополнительной аппаратуре либо в устройстве-источнике сигнала **E**, либо так, как показано на рисунке ниже. Сброс триггера осуществляется при подаче на вход **RT** высокого уровня ($RT=1$) в спейсерной фазе триггера ($E=1$). При этом выходы триггера устанавливаются в состояние $Q=0$, $QB=1$. В рабочей фазе ($E=0$) при низком уровне на входе установки ($RT=0$) информация со входов **R** и **S** записывается в триггер, а в фазе гашения ($E=1$) триггер находится в состоянии хранения.

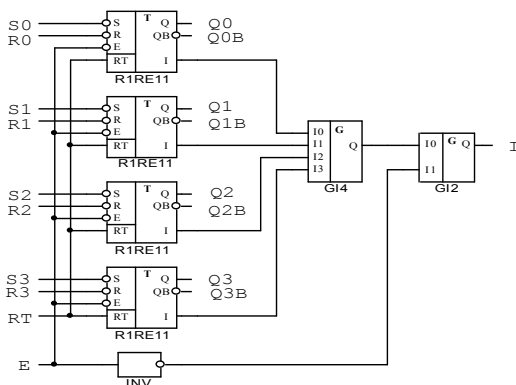
Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=2$ и p-типа $N_p=2$.

Коэффициент объединения по входам **R** и **S** – 2.

Рекомендуемая нагрузочная способность по выходам **Q** и **QB** ≤ 2 , по выходу **I** ≤ 4 .

Размер элемента составляет 6 ячеек поля БМК.

Область применения – СС-схемотехника. Пример использования триггера **R1RE11** в составе четырехразрядного регистра приведен на рисунке ниже. Двухвходовой G-триггер обеспечивает правильную индикацию сигнала разрешения записи **E**.



Четырехразрядный регистр на элементе R1RE11

Таблица истинности

№ строки	Входы				Выходы		
	S	R	E	RT	Q	QB	I
1	*	1	1	1	0	1	0
2	1	1	0	1	0	1	0
3	*	0	1	1	0	1	1
4	*	1	1	0	хранение		QB
5	1	0	1	0	хранение		QB
6	1	1	0	0	хранение		0
7	1	0	0	0	0	1	1
8	0	1	0	0	1	0	1
9 ¹⁾	0	0	0	0	0	0	0
10 ²⁾	0	0	0	1	0	0	0
11 ²⁾	0	1	0	1	1	0	1
12	1	0	0	1	0	1	1
13 ³⁾	0→1	1	0	0	X		0
14 ³⁾	1	0→1	0	0	X		0
15 ²⁾	0	1	↔	1	X		
16 ²⁾	1	0	↔	1	X		
17	0	0	1	0	хранение		1

1) Неопределенное состояние выходов Q, QB после перехода в S=R=1 или E =1.

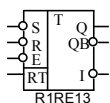
2) Нарушение предустановки.

3) Преждевременное переключение информационного входа при I=0.

Таблица задержек

Путь	RT⇒Q		RT⇒QB		R⇒Q		R⇒QB		R⇒I		S⇒Q		S⇒QB	
Задержка,	t ¹⁰		t ⁰¹		t ¹⁰		t ⁰¹		t ⁰¹	t ¹⁰	t ⁰¹		t ¹⁰	
нс	1.7		3.7		4.2		2.5		7.6	1.2	3.6		5.2	
Путь	S⇒I		E⇒Q		E⇒QB		E⇒I							
Задержка,	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹							
нс	8.0	1.5	3.7	4.2	2.6	5.2	8.0							

R1RE13 *Однотактный RS-триггер с единичным спейсером, синхронным сбросом, инверсным разрешением записи и мощным выходом*



Элемент **R1RE13** – RS-триггер с бифазным информационным входом (**R**, **S**); входом разрешения записи (**E**) с единичным спейсером; входом синхронного сброса (**RT**); парафазным мощным информационным выходом (**Q**, **QB**)

и индикаторным выходом (**I**). При спейсере на входе разрешения (**E**=1) триггер хранит свое состояние, а индикаторный выход **I**=1. При **E**=**S**=0, **R**=1 триггер переключается в состояние (**Q**=1, **QB**=0). При **E**=**R**=0, **S**=1 триггер переключается в состояние (**Q**=0, **QB**=1). Входная комбинация **E**=**R**=**S**=0 – запрещенная. Окончание перехода в очередное рабочее состояние, соответствующее состоянию информационного входа, фиксируется значением **I**=0 на индикаторном выходе. Начальный сброс реализуется подачей высокого уровня на вход синхронного сброса **RT**=1 при спейсере на входе разрешения записи (**E**=1). В результате триггер устанавливается в состояние (**Q**=0, **QB**=1). Значение индикаторного выхода при этом не меняется.

Информационный выход (**Q**, **QB**) формируется инверторами, обеспечивающими увеличенную нагрузочную способность и электрическую развязку элемента памяти триггера, хранящего его состояние, от внешнего окружения, что повышает помехоустойчивость триггера. Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами элементов схемы триггера: n-типа $N_n=2$ и p-типа $N_p=3$.

Коэффициент объединения по входам **R**, **S** – 2, по входу **E** – 4.
Рекомендуемая нагрузочная способность по выходам **Q** и **QB** ≤ 3 , по

выходу **I** ≤ 4 .

Размер элемента составляет 10 ячеек поля БМК.

Область применения – СС-схемотехника.

Таблица истинности

№ строки	Входы				Выходы		
	S	R	E	RT	I	Q	QB
1	*	*	1	1	1	0	1
2	*	*	1	0	1	хранение	
3	1	0	0	0	0	0	1
4	0	1	0	0	0	1	0
5 ¹⁾	0	0	0	0	1	0	0
6 ²⁾	0	0	0	1	1	0	0
7	1	0	0	1	0	0	1
8 ²⁾	0	1	0	1	0	1	0
9	*	\leftrightarrow	0	*	X		
10	\leftrightarrow	*	0	*	X		
11 ²⁾	*	*	\leftrightarrow	1	X		
12	1	1	0	1	1	0	1
13	1	1	0	0	1	хранение	

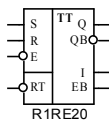
¹⁾ Неопределенное состояние выходов Q, QB после перехода в S=R=1 или E=1.

²⁾ Нарушение предустановки.

Таблица задержек

Путь	E \Rightarrow Q		E \Rightarrow QB		E \Rightarrow I		RT \Rightarrow Q	RT \Rightarrow QB
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ¹⁰	t ⁰¹
нс	4.7	2.3	4.7	2.7	2.7	6.7	3.6	2.7

R1RE20 *Двухтактный RS-триггер с единичным спейсером, синхронным сбросом и разрешением записи*



Элемент **R1RE20** – двухтактный RS-триггер с синхронным сбросом. Назначение выводов: **RT** – вход синхронного сброса; **E** – вход разрешения записи с единичным спейсером; **R, S** – бифазный информационный вход;

Q, QB – бифазный информационный выход; **I** – индикаторный выход; **EB** – выход инверсии входа разрешения записи.

При (**R=1, S=E=0**) или (**S=1, R=E=0**) и **RT=1** триггер записывает состояние информационного входа в первую (входную) бистабильную ячейку. Окончание записи фиксируется по появлению высокого уровня на индикаторном выходе (**I=1**). При спейсере на входе разрешения (**E=1**) триггер хранит свое состояние, переписывая его из входной бистабильной ячейки в выходную, а индикаторный выход (**I=0**). Входная комбинация (**E=0, R=S=1**) – запрещенная. Начальная установка реализуется подачей низкого уровня на вход синхронной установки (**RT=0**) при спейсере на входе разрешения записи (**E=1**). При этом триггер устанавливается в состояние (**Q=0, QB=1**). При необходимости индикация завершения установки триггера осуществляется внешней по отношению к нему аппаратурой путем фиксации низкого уровня на его выходе **Q**. Возможный вариант схемы реализации самосинхронной установки для случая трехразрядного регистра хранения на базе элемента **R0RE20** аналогичен подобной схеме, приведенной при описании элемента **D1CE20**.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом первого каскада индикаторного элемента схемы: n-типа $N_n=3$ и p-типа $N_p=4$.

Коэффициент объединения по входам **E** и **RT** – 2.

Рекомендуемая нагрузочная способность по выходам **Q** и **QB** ≤ 2 , по выходу **I** ≤ 5 , по выходу **EB** – 1.

Размер элемента составляет 12 ячеек поля БМК.

Область применения – СС-схемотехника.

Элемент рекомендуется использовать для информационного

входа (**R**, **S**), не имеющего спейсера. Если вход (**R**, **S**) имеет нулевой спейсер, то требуется дополнительная индикация спейсерного значения входа сигнала разрешения записи по аналогии с элементом **R0RE11**. Единичный спейсер на информационном входе запрещен.

Таблица истинности

№ строки	Входы				Выходы			
	S	R	E	RT	Q	QB	I	EB
1	1	0	1	0	0	1	0	0
2	0	*	1	0	0	1	0	0
3	0	*	1	1	хранение		0	0
4	1	*	1	1	хранение		0	0
5	0	1	0	1	хранение		1	1
6	0	1	0→1	1	0	1	0	1→0
7	1	0	0	1	хранение		1	1
8	1	0	0→1	1	1	0	0	1→0
9 ¹⁾	1	1	0	0	хранение		1	1
10 ²⁾	1	1	0	1	хранение		1	1
11 ¹⁾	1	1	1	0	0	1	0	0
12 ¹⁾	0	1	0	0	хранение		1	1
13 ¹⁾	1	0	0	0	хранение		1	1
14 ¹⁾	0	1	↔	0	X			↔
15 ¹⁾	1	0	↔	0	X			↔
16 ³⁾	↔	*	0	*	X			1
17 ³⁾	*	↔	0	*	X			1
18 ³⁾	↔	*	1	*	X			1
19 ³⁾	*	↔	1	*	X			1
20 ¹⁾	0	0	0	0	хранение		Q	1
21	0	0	0	1	хранение			1

1) Нарушение предустановки.

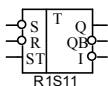
2) Неопределенное состояние выходов после перехода в S=R=0 или E=1.

3) Изменения входов R и S запрещены до выполнения перехода EB 1→0.

Таблица задержек

Путь	E⇒Q		E⇒QB		E⇒I		RT⇒Q	RT⇒QB	RT⇒I
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ¹⁰	t ⁰¹	t ⁰¹
нс	3.2	4.7	3.2	4.7	10.0	13.0	7.5	6.0	6.2

R1S11 **Однотактный RS-триггер с парафазным входом с единичным спейсером, синхронной установкой и мощным выходом**



Элемент **R1S11** – RS-триггер с парафазным информационным входом (**R**, **S**) с единичным спейсером; входом синхронной установки (**ST**); парафазным мощным информационным выходом (**Q**, **QB**) и индикаторным выходом (**I**). При спейсере на информационном входе (**R=S=1**) триггер хранит свое состояние, а индикаторный выход **I=1**. При **R=1**, **S=0** триггер переключается в состояние (**Q=1**, **QB=0**). При **R=0**, **S=1** триггер переключается в состояние (**Q=0**, **QB=1**). Входная комбинация **R=S=0** – запрещенная. Окончание перехода в очередное рабочее состояние, соответствующее рабочему значению информационного входа, фиксируется значением **I=0** на индикаторном выходе. Начальная установка реализуется подачей высокого уровня на вход синхронной установки **ST=1** при спейсере на информационном входе (**R=S=1**). В результате триггер устанавливается в состояние (**Q=1**, **QB=0**). Значение индикаторного выхода при этом не меняется.

Информационный выход (**Q**, **QB**) формируется инверторами, обеспечивающими увеличенную нагрузочную способность и электрическую развязку элемента памяти триггера, хранящего его состояние, от внешнего окружения, что повышает помехоустойчивость триггера.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами элементов схемы триггера: n-типа $N_n=2$ и p-типа $N_p=2$.

Коэффициент объединения по входам **R**, **S** – 2.

Рекомендуемая нагрузочная способность по выходам **Q**, **QB** ≤ 3 , по выходу **I** ≤ 4 .

Размер элемента составляет 8 ячеек поля БМК.

Область применения – СС-схемотехника.

Таблица истинности

№ стро- ки	Входы			Выходы		
	S	R	ST	Q	QB	I
1	1	1	1	1	0	1
2	1	1	0	хранение		1
3	1	0	0	0	1	0
4	0	1	0	1	0	0
5 ¹⁾	0	0	0	0	0	1
6 ²⁾	0	0	1	0	0	1
7 ²⁾	0	1	1	1	0	0
8 ²⁾	1	0	1	0	1	0

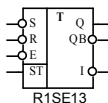
¹⁾ Неопределенное состояние выходов Q, QB после перехода в S=R=0.

²⁾ Нарушение предустановки.

Таблица задержек

Путь	ST⇒Q	ST⇒QB	R⇒Q	R⇒QB	R⇒I		S⇒Q	S⇒QB	S⇒I	
Задержка, нс	t ⁰¹	t ¹⁰	t ¹⁰	t ⁰¹	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
	2.1	2.8	1.7	3.5	2.1	4.7	3.1	1.3	2.4	4.4

R1SE13 *Однотактный RS-триггер с единичным спейсером, синхронной установкой, разрешением записи и мощным выходом*



Элемент **R1SE13** – RS-триггер с бифазным информационным входом (**R**, **S**); входом разрешения записи (**E**) с единичным спейсером; входом синхронной установки (**ST**); парафазным мощным информационным выходом (**Q**, **QB**) и индикаторным выходом (**I**).

При спейсере на входе разрешения (**E**=1) триггер хранит свое состояние, а индикаторный выход **I**=1. При **E**=**S**=0, **R**=1 триггер переключается в состояние (**Q**=1, **QB**=0). При **E**=**R**=0, **S**=1 триггер переключается в состояние (**Q**=0, **QB**=1). Входная комбинация **E**=**R**=**S**=0 - запрещенная. Окончание перехода в очередное рабочее состояние, соответствующее состоянию информационного входа, фиксируется значением **I**=0 на индикаторном выходе. Начальная установка реализуется подачей высокого уровня на вход синхронной установки **ST**=1 при спейсере на входе разрешения записи (**E**=1). В результате триггер устанавливается в состояние (**Q**=1, **QB**=0). Значение индикаторного выхода при этом не меняется.

Информационный выход (**Q**, **QB**) формируется инверторами, обеспечивающими увеличенную нагрузочную способность и электрическую

развязку элемента памяти триггера, хранящего его состояние, от внешнего окружения, что повышает помехоустойчивость триггера.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами элементов схемы триггера: n-типа $N_n=2$ и p-типа $N_p=3$.

Коэффициент объединения по входам $R, S - 2$, по входу $E - 4$.

Рекомендуемая нагрузочная способность по выходу $I \leq 4$, по остальным выходам ≤ 3 .

Размер элемента составляет 10 ячеек поля БМК.

Область применения – СС-схемотехника.

Таблица истинности

№ строки	Входы				Выходы		
	S	R	E	ST	Q	QB	I
1	*	*	1	1	1	0	1
2	*	*	1	0	хранение		1
3	1	0	0	0	0	1	0
4	1	0	0→1	0	0	1	1
5	0	1	0	*	1	0	0
6	0	1	0→1	0	1	0	1
7 ¹⁾	0	0	0	0	0	0	1
8 ²⁾	0	0	0	1	0	0	1
9 ³⁾	1	0	0	1	0	1	0
10	↔	*	0	0	X		
11	*	↔	0	0	X	11	*
12 ³⁾	*	*	↔	1	X	12 ³⁾	*
13	1	1	0	0	хранение	13	1
14	1	1	0	1	1	14	1

¹⁾ Неопределенное состояние выходов Q, QB после перехода в $S=R=1$ или в $E=1$.

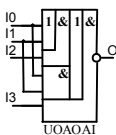
²⁾ Неопределенное состояние выходов Q, QB после перехода в $S=R=1$, $ST=0$ или в $E=1$, $ST=0$.

³⁾ Нарушение предустановки.

Таблица задержек

Путь	$E \Rightarrow Q$		$E \Rightarrow QB$		$E \Rightarrow I$		$ST \Rightarrow Q$	$ST \Rightarrow QB$
	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
нс	4.7	2.7	4.7	2.3	2.7	6.7	2.7	3.6

UOAOAI Логический элемент U



Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=3$ и p-типа $N_p=2$.

Коэффициент объединения по входам **I0** и **I1** – 2.

Рекомендуемая нагрузочная способность по выходу ≤ 3 .

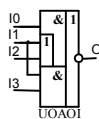
Размер элемента составляет 3 ячейки поля БМК.

Область применения – традиционная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O	
	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
нс	1.1	1.7	1.1	1.7	1.2	2.0	1.3	2.0

UOAOI Логический элемент U0



Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=2$ и p-типа $N_p=3$.

Коэффициент объединения по входу **I1** – 2.

Рекомендуемая нагрузочная способность по выходу ≤ 4 .

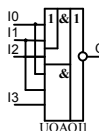
Размер элемента составляет 3 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O	
	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
нс	1.0	1.2	1.4	1.2	1.3	1.2	0.8	1.1

UOAOI1 Логический элемент U1



Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами схемы: n-типа $N_n=3$ и p-типа $N_p=2$.

Коэффициент объединения по входам **I0** и **I1** – 2.

Рекомендуемая нагрузочная способность по выходу ≤ 3 .

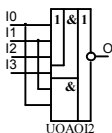
Размер элемента составляет 3 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
нс	4.1	2.2	4.0	2.1	3.4	1.5	3.7	2.8

U0A0I2 Логический элемент U2



Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=2$ и p-типа $N_p=3$.

Коэффициент объединения по входам **I0** и **I1** – 2.

Рекомендуемая нагрузочная способность по выходу ≤ 3 .

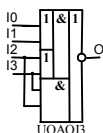
Размер элемента составляет 3 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
нс	1.6	1.2	2.0	1.2	1.5	1.2	0.7	1.2

U0A0I3 Логический элемент U3



Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=2$ и p-типа $N_p=3$.

Коэффициент объединения по входам **I2** и **I3** – 2.

Рекомендуемая нагрузочная способность по выходу ≤ 3 .

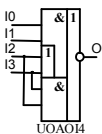
Размер элемента составляет 3 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
нс	1.5	1.2	1.6	1.2	1.4	1.0	0.9	1.0

U0A014 Логический элемент U4



Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=3$ и p-типа $N_p=2$.

Коэффициент объединения по входам **I2** и **I3** – 2.

Рекомендуемая нагрузочная способность по выходу ≤ 3 .

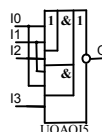
Размер элемента составляет 3 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O	
	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
нс	1.1	1.7	1.0	1.7	1.1	1.7	0.5	1.0

U0A015 Логический элемент U5



Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=2$ и p-типа $N_p=3$.

Коэффициент объединения по входам **I0** и **I1** – 2.

Рекомендуемая нагрузочная способность по выходу ≤ 3 .

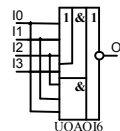
Размер элемента составляет 3 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O	
	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
нс	1.6	1.2	1.5	1.2	1.5	1.3	0.8	0.8

U0A016 Логический элемент U6



Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=3$ и p-типа $N_p=3$.

Коэффициент объединения по входам **I0**, **I1** и **I2** – 2.

Рекомендуемая нагрузочная способность по выходу ≤ 3 .

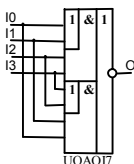
Размер элемента составляет 3 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
Задержка, нс	1.6	1.3	1.7	1.3	1.7	1.3	0.2	1.3

U0A017 Логический элемент U7



Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=3$ и p-типа $N_p=2$.

Коэффициент объединения по всем входам – 2.

Рекомендуемая нагрузочная способность по выходу ≤ 3 .

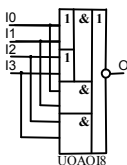
Размер элемента составляет 4 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
Задержка, нс	1.2	2.0	1.4	1.9	1.3	1.9	1.3	2.0

U0A018 Логический элемент U8



Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами схемы: n-типа $N_n=2$ и p-типа $N_p=3$.

Коэффициент объединения по всем входам – 2.

Рекомендуемая нагрузочная способность по выходу ≤ 3 .

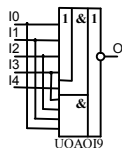
Размер элемента составляет 4 ячейки поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
Задержка, нс	9.3	3.1	8.7	3.2	7.9	2.8	7.4	2.7

UOAO19 Логический элемент U9



Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходом схемы: n-типа $N_n=4$ и p-типа $N_p=4$.

Коэффициент объединения по входам **I0, I1, I2, I3** – 2.

Рекомендуемая нагрузочная способность по выходу ≤ 3 .

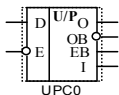
Размер элемента составляет 5 ячеек поля БМК.

Область применения – синхронная и СС-схемотехника.

Таблица задержек

Путь	I0⇒O		I1⇒O		I2⇒O		I3⇒O		I4⇒O	
Задержка,	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}	t^{01}	t^{10}
нс	2.7	1.6	1.8	1.6	2.5	1.5	2.4	1.5	1.0	1.6

UPC0 Преобразователь унарного сигнала в парафазный с нулевым спейсером



Элемент **UPC0** преобразует входной унарный сигнал (**D**) в выходной парафазный (**O, OB**) с нулевым спейсером. При высоком уровне на входе разрешения **E=1** на выходе (**O, OB**) формируется спейсер (**O=OB=0**). При **E=0** на выходе

фиксируется текущее значение входа **D**.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами схемы: n-типа $N_n=3$ и p-типа $N_p=3$.

Коэффициент объединения по входам **D** и **E** – 2.

Рекомендуемая нагрузочная способность по всем выходам ≤ 2 .

Размер элемента составляет 6 ячеек поля БМК.

Область применения – СС-схемотехника, для формирования входов комбинационных схем.

Таблица истинности

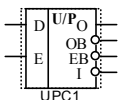
№ строки	Входы		Выходы			
	D	E	O	OB	EB	I
1	*	1	0	0	0	1
2	1	1→0	1	0	0→1	0
3	1	0	1	0	1	0
4	0	1→0	0	1	0→1	0
5	0	0	0	1	1	0
6 ¹⁾	↔	0	X	X	1	1

¹⁾ Изменения входа D запрещены до переключения выхода I из 1 в 0

Таблица задержек

Путь	E⇒EB		E⇒I		E⇒O		E⇒OB	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
нс	1.49	1.23	2.22	0.76	1.40	0.65	2.68	1.63

UPC1 Преобразователь унарного сигнала в парафазный с единичным спейсером



Элемент UPC1 преобразует входной унарный сигнал (**D**) в выходной парафазный (**O**, **OB**) с единичным спейсером. При низком уровне на входе разрешения **E=0** на выходе (**O**, **OB**) формируется спейсер (**O=OB=1**). При **E=1** на вы-

ходе фиксируется текущее значение входа **D**.

Максимальное количество последовательно соединенных транзисторов в цепочках между общей шиной или шиной питания и выходами схемы: n-типа $N_n=3$ и p-типа $N_p=3$.

Коэффициент объединения по входам **D** и **E** – 2.

Рекомендуемая нагрузочная способность по всем выходам ≤ 2 .

Размер элемента составляет 6 ячеек поля БМК.

Область применения – СС-схемотехника, для формирования входов комбинационных схем.

Таблица истинности

№ строки	Входы		Выходы			
	D	E	O	OB	EB	I
1	*	0	1	1	1	0
2	1	0→1	1	0	1→0	1
3	1	1	1	0	0	1
4	0	0→1	0	1	1→0	1
5	0	1	0	1	0	1
6 ¹⁾	↔	1	X	X	0	0

¹⁾ Изменения входа D запрещены до переключения выхода I из 0 в 1

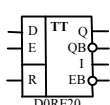
Таблица задержек

Путь	E⇒EB		E⇒I		E⇒O		E⇒OB	
	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰	t ⁰¹	t ¹⁰
Задержка, нс	1.30	1.04	1.39	0.76	1.52	1.33	3.58	1.75

3 Описание макроэлементов

В этом разделе представлено описание макроэлементов самосинхронной библиотеки.

D0RE20 *Двухтактный D-триггер с нулевым спейсером, синхронным сбросом и разрешением записи*



Элемент **D0RE20** – двухтактный D-триггер с синхронным сбросом и бифазным выходом. Назначение выводов: **R** – вход синхронного сброса; **E** – вход разрешения записи с нулевым спейсером; **D** – унарный информационный вход; **Q**, **QB** – бифазный информационный выход; **I** – индикаторный выход; **EB** – выход инверсии входа **E**.

Сброс триггера осуществляется в спейсерной фазе ($E=0$) при подаче высокого уровня на вход **R** ($R=1$). Это устанавливает выходы триггера в состояние $Q=0$, $QB=1$.

В рабочей фазе при $E=1$ и низком уровне на входе сброса ($R=0$) информация со входа **D** записывается в первую ступень триггера и после подачи на вход разрешения записи низкого уровня ($E=0$) перезаписывается во вторую ступень, обновляя состояние выходов триггера.

Особенность данного элемента – унарный информационный вход **D**. Это позволяет использовать элемент **D0RE20** в качестве интерфейса между синхронной и самосинхронной частями общей схемы. Кроме того, эта особенность позволяет сократить вдвое количество информационных шин между многоразрядными регистрами в самосинхронной схеме при использовании элемента в качестве разряда регистров на обоих концах линии передачи.

Триггер **D0RE20** реализуется совокупностью семи элементов библиотеки.

Коэффициент объединения по входу **D** – 4, по входам **E** и **R** – 1.

Рекомендуемая нагрузочная способность по выходам **Q** и **QB** ≤ 2 , по выходам **EB** и **I** – 1.

Размер элемента составляет 15 ячеек поля БМК.

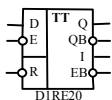
Область применения – СС-схемотехника.

Таблица истинности

№ строки	Входы			Выходы			
	D	E	R	Q	QB	EB	I
1	0	0	1	0	1	1	0
2	1	0	1	0	1	1	0
3	0	0	0	обновление		1	0
4	1	0	0	обновление		1	0
5	1	1	0	хранение		0	1
6	1	1→0	0	1	0	0→1	0
7	0	1	0	хранение		0	1
8	0	1→0	0	0	1	0→1	0
9 ¹⁾	1	1	1	хранение		0	1
10 ¹⁾	0	1	1	хранение		0	1
11	↔	1	0	X		0	X
12 ¹⁾	*	↔	1	X			

1) Нарушение предустановки.

D1RE20 *Двухтактный D-триггер с единичным спейсером, синхронным сбросом и разрешением записи*



Элемент **D1RE20** – двухтактный D-триггер с синхронным сбросом и бифазным выходом. Назначение выводов: **R** – вход синхронного сброса; **E** – вход разрешения записи с единичным спейсером; **D** – унарный информационный вход; **Q**, **QB** – бифазный информационный выход; **I** – индикаторный выход; **EB** – выход инверсии входа **E**.

Синхронный сброс триггера осуществляется в его спейсерной фазе (**E**=1) при подаче низкого уровня на вход **R** (**R**=0). Это устанавливает выходы триггера в начальное состояние **Q**=0, **QB**=1.

В рабочей фазе при **E**=0 и высоком уровне на входе синхронного сброса (**R**=1) информация со входа **D** записывается в первую ступень триггера и после подачи на вход разрешения записи высокого уровня (**E**=1) перезаписывается во вторую ступень, обновляя состояние выходов триггера.

Особенность элемента – однофазный информационный вход **D**. Это

позволяет использовать элемент **DIRE20** в качестве интерфейса между синхронной и самосинхронной частями общей схемы. Кроме того, эта особенность позволяет сократить вдвое количество информационных шин между многоразрядными регистрами в самосинхронной схеме при использовании элемента в качестве разряда регистров на обоих концах линии передачи.

Триггер **DIRE20** реализуется совокупностью семи элементов библиотеки.

Коэффициент объединения по входу **D** – 4, по входам **E** и **R** – 1.

Рекомендуемая нагрузочная способность по выходам **Q** и **QB** ≤ 2 , по выходам **EB** и **I** – 1.

Размер элемента составляет 15 ячейки поля БМК.

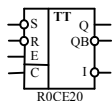
Область применения – СС-схемотехника.

Таблица истинности

№ строки	Входы			Выходы			
	D	E	R	Q	QB	EB	I
1	0	1	0	0	1	0	1
2	1	1	0	0	1	0	1
3	0	1	1	обновление		0	1
4	1	1	1	обновление		0	1
5	1	0	1	хранение		1	0
6	1	0→1	1	1	0	1→0	1
7	0	0	1	хранение		1	0
8	0	0→1	1	0	1	1→0	1
9 ¹⁾	1	0	0	хранение		1	0
10 ¹⁾	0	0	0	хранение		1	0
11	↔	0	1	X		1	X
12 ¹⁾	*	↔	0	X			

¹⁾ Нарушение предустановки.

R0CE20 *Двухтактный RS-триггер с нулевым спейсером, самосинхронным сбросом и разрешением записи*



Элемент **R0CE20** – двухтактный RS-триггер с самосинхронным сбросом и бифазным выходом. Назначение выводов: **C** – вход самосинхронного сброса; **E** – вход разрешения записи с нулевым спейсером; **S, R** – бифазный информационный вход; **Q, QB** – бифазный информационный выход; **I** – индикаторный выход.

Сброс триггера осуществляется в спейсерной фазе ($E=0$) при подаче высокого уровня на вход **C** ($C=1$). Это устанавливает выходы триггера в начальное состояние $Q=0, QB=1$.

В рабочей фазе при $E=1$ и низком уровне на входе самосинхронного сброса ($C=0$) информация со входов **S, R** записывается в первую ступень триггера и после подачи на вход разрешения записи низкого уровня ($E=0$) перезаписывается во вторую ступень, обновляя состояние выходов триггера. Триггер **R0CE20** реализуется совокупностью двух элементов: **L0RCE2** и **OAOA1**.

Коэффициент объединения по входам **S** и **R** – 2, по входу **C** – 3, по входу **E** – 1.

Рекомендуемая нагрузочная способность по выходам **Q** и **QB** – 1, по выходу **I** ≤ 5 .

Размер элемента составляет 13 ячеек поля БМК.

Область применения – СС-схемотехника.

Таблица истинности

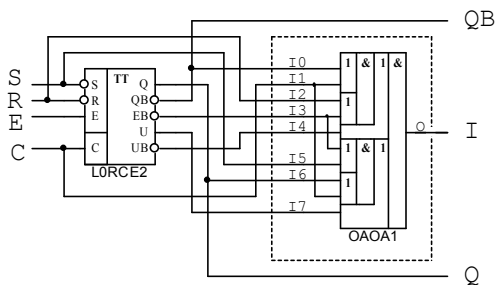
№ строки	Входы				Выходы		
	S	R	E	C	Q	QB	I
1	*	*	0	1	0	1	1
2	*	*	0	0	обновление		1
3	1	1	1	0	хранение		0
4	0	1	1	0	хранение		0
5	0	1	1→0	0	1	0	1
6	1	0	1	0	хранение		0
7	1	0	1→0	0	0		1
8 ¹⁾	0	0	1	*	хранение		1

Окончание таблицы

9 ²⁾	1	0	1	1	хранение	0	9 ²⁾
10 ²⁾	0	1	1	1	хранение	0	
11 ²⁾	1	1	1	1	хранение	1	
12	↔	*	1	*	хранение	X	
13	*	↔	1	*	хранение	X	
14 ²⁾	0	1	↔	1	X		
15 ²⁾	1	0	↔	1	X		

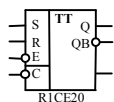
¹⁾ Неопределенное состояние выходов после перехода в S=R=1.

²⁾ Нарушение самосинхронной предустановки.



Функциональная схема R0CE20

R1CE20 Двухтактный RS-триггер с единичным спейсером, самосинхронным сбросом и разрешением записи



Элемент **R1CE20** – двухтактный D-триггер с самосинхронным сбросом и бифазным выходом. Назначение выводов: **C** – вход самосинхронного сброса; **E** – вход разрешения записи с единичным спейсером; **S, R** – бифазный информационный вход; **Q, QB** – бифазный информационный выход; **I** – индикаторный выход.

Сброс триггера осуществляется в спейсерной фазе (**E**=1) при подаче низкого уровня на вход **C** (**C**=0). Это устанавливает выходы триггера в

начальное состояние $Q=0$, $QB=1$.

В рабочей фазе при $E=0$ и высоком уровне на входе самосинхронного сброса ($C=1$) информация со входов S , R записывается в первую ступень триггера и после подачи на вход разрешения записи высокого уровня ($E=1$) перезаписывается во вторую ступень, обновляя состояние выходов триггера.

Триггер **RICE20** реализуется совокупностью двух элементов: **L1RCE2** и **AOAO1**.

Коэффициент объединения по входам S и R – 2, по входу C – 2,5, по входу E – 1.

Рекомендуемая нагрузочная способность по выходам Q и QB – 1, по выходу $I \leq 5$.

Размер элемента составляет 13 ячеек поля БМК.

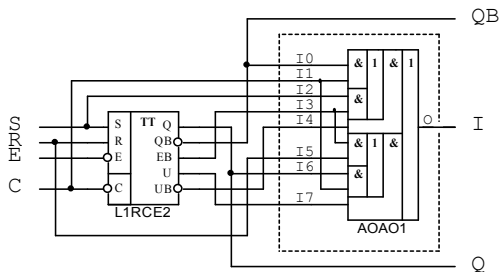
Область применения – СС-схемотехника.

Таблица истинности

№ строки	Входы				Выходы		
	S	R	E	C	Q	QB	I
1	*	*	1	0	0	1	0
2	*	*	1	1	обновление		0
3	0	0	0	1	хранение		1
4	1	0	0	1	хранение		1
5	1	0	0→1	1	1	0	0
6	0	1	0	1	хранение		1
7	0	1	0→1	1	0	1	0
8 ¹⁾	1	1	0	*	хранение		0
9 ²⁾	0	1	0	0	хранение		1
10 ²⁾	1	0	0	0	хранение		1
11 ²⁾	0	0	0	0	хранение		0
12	↔	*	0	*	хранение		X
13	*	↔	0	*	хранение		X
14 ²⁾	0	1	↔	0	X		
15 ²⁾	1	0	↔	0	X		

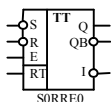
¹⁾ Неопределенное состояние выходов после перехода в $S=R=0$.

²⁾ Нарушение самосинхронной предустановки.



Функциональная схема R1CE20

SORRE0 Разряд сдвигового регистра на базе двухтактного RS-триггера с нулевым спейсером, синхронным сбросом и разрешением записи



Элемент **SORRE0** – разряд регистра сдвига с синхронным сбросом и бифазным выходом. Назначение выводов: **RT** – вход синхронного сброса; **E** – вход разрешения записи с нулевым спейсером; **S**, **R** – бифазный информационный вход; **Q**, **QB** – бифазный информационный выход; **I** – индикаторный выход.

Синхронный сброс разряда осуществляется в спейсерной фазе ($E=0$) при подаче высокого уровня на вход **RT** ($RT=1$). Это устанавливает выходы элемента в начальное состояние $Q=0$, $QB=1$.

В рабочей фазе при $E=1$ и низком уровне на входе синхронного сброса ($RT=0$) информация со входов **S**, **R** записывается в первую ступень разряда и после подачи на вход разрешения записи низкого уровня ($E=0$) перезаписывается во вторую ступень, обновляя состояние выходов разряда.

Элемент **SORRE0** реализуется совокупностью двух элементов: **LORRE2** и **G0B3I**.

Коэффициент объединения по входам **S** и **R** – 2, по входам **E** и **RT** – 1.

Рекомендуемая нагрузочная способность по выходам **Q** и **QB** – 1, по выходу **I** ≤ 4 .

Размер элемента составляет 15 ячеек поля БМК.

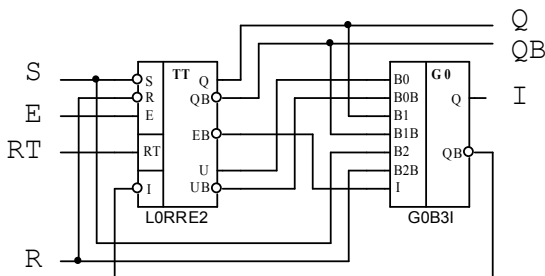
Область применения – СС-схемотехника.

Таблица истинности

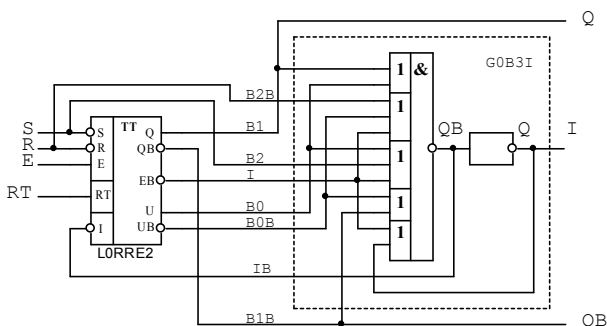
№ строки	Входы				Выходы		
	S	R	E	RT	Q	QB	I
1	*	*	0	1	0	1	1
2	*	*	0	0	обновление		1
3	1	1	1	0	хранение		хранение
4	0	1	1	0	хранение		0
5	0	1	1→0	0	1	0	1
6	1	0	1	0	хранение		0
7	1	0	1→0	0	0	1	1
8 ¹⁾	0	0	1	*	хранение		0
9	↔	*	1	0	хранение		X
10	*	↔	1	0	хранение		X
11 ²⁾	1	1	1	1	хранение		хранение
12 ²⁾	1	0	1	1	хранение		0
13 ²⁾	0	1	1	1	хранение		0

1) Неопределенное состояние выходов после перехода в S=R=1.

2) Нарушение предустановки.

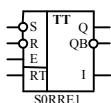


Функциональная схема S0RRE0



Функциональная схема SORRE0
с раскрытой схемой элемента G0B3I

SORRE1 Разряд сдвигового регистра на базе двухтактного RS-триггера с нулевым спейсером, синхронным сбросом, разрешением записи и инверсным индикаторным выходом



Элемент **SORRE1** – разряд регистра сдвига с синхронным сбросом и бифазным выходом. Назначение выводов: **RT** – вход синхронного сброса; **E** – вход разрешения записи с нулевым спейсером; **S, R** – бифазный информационный вход; **Q, QB** – бифазный информационный выход; **I** – индикаторный выход.

Синхронный сброс разряда осуществляется в спейсерной фазе (**E=0**) при подаче высокого уровня на вход **RT** (**RT=1**). Это устанавливает выходы разряда в начальное состояние **Q=0, QB=1**.

В рабочей фазе при **E=1** и низком уровне на входе синхронного сброса (**RT=0**) информация со входов **S, R** записывается в первую ступень разряда и после подачи на вход разрешения записи низкого уровня (**E=0**) перезаписывается во вторую ступень, обновляя состояние выходов разряда.

Элемент **SORRE1** реализуется совокупностью двух элементов: **LORRE2** и **G0B3IВ**.

Коэффициент объединения по входам **S** и **R** – 2, по входам **E** и **RT** – 1.

Рекомендуемая нагрузочная способность по выходам **Q** и **QB** – 1, по выходу **I** ≤ 4.

Размер элемента составляет 17 ячеек поля БМК.

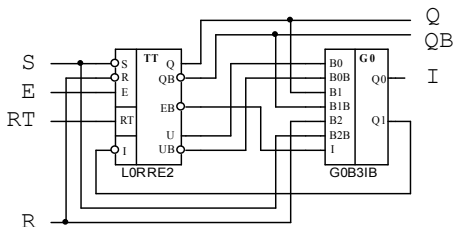
Область применения – СС-схмотехника.

Таблица истинности

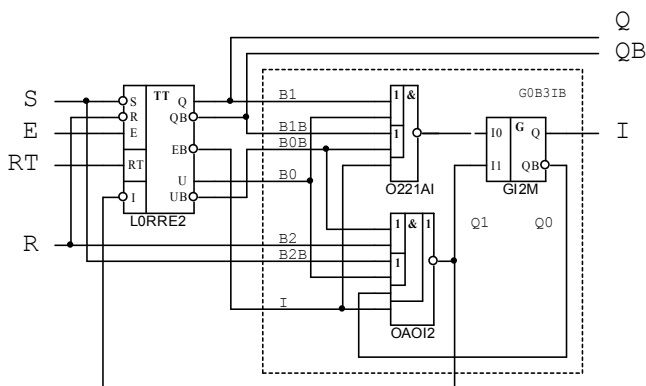
№ строки	Входы				Выходы		
	S	R	E	RT	Q	QB	I
1	*	*	0	1	0	1	0
2	*	*	0	0	обновление		0
3	1	1	1	0	хранение		хранение
4	0	1	1	0	хранение		1
5	0	1	1→0	0	1	0	0
6	1	0	1	0	хранение		1
7	1	0	1→0	0	0	1	0
8 ¹⁾	0	0	1	*	хранение		1
9	↔	*	1	0	хранение		X
10	*	↔	1	0	хранение		X
11 ²⁾	1	1	1	1	хранение		хранение
12 ²⁾	1	0	1	1	хранение		1
13 ²⁾	0	1	1	1	хранение		1

1) Неопределенное состояние выходов после перехода в $S=R=1$ и $E=0$.

2) Нарушение предустановки.

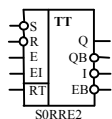


Функциональная схема SORRE1



Функциональная схема SORRE1
с раскрытой схемой элемента G0B31B

SORRE2 Разряд сдвигового регистра на базе двухтактного RS-триггера с нулевым спейсером, синхронным сбросом и разрешением записи



Элемент **SORRE2** – разряд регистра сдвига с синхронным сбросом. Назначение выводов: **RT** – вход сброса; **E** – вход разрешения записи с нулевым спейсером; **EI** – вход разрешения перезаписи информации из первой ступени разряда во вторую; **EB** – выход инверсии входа **E**; **R**, **S** – бифазный информационный вход; **Q**, **QB** – бифазный информационный выход; **I** – индикаторный выход.

Синхронный сброс осуществляется при подаче на вход **RT** высокого уровня (**RT**=1) в спейсерной фазе разряда (**E**=0). Это устанавливает выходы разряда в состояние **Q**=**UB**=0, **QB**=**U**=1, **EB**=1.

В рабочей фазе при **E**=1 и низком уровне на входе синхронного сброса (**RT**=0) информация со входов **R** и **S** записывается в первую ступень разряда (выходы **U**, **UB**), и затем при переходе разряда в состояние спейсера (**E**=0) состояние первой бистабильной ячейки переписывается во вторую ступень (выходы **Q**, **QB**).

При построении регистра сдвига вход **EI** подключается к выходу **EB** следующего разряда.

Элемент **SORRE2** реализуется совокупностью двух элементов: **LORRE4** и **OAOAI7**.

Коэффициент объединения по входам **EI**, **S** и **R** – 2, по входам **E** и **RT** – 1.

Рекомендуемая нагрузочная способность по всем выходам – 1.

Размер элемента составляет 12 ячеек поля БМК.

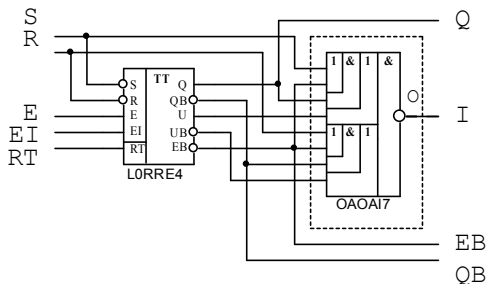
Область применения – СС-схемотехника.

Таблица истинности

№ строки	Входы					Выходы			
	S	R	E	EI	RT	Q	QB	EB	I
1	*	*	0	1	1	0	1	1	0
2	*	*	0	0	1	хранение		1	0
3	1	1	1	*	1	хранение		0	хранение
4	1	1	1	*	0	хранение		0	хранение
5	0	1	1	*	0	хранение		0	1
6	0	1	1→0	1	0	1	0	0→1	0
7	1	0	1	*	0	хранение		0	1
8	1	0	1→0	1	0	0	1	0→1	0
9	*	*	0	0	0	хранение		1	0
10	*	*	0	1	0	обновление		1	0
11 ¹⁾	0	0	1	*	0	хранение		0	1
12 ²⁾	0	0	1	*	1	хранение		0	1
13 ²⁾	0	1	1	*	1	хранение		0	0
14 ²⁾	1	0	1	*	1	хранение		0	0
15 ²⁾	0	1	↔	0	1	хранение		X	
16 ²⁾	1	0	↔	0	1	хранение		X	
17 ²⁾	0	1	↔	1	1	X			
18 ²⁾	1	0	↔	1	1	X			
19	↔	*	1	*	0	хранение		0	X
20	*	↔	1	*	0	хранение		0	X

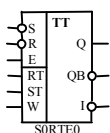
1) Неопределенное состояние выходов после перехода в S=R=1.

2) Нарушение предустановки.



Функциональная схема S0RRE2

S0RTE0 Разряд сдвигового регистра на базе двухтактного RS-триггера с нулевым спейсером, самосинхронными сбросом и установкой, разрешением записи



Элемент **S0RTE0** – разряд сдвигового регистра с самосинхронной предустановкой. Назначение выводов: **RT**, **ST** – входы самосинхронных сброса и установки; **E** – вход разрешения записи с нулевым спейсером; **W** – вход разрешения предустановки; **R**, **S** – бифазный информационный вход; **EB** – выход инверсии входа **E**; **Q**, **QB** – бифазный информационный выход; **I** – индикаторный выход.

Самосинхронная предустановка выполняется следующим образом. При **E=0** на вход **W** подается значение **W=1**; оба выхода **U** и **UB** переходят в состояние 0, что фиксируется индикаторным элементом, отслеживающим состояние разряда. После этого на входах предустановки устанавливается требуемый код инициализации (**RT=1**, **ST=0** для установки разряда в состояние **Q=0**, **QB=1** или **RT=0**, **ST=1** для установки в состояние **Q=1**, **QB=0**), на вход **W** подается значение **W=0**. Переключение выходов **Q** и **QB** в соответствующее состояние фиксируется индикаторным элементом. После этого на входы предустановки **RT**, **ST** подается низкий уровень, и процесс предустановки заканчивается.

Элемент **S0RTE0** реализуется совокупностью двух элементов: **L0RTE2** и **G0B3I**.

Коэффициент объединения по входам **S** и **R** и **W** – 2, по входам **E**, **RT**, **ST** – 1.

Рекомендуемая нагрузочная способность по выходам **Q** и **QB** – 1, по выходу **I** ≤ 4.

Размер элемента составляет 17 ячеек поля БМК.

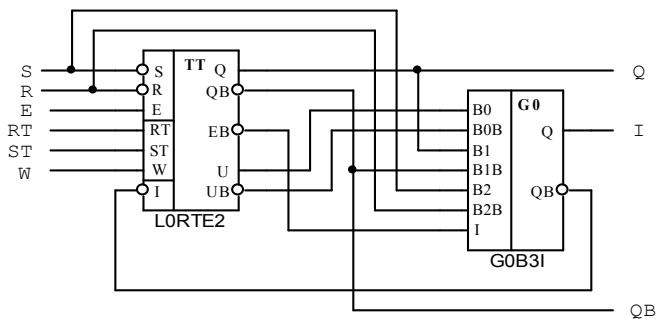
Область применения – СС-схемотехника.

Таблица истинности

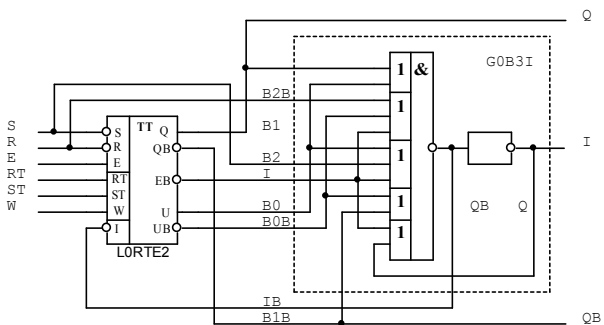
№ строки	Входы						Выходы		
	S	R	E	RT	ST	W	Q	QB	I
1	*	*	0	*	*	1	хранение		0
2	*	*	0	0	1	1→0	1	0	1
3	*	*	0	0	1	0	1	0	1
4	*	*	0	1	0	1→0	0	1	1
5	*	*	0	1	0	0	0	1	1
6	*	*	0	0	0	0	обновление		1
7	0	1	1	0	0	0	хранение		0
8	0	1	1→0	0	0	0	1	0	1
9	1	0	1	0	0	0	хранение		0
10	1	0	1→0	0	0	0	0	1	1
11 ¹⁾	0	0	1	*	*	*	хранение		0
12	1	1	1	*	*	*	хранение		
13 ²⁾	*	*	*	1	1	0	X		
14	↔	*	1	*	*	*	хранение		X
15	*	↔	1	*	*	*	хранение		X
16 ²⁾	*	*	1	1	0	0	хранение		X
17 ²⁾	*	*	1	0	1	0	хранение		X
18 ²⁾	*	*	1	*	*	1	хранение		X
19 ²⁾	*	*	0	0	0→1	0	X		
20 ²⁾	*	*	0	0→1	0	0	X		

1) Неопределенное состояние выходов после перехода в S=R=1.

2) Нарушение самосинхронной установки.

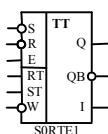


Функциональная схема SORTE0



Функциональная схема SORTE0
с раскрытой схемой элемента G0B3I

SORTE1 *Разряд сдвигового регистра на базе двухтактного RS-триггера с нулевым спейсером, самосинхронным сбросом и установкой, разрешением записи, двухкаскадным индикатором окончания переходных процессов*



Элемент **SORTE1** – разряд сдвигового регистра с самосинхронной предустановкой. Назначение выводов: **RT**, **ST** – входы самосинхронных сброса и установки; **E** – вход разрешения записи с нулевым спейсером; **W** – вход разрешения предустановки; **R**, **S** – бифазный информационный вход; **EB** – выход инверсии входа разрешения записи; **Q**, **QB** – бифазный информационный выход; **I** – индикаторный выход.

Самосинхронная предустановка выполняется следующим образом. При **E=0** на вход **W** подается значение **W=0**; оба выхода **U** и **UB** переводятся в состояние 0, что фиксирует индикаторный элемент, отслеживающий состояние разряда. После этого на входах предустановки устанавливается требуемый код инициализации (**RT=1**, **ST=0** для установки разряда в состояние **Q=0**, **QB=1** или **RT=0**, **ST=1** для установки разряда в состояние **Q=1**, **QB=0**), и на вход **W** подается значение **W=1**. Переключение выходов **Q** и **QB** в соответствующее состояние фиксируется индикаторным элементом. После этого на входы предустановки **RT**, **ST** подается низкий уровень, и процесс предустановки заканчивается.

Элемент **SORTE1** реализуется совокупностью двух элементов: **LORTE3** и **G0B32I**.

Коэффициент объединения по входам **S** и **R** – 2, по входам **E**, **RT**, **ST**, **W** – 1.

Рекомендуемая нагрузочная способность по выходам **Q** и **QB** – 1, по выходу **IB** ≤ 4 .

Размер элемента составляет 20 ячеек поля БМК.

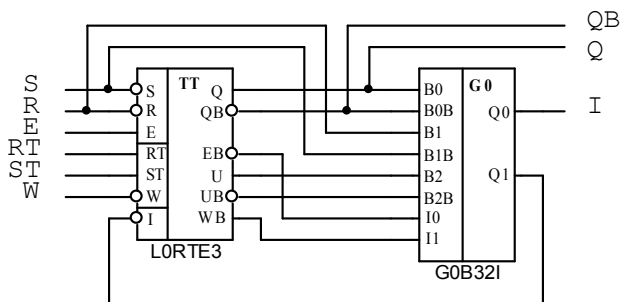
Область применения – СС-схемотехника.

Таблица истинности

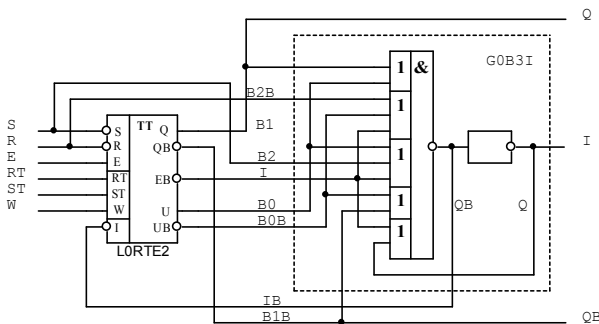
№ строки	Входы						Выходы		
	S	R	E	RT	ST	W	Q	QB	I
1	*	*	0	*	*	0	хранение		1
2	*	*	0	0	1	0→1	1	0	0
3	*	*	0	0	1	1	1	0	0
4	*	*	0	1	0	0→1	0	1	0
5	*	*	0	1	0	1	0	1	0
6	*	*	0	0	0	1	обновление		0
7	0	1	1	0	0	1	хранение		1
8	0	1	1→0	0	0	1	1	0	0
9	1	0	1	0	0	1	хранение		1
10	1	0	1→0	0	0	1	0	1	0
11 ¹⁾	0	0	1	*	*	*	хранение		1
12	1	1	1	*	*	*	хранение		хранение
13 ²⁾	*	*	*	1	1	1	X		
14	↔	*	1	*	*	*	хранение		X
15	*	↔	1	*	*	*	хранение		X
16 ²⁾	*	*	1	1	0	1	хранение		X
17 ²⁾	*	*	1	0	1	1	хранение		X
18 ²⁾	*	*	1	*	*	0	хранение		X
19 ²⁾	*	*	0	0→1	0	1	X		
20 ²⁾	*	*	0	0	0→1	1	X		

1) Неопределенное состояние выходов после перехода в S=R=1 и E=0.

2) Нарушение самосинхронной предустановки.

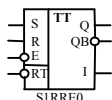


Функциональная схема SORTE1



Функциональная схема SORTE1
с раскрытой схемой элемента G0B3I

S1RRE0 Разряд сдвигового регистра на базе двухтактного RS-триггера с единичным спейсером, синхронным сбросом и разрешением записи



Элемент **S1RRE0** – разряд сдвигового регистра с синхронным сбросом и бифазным выходом. Назначение выводов: **RT** – вход синхронного сброса; **E** – вход разрешения записи с единичным спейсером; **S, R** – бифазный информационный вход; **Q, QB** – бифазный информационный выход; **I** – индикаторный выход.

Синхронный сброс разряда осуществляется в спейсерной фазе (**E**=1) при подаче низкого уровня на вход **RT** (**RT**=0). Это устанавливает выходы разряда в начальное состояние **Q**=0, **QB**=1.

В рабочей фазе при **E**=0 и высоком уровне на входе синхронного сброса (**RT**=1) информация со входов **S, R** записывается в первую ступень разряда и после подачи на вход разрешения записи высокого уровня (**E**=1) перезаписывается во вторую ступень, обновляя состояние выходов разряда.

Элемент **S1RRE0** реализуется совокупностью двух элементов: **L1RRE2** и **G1B3I**.

Коэффициент объединения по входам **S** и **R** – 2, по входам **E** и **RT** – 1.

Рекомендуемая нагрузочная способность по выходам **Q** и **QB** – 1, по выходу **I** ≤ 4.

Размер элемента составляет 14 ячеек поля БМК.

Область применения – СС-схемотехника.

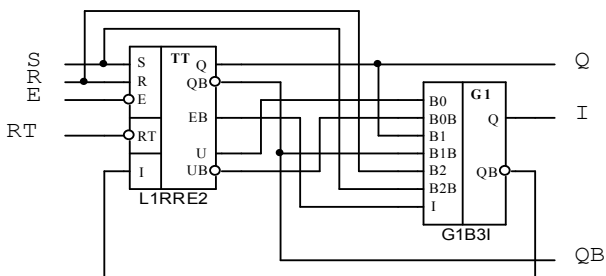
Таблица истинности

№ строки	Входы				Выходы		
	S	R	E	RT	Q	QB	I
1	*	*	1	0	0	1	0
2	*	*	1	1	обновление ³⁾		0
3	0	0	0	1	хранение		хранение
4	1	0	0	1	хранение		1
5	1	0	0→1	1	1	0	0
6	0	1	0	1	хранение		1
7	0	1	0→1	1	0	1	0
8 ¹⁾	1	1	0	0	хранение		хранение
9	↔	*	0	1	хранение		X
10	*	↔	0	1	хранение		X
11 ²⁾	0	0	0	0	хранение		хранение
12 ²⁾	0	1	0	0	хранение		1
13 ²⁾	1	0	0	0	хранение		1
14	1	1	0	1	хранение		хранение

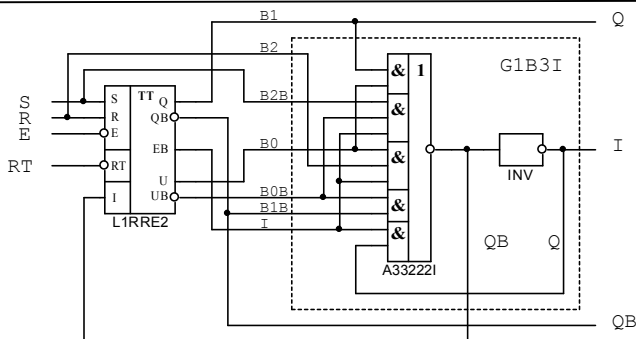
¹⁾ Неопределенное состояние выходов после перехода в $S=R=0$ и $E=1$ при $I=0$.

²⁾ Нарушение предустановки.

³⁾ Перезапись информации из входной бистабильной ячейки триггера в выходную.

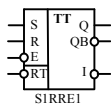


Функциональная схема SIRRE0



Функциональная схема SIRRE0
с раскрытой схемой элемента G1B3I

SIRRE1 Разряд сдвигового регистра на базе двухтактного RS-триггера с единичным спейсером, синхронным сбросом, разрешением записи и инверсным индикаторным выходом



Элемент **SIRRE1** – разряд сдвигового регистра с синхронным сбросом и бифазным выходом. Назначение выводов: **RT** – вход синхронного сброса; **E** – вход разрешения записи с единичным спейсером; **S, R** – бифазный информационный вход; **Q, QB** – бифазный информационный выход; **I** – индикаторный выход.

Синхронный сброс триггера осуществляется в спейсерной фазе (**E=1**) при подаче низкого уровня на вход **RT** (**RT=0**). При этом выходы разряда устанавливаются в начальное состояние **Q=0, QB=1**.

В рабочей фазе при **E=0** и высоком уровне на входе синхронного сброса (**RT=1**) информация со входов **S, R** записывается в первую ступень разряда и после подачи на вход разрешения записи высокого уровня (**E=1**) перезаписывается во вторую ступень, обновляя состояние выходов разряда.

Элемент **SIRRE1** реализуется совокупностью двух элементов: **L1RRE2** и **G1B3I**.

Коэффициент объединения по входам **S** и **R** – 2, по входам **E** и **RT** – 1.

Рекомендуемая нагрузочная способность по выходам **Q** и **QB** – 1, по выходу **I** ≤ 4.

Размер элемента составляет 17 ячеек поля БМК.

Область применения – СС-схемотехника.

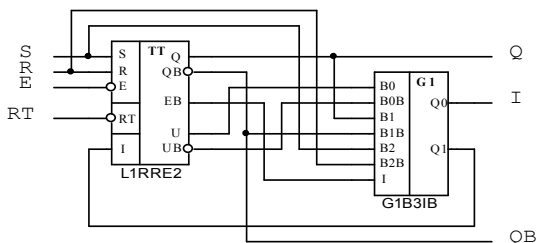
Таблица истинности

№ строки	Входы				Выходы		
	S	R	E	RT	Q	QB	I
1	*	*	1	0	0	1	1
2	*	*	1	1	обновление ³⁾		1
3	0	0	0	1	хранение		хранение
4	1	0	0	1	хранение		0
5	1	0	0→1	1	1	0	1
6	0	1	0	1	хранение		0
7	0	1	0→1	1	0	1	1
8 ¹⁾	1	1	0	1	хранение		0
9 ²⁾	↔	*	0	0	хранение		X
10 ²⁾	*	↔	0	0	хранение		X
11 ²⁾	0	0	0	0	хранение		хранение
12 ²⁾	0	1	0	0	хранение		0
13 ²⁾	1	0	0	0	хранение		0
14 ²⁾	1	1	0	0	хранение		хранение

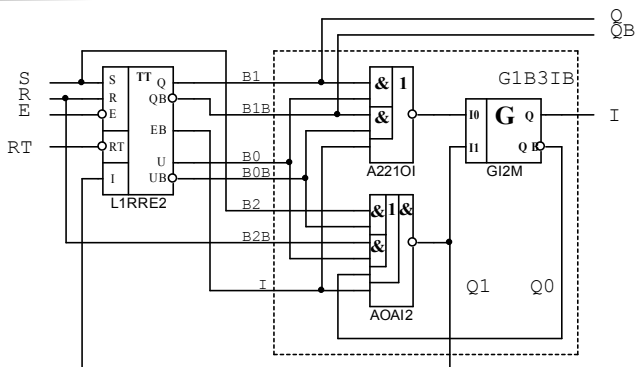
1) Неопределенное состояние выходов после перехода в S=R=0 и E=1.

2) Нарушение предустановки.

3) Перезапись информации из входной бистабильной ячейки триггера в выходную.

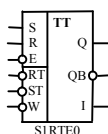


Функциональная схема S1RRE1



Функциональная схема SIRRE1
с раскрытой схемой элемента G1B3IB

SIRTE0 Разряд сдвигового регистра на базе двухтактного RS-триггера с единичным спейсером, самосинхронными сбросом и установкой, разрешением записи



Элемент **SIRTE0** – разряд сдвигового регистра с самосинхронной предустановкой. Назначение выводов: **RT**, **ST** – входы самосинхронных сброса и установки; **E** – вход разрешения записи с единичным спейсером; **W** – вход разрешения начальной предустановки; **R**, **S** – бифазный информационный вход; **EB** – выход инверсии входа **E**; **Q**, **QB** – бифазный информационный выход; **I** – индикаторный выход.

Самосинхронная предустановка выполняется следующим образом. При **E**=1 на вход **W** подается значение **W**=0; оба выхода **U** и **UB** переходят в состояние 1, что фиксирует индикаторный элемент, отслеживающий состояние разряда. После этого на входах предустановки устанавливается требуемый код инициализации (**RT**=0, **ST**=1 для установки разряда в состояние **Q**=0, **QB**=1 или **RT**=1, **ST**=0 для установки разряда в состояние **Q**=1, **QB**=0), и на вход **W** подается значение **W**=1. Переключение выходов **Q** и **QB** в соответствующее состояние фиксируется индикаторным элементом. После этого на входы предустановки **RT**, **ST** подается высокий уровень, и процесс предустановки заканчивается.

Элемент **S1RTE0** реализуется совокупностью двух элементов: **L1RTE2** и **G1B3I**.

Коэффициент объединения по входам **S**, **R** и **W** – 2, по входам **E**, **RT**, **ST** – 1.

Рекомендуемая нагрузочная способность по выходам **Q** и **QB** – 1, по выходу **I** ≤ 4.

Размер элемента составляет 16 ячеек поля БМК.

Область применения – СС-схемотехника.

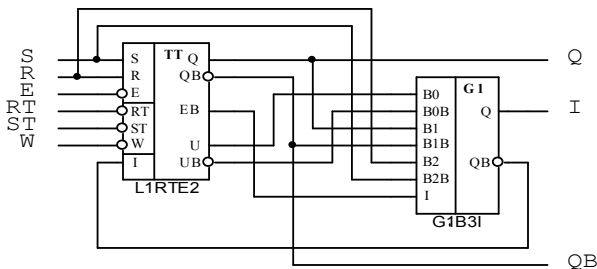
Таблица истинности

№ строки	Входы						Выходы		
	S	R	E	RT	ST	W	Q	QB	I
1	*	*	1	*	*	0	хранение		1
2	*	*	1	1	0	0→1	1	0	0
3	*	*	1	1	0	1	1	0	0
4	*	*	1	0	1	0→1	0	1	0
5	*	*	1	0	1	1	0	1	0
6	*	*	1	1	1	1	обновление ³⁾		0
7	1	0	0	1	1	1	хранение		1
8	1	0	0→1	1	1	1	1	0	0
9	0	1	0	1	1	1	хранение		1
10	0	1	0→1	1	1	1	0	1	0
11 ¹⁾	1	1	0	*	*	*	хранение		1
12	0	0	0	*	*	*	хранение		
13 ²⁾	*	*	*	0	0	1	X		
14	↔	*	0	*	*	*	хранение		X
15	*	↔	0	*	*	*	хранение		X
16 ²⁾	*	*	0	0	1	1	хранение		X
17 ²⁾	*	*	0	1	0	1	хранение		X
18 ²⁾	*	*	0	*	*	0	хранение		X
19 ²⁾	*	*	1	1	1→0	1	X		
20 ²⁾	*	*	1	1→0	1	1	X		

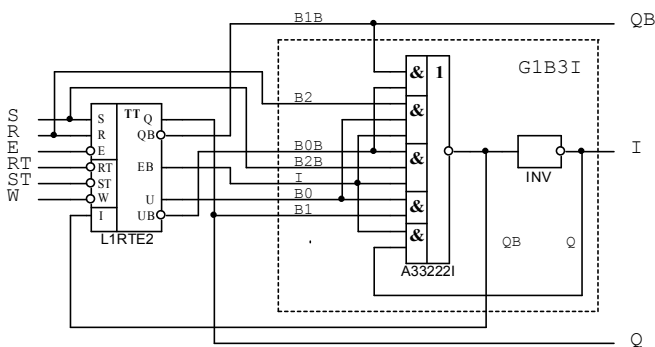
¹⁾ Неопределенное состояние выходов после перехода S=R=0 и E=1.

²⁾ Нарушение самосинхронной предустановки.

³⁾ Перезапись информации из входной бистабильной ячейки триггера в выходную.

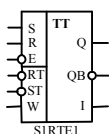


Функциональная схема SIRTE0



Функциональная схема SIRTE0 с раскрытой схемой элемента G1B3I

SIRTE1 ***Разряд сдвигового регистра на базе двухтактного RS-триггера с единичным спейсером, самосинхронными сбросом и установкой, разрешением записи, двухкаскадным индикатором окончания переходных процессов***



Элемент **SIRTE1** – разряд сдвигового регистра с самосинхронной предустановкой. Назначение выводов: **RT, ST** – входы самосинхронных сброса и установки; **E** – вход разрешения записи с единичным спейсером; **W** – вход расширения начальной предустановки; **R, S** – бифазный информационный вход; **EB** – выход инверсии входа **E**; **Q, QB** – бифазный информаци-

онный - выход; **I** – индикаторный выход.

Для выполнения самосинхронной предустановки при **E=1** на вход **W** подается значение **W=1**, и оба выхода **U** и **UB** переходят в состояние 1, что фиксируется индикаторным элементом, отслеживающим состояние разряда. После этого на входах предустановки устанавливается требуемый код инициализации (**RT=0, ST=1** для установки разряда в состояние **Q=0, QB=1** или **RT=1, ST=0** для установки в состояние **Q=1, QB=0**), на вход **W** подается значение **W=0**. Переключение выходов **Q** и **QB** в соответствующее состояние фиксируется индикаторным элементом. Затем на входы предустановки **RT, ST** подается высокий уровень, и процесс предустановки заканчивается.

Элемент **S1RTE1** реализуется совокупностью двух элементов: **L1RTE3** и **G1B32I**.

Коэффициент объединения по входам **S, R** – 2, по входам **E, RT, ST, W** – 1.

Рекомендуемая нагрузочная способность по выходам **Q** и **QB** – 1, по выходу **I** ≤ 4.

Размер элемента составляет 20 ячеек поля БМК.

Область применения – СС-схемотехника.

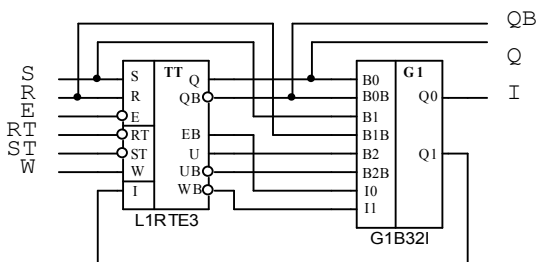
Таблица истинности

№ строки	Входы						Выходы		
	S	R	E	RT	ST	W	Q	QB	I
1	*	*	1	*	*	1	хранение		0
2	*	*	1	1	0	1→0	1	0	1
3	*	*	1	1	0	0	1	0	1
4	*	*	1	0	1	1→0	0	1	1
5	*	*	1	0	1	0	0	1	1
6	*	*	1	1	1	0	обновление ³⁾		1
7	1	0	0	1	1	0	хранение		0
8	1	0	0→1	1	1	0	1	0	1
9	0	1	0	1	1	0	хранение		0
10	0	1	0→1	1	1	0	0	1	1
11 ¹⁾	1	1	0	*	*	*	хранение		0
12	0	0	0	*	*	*	хранение		
13 ²⁾	*	*	*	0	0	0	X		
14	↔	*	0	*	*	*	хранение		

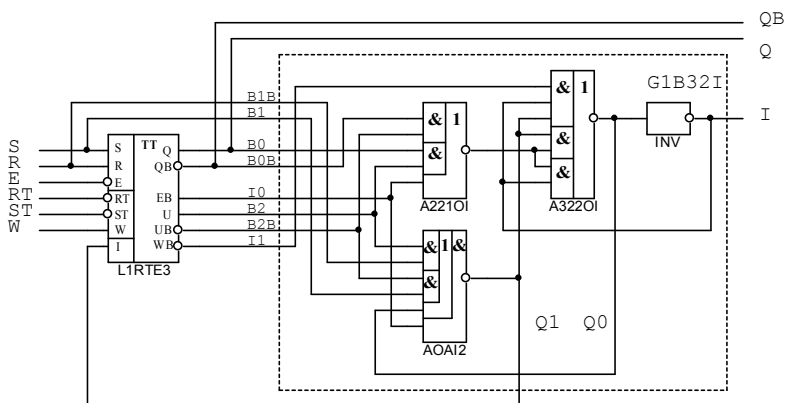
Окончание таблицы

15	*	↔	0	*	*	*	хранение	
16 ²⁾	*	*	0	0	1	0	хранение	
17 ²⁾	*	*	0	1	0	0	хранение	
18 ²⁾	*	*	0	*	*	1	хранение	
19 ²⁾	*	*	1	1	1→0	0	X	
20 ²⁾	*	*	1	1→0	1	0	X	

- 1) Неопределенное состояние выходов после перехода S=R=0 и E=1.
- 2) Нарушение самосинхронной предустановки.
- 3) Перезапись информации из входной бистабильной ячейки триггера в выходную.



Функциональная схема S1RTE1



Функциональная схема S1RTE1
с раскрытой схемой элемента G1B32I

Научное издание

Степченков Юрий Афанасьевич,
Денисов Андрей Николаевич,
Дьяченко Юрий Георгиевич,
Гринфельд Фрума Исааковна,
Филимоненко Ольга Петровна,
Морозов Николай Викторович,
Степченков Дмитрий Юрьевич

**Библиотека элементов для проектирования
самосинхронных полужаказных БМК микросхем
серий 5503/5507**

Печатается с оригинал-макета,
подготовленного в ИПИ РАН
Ф.И. Гринфельд

Заказ №

Издательство ИПИ РАН
Россия, 117333, Москва, ул. Вавилова, д. 44, корп. 2
Лицензия ИД № 06392 от 05.12.2001.
Internet: www.ipiran.ru
E-mail: YStepchenkov@ipiran.ru