



ФЕДЕРАЛЬНАЯ СЛУЖБА
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

(52) СПК

H03K 3/00 (2020.02); H03K 3/037 (2020.02)

(21)(22) Заявка: 2019142820, 20.12.2019

(24) Дата начала отсчета срока действия патента:
20.12.2019Дата регистрации:
06.07.2020

Приоритет(ы):

(22) Дата подачи заявки: 20.12.2019

(45) Опубликовано: 06.07.2020 Бюл. № 19

Адрес для переписки:

119333, Москва, ул. Вавилова, 44, корп. 2,
Федеральное государственное учреждение
"Федеральный исследовательский центр
"Информатика и управление" Российской
академии наук (ФИЦ ИУ РАН)

(72) Автор(ы):

Степченков Юрий Афанасьевич (RU),
Дьяченко Юрий Георгиевич (RU),
Морозов Николай Викторович (RU),
Орлов Георгий Александрович (RU),
Хилько Дмитрий Владимирович (RU)

(73) Патентообладатель(и):

Федеральное государственное учреждение
"Федеральный исследовательский центр
"Информатика и управление" Российской
академии наук" (ФИЦ ИУ РАН) (RU)(56) Список документов, цитированных в отчете
о поиске: RU 2390092 C1, 20.05.2010. RU
2391772 C2, 10.06.2010. RU 2366081 C1,
27.08.2009. RU 2371842 C2, 27.10.2009. RU
2382487 C1, 20.02.2010. EP 905892 A3, 31.03.1999.
US 8232825 B2, 31.07.2012. US 7697319 B2,
13.04.2010.

(54) Сбоеустойчивый самосинхронный одноканальный RS-триггер с нулевым спейсером

(57) Реферат:

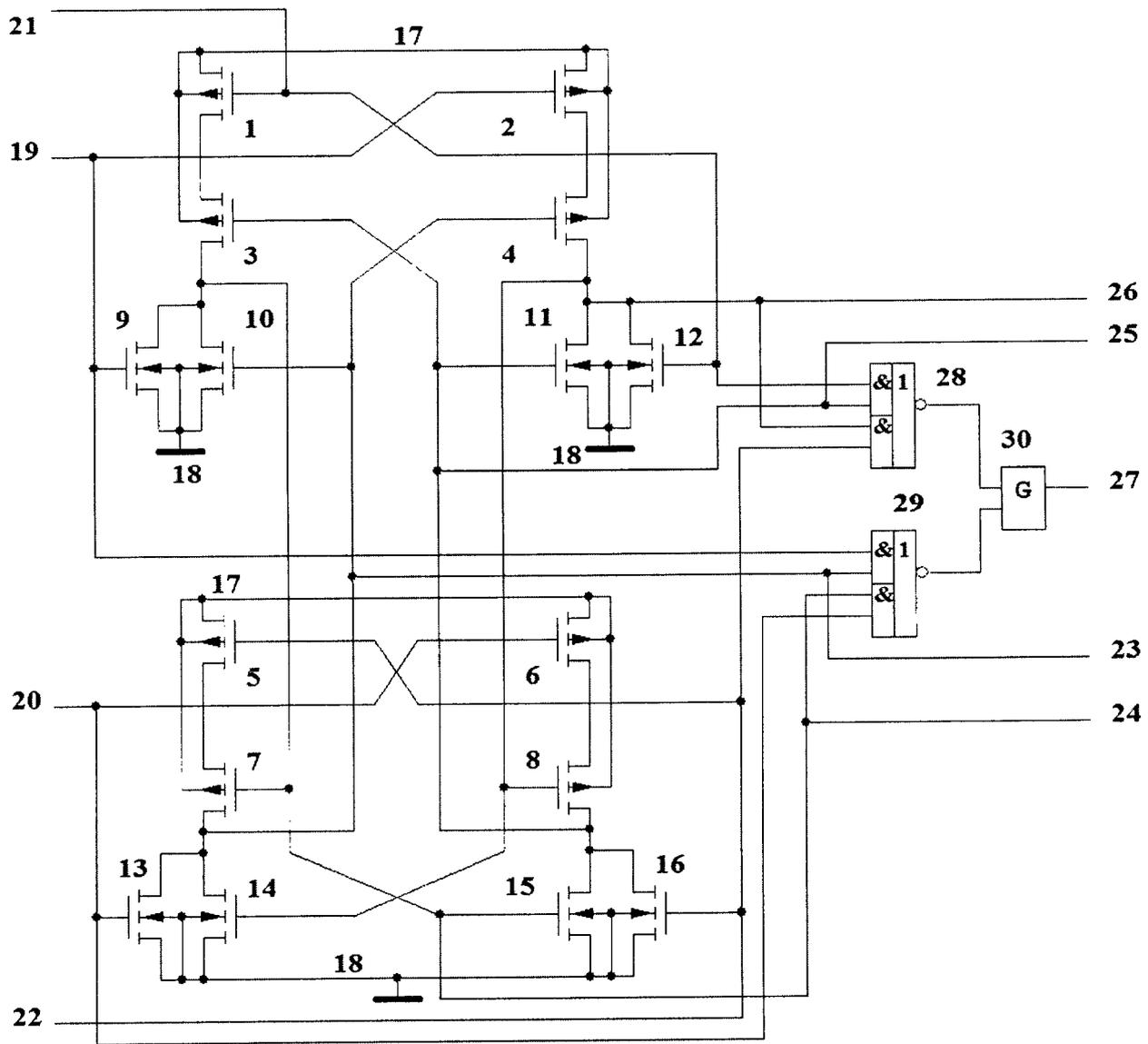
Изобретение относится к импульсной и вычислительной технике и предназначено для построения самосинхронных триггерных, регистровых и вычислительных устройств, систем цифровой обработки информации. Технический результат заключается в обеспечении самосинхронной работы RS-триггера с нулевым спейсером и предотвращении его переключения в некорректное рабочее состояние из-за одиночного логического сбоя. Данная задача решается посредством реализации индицируемости всех элементов триггера, а

именно: в схему, содержащую восемь КМОП транзисторов n-типа, восемь КМОП транзисторов p-типа, два парафазных информационных входа с нулевым спейсером и два бифазных информационных выходы, введены два элемента И-ИЛИ-НЕ, гистерезисный триггер и индикаторный выход, парафазные входы и бифазные выходы RS-триггера подключены к входам элементов И-ИЛИ-НЕ, выходы которых соединены с входами гистерезисного триггера, чей выход подключен к индикаторному выходу RS-триггера. 1 ил.

RU 2 725 780 C1

RU 2 725 780 C1

RU 2725780 C1



Фиг. 1

RU 2725780 C1



FEDERAL SERVICE
FOR INTELLECTUAL PROPERTY

(12) **ABSTRACT OF INVENTION**

(52) CPC

H03K 3/00 (2020.02); H03K 3/037 (2020.02)(21)(22) Application: **2019142820, 20.12.2019**(24) Effective date for property rights:
20.12.2019Registration date:
06.07.2020

Priority:

(22) Date of filing: **20.12.2019**(45) Date of publication: **06.07.2020** Bull. № 19

Mail address:

119333, Moskva, ul. Vavilova, 44, korp. 2,
Federalnoe gosudarstvennoe uchrezhdenie
"Federalnyj issledovatel'skij tsentr "Informatika i
upravlenie" Rossijskoj akademii nauk (FITS IU
RAN)

(72) Inventor(s):

**Stepchenkov Yuriy Afanasevich (RU),
Dyachenko Yuriy Georgievich (RU),
Morozov Nikolaj Viktorovich (RU),
Orlov Georgij Aleksandrovich (RU),
Khilko Dmitrij Vladimirovich (RU)**

(73) Proprietor(s):

**Federalnoe gosudarstvennoe uchrezhdenie
"Federalnyj issledovatel'skij tsentr "Informatika
i upravlenie" Rossijskoj akademii nauk" (FITS
IU RAN) (RU)**

(54) **FAULT-TOLERANT SELF-SYNCHRONOUS SINGLE-CYCLE RS-TRIGGER WITH ZERO SPACER**

(57) Abstract:

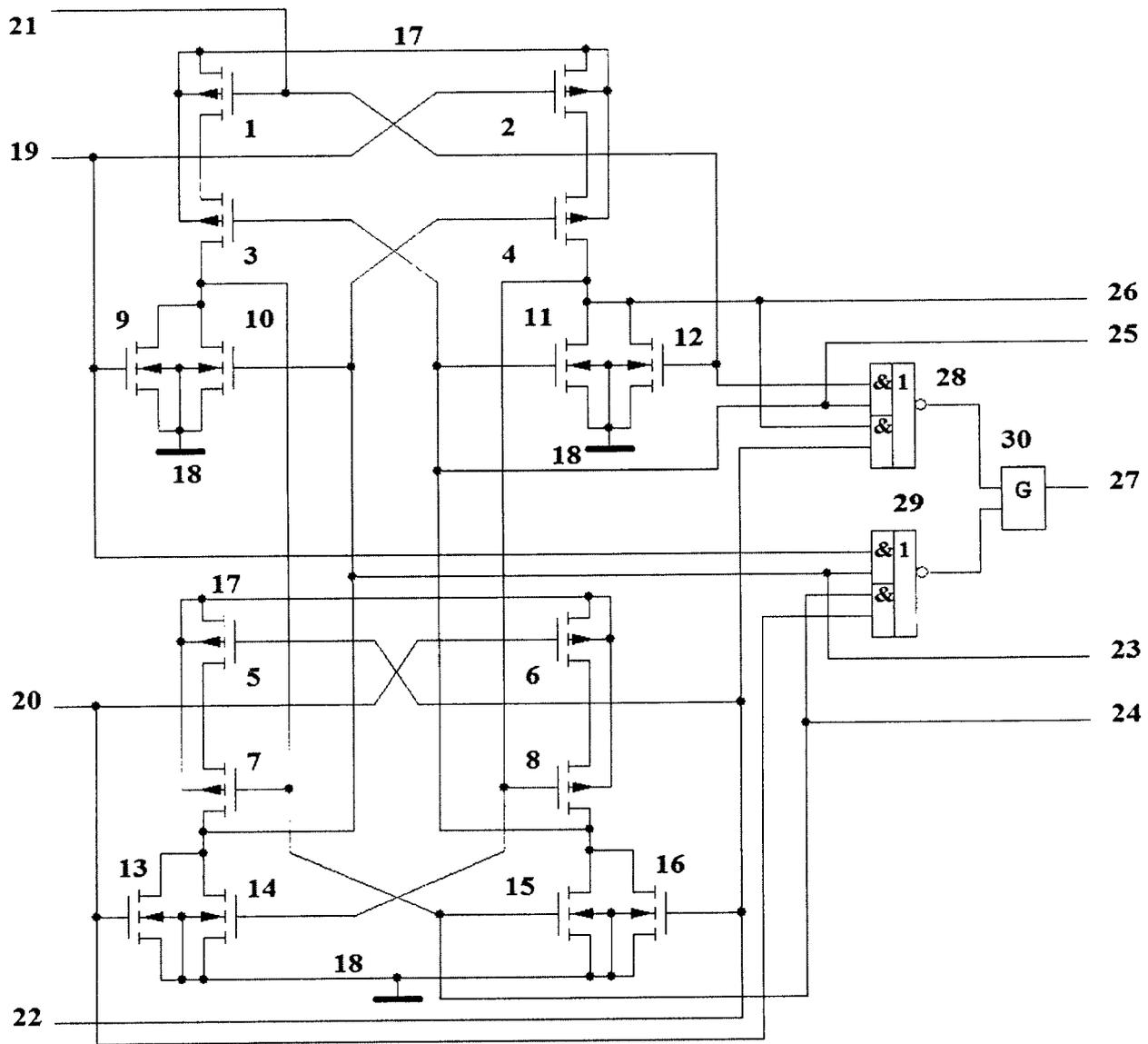
FIELD: computer equipment.

SUBSTANCE: invention relates to pulse and computer equipment and is intended for construction of self-synchronizing trigger, register and computing devices, digital information processing systems. Technical task is solved by means of implementation of indicating of all trigger elements, namely: to circuit containing eight CMOS transistors of n-type, eight CMOS transistors of p-type, two paraphrase information inputs with zero spacer and two biphas information outputs, two AND-OR-NO elements are introduced, a

hysteresis flip-flop and an indicator output, paraphrase inputs and biphas outputs of the RS-flip-flop are connected to the inputs of the AND-OR-NOT elements, the outputs of which are connected to the inputs of the hysteresis flip-flop, whose output is connected to the indicator output of the RS-flip-flop.

EFFECT: technical result consists in providing self-synchronous operation of RS-flip-flop with zero spacer and prevention of its switching to incorrect operating state due to single logical failure.

1 cl, 1 dwg



Фиг. 1

Сбоеустойчивый самосинхронный одноктактный RS-триггер с нулевым спейсером относится к импульсной и вычислительной технике и может использоваться при построении самосинхронных триггерных, регистровых и вычислительных устройств, систем цифровой обработки информации.

5 Известен самосинхронный одноктактный RS-триггер с нулевым спейсером [1, фиг. 2], содержащий элемент ИЛИ-НЕ и два элемента И-ИЛИ-НЕ.

Недостаток известного устройства - низкая сбоеустойчивость, допускающая переключение триггера в противоположное состояние при воздействии ионизирующего излучения, тяжелых заряженных частиц, протонов и нейтронов.

10 Наиболее близким к предлагаемому решению по технической сущности и принятым в качестве прототипа является RS-триггер DICE-типа [2, рис. 3(a)], содержащий восемь КМОП транзисторов n-типа и восемь КМОП транзисторов p-типа.

Недостаток прототипа - невозможность его использования в самосинхронном режиме работы с нулевым спейсером из-за отсутствия индикации окончания переключений элементов схемы RS-триггера и способа соединения КМОП транзисторов с каналом p- и r-типа, соответствующего элементам с нулевым спейсером.

Задача, решаемая заявляемым изобретением, заключается в обеспечении самосинхронной работы RS-триггера с нулевым спейсером и предотвращении его переключения в некорректное рабочее состояние из-за одиночного логического сбоя. 20 Данная задача решается посредством реализации индицируемости всех элементов триггера.

Это достигается тем, что в одноктактный RS-триггер, содержащий восемь КМОП транзисторов r-типа, восемь КМОП транзисторов n-типа, два парафазных информационных входа с нулевым спейсером и два бифазных информационных выходы, 25 причем подложки всех транзисторов r-типа подключены к шине питания, подложки всех транзисторов n-типа подключены к "земле", истоки первого, второго, пятого и шестого транзисторов r-типа соединены с шиной питания, истоки третьего, четвертого, седьмого и восьмого транзисторов n-типа подключены к "земле", затворы первого транзистора r-типа и четвертого транзистора n-типа соединены с прямым компонентом 30 второго парафазного входа, затворы второго транзистора r-типа и первого транзистора n-типа соединены с прямым компонентом первого парафазного входа, затворы шестого транзистора r-типа и пятого транзистора n-типа соединены с инверсным компонентом первого парафазного входа, затворы пятого транзистора r-типа и восьмого транзистора n-типа соединены с инверсным компонентом второго парафазного входа, введены два 35 элемента И-ИЛИ-НЕ, гистерезисный триггер (Г-триггер) и индикаторный выход RS-триггера, причем стоки первого и второго транзисторов r-типа подключены к истокам третьего и четвертого транзисторов r-типа соответственно, стоки пятого и шестого транзисторов r-типа подключены к истокам седьмого и восьмого транзисторов r-типа соответственно, сток третьего транзистора r-типа соединен со стоками первого и 40 второго транзисторов n-типа, инверсным компонентом первого бифазного выхода RS-триггера и затворами седьмых транзисторов n- и r-типа, сток четвертого транзистора r-типа соединен со стоками третьего и четвертого транзисторов n-типа, инверсным компонентом второго бифазного выхода RS-триггера и затворами восьмого транзистора r-типа и шестого транзистора n-типа, сток седьмого транзистора r-типа соединен со стоками пятого и шестого транзисторов n-типа, прямым компонентом первого бифазного выхода RS-триггера и затворами четвертого транзистора r-типа и второго транзистора n-типа, сток восьмого транзистора r-типа соединен со стоками седьмого и восьмого транзисторов n-типа, прямым компонентом второго бифазного выхода RS-

триггера и затворами третьих транзисторов р- и п-типа, истоки первого, второго, пятого и шестого транзисторов п-типа подключены к "земле", два входа первой группы входов И первого элемента И-ИЛИ-НЕ подключены к прямому компоненту второго парафазного информационного входа с нулевым спейсером и прямому компоненту второго бифазного выхода RS-триггера, два входа второй группы входов И первого элемента И-ИЛИ-НЕ подключены к инверсному компоненту второго бифазного выхода RS-триггера и инверсному компоненту второго парафазного информационного входа с нулевым спейсером, два входа первой группы входов И второго элемента И-ИЛИ-НЕ подключены к прямому компоненту первого парафазного информационного входа с нулевым спейсером и прямому компоненту первого бифазного выхода RS-триггера, два входа второй группы входов И второго элемента И-ИЛИ-НЕ подключены к инверсному компоненту первого бифазного выхода RS-триггера и инверсному компоненту первого парафазного информационного входа с нулевым спейсером, выходы первого и второго элементов И-ИЛИ-НЕ соединены с входами Г-триггера, выход которого подключен к индикаторному выходу RS-триггера.

Предлагаемое устройство триггера обладает существенными признаками, отличающими его от прототипа и обеспечивающими достижение заявленного технического результата. Действительно, использование элемента И-ИЛИ-НЕ для формирования индикаторного выхода известно и в других самосинхронных триггерах. Но только применение двух элементов И-ИЛИ-НЕ, подключенных к информационным входам и выходам самосинхронного однотактного RS-триггера и входам Г-триггера указанным способом, позволило достичь эффекта, выраженного целью изобретения.

Поскольку введенные конструктивные связи в аналогичных технических решениях не известны, заявляемое устройство может считаться имеющим существенные отличия.

Понятие "парафазный", используемое в тексте данной заявки, определяется следующим образом. Парафазным считается сигнал, представленный двумя составляющими - парой переменных $\{X, XB\}$, которые в активной фазе имеют взаимоинверсные значения: $\{X=0, XB=1\}$ или $\{X=1, XB=0\}$. Переход парафазного сигнала из одного статического рабочего состояния в противоположное рабочее состояние может осуществляться двумя способами.

Первый способ предполагает использование парафазного сигнала со спейсером: когда переходу в следующее рабочее состояние обязательно предшествует переход в третье статическое состояние - спейсерное (нерабочее состояние или состояние гашения). Если в качестве спейсерного используется состояние $\{1,1\}$, то говорят, что используется парафазный сигнал с нулевым спейсером, а если состояние $\{0,0\}$, то - парафазный сигнал с нулевым спейсером. Спейсерное состояние - статическое состояние, переключение в которое в самосинхронной схемотехнике должно фиксироваться индикатором окончания переходного процесса, в данном случае - окончания переключения в спейсерное состояние.

Второй способ предполагает использование парафазного сигнала без спейсера. При этом переход из одного рабочего статического состояния в другое осуществляется через динамическое (кратковременное) состояние: $\{1,1\}$ или $\{0,0\}$, - называемое транзитным состоянием.

Понятие "бифазный", используемое в тексте данной заявки, определяется следующим образом. Бифазным считается сигнал, являющийся выходом $\{Q, QB\}$ бистабильной ячейки (БЯ) - RS-триггера на двух логических элементах с перекрестными связями. В статической фазе его компоненты имеют взаимоинверсные значения: $\{Q=0, QB=1\}$ или $\{Q=1, QB=0\}$. Переход бифазного сигнала из одного статического рабочего состояния

в противоположное рабочее состояние осуществляется через промежуточное динамическое (транзитное) состояние. Транзитное состояние: { нулевое - $Q=QB=0$ } или { единичное - $Q=QB=1$ }, - определяется типом логических элементов в БЯ.

5 В материалах данной заявки речь идет об использовании в качестве информационного входа парафазного сигнала с нулевым спейсером, в дальнейшем - просто парафазного сигнала, и бифазного сигнала с нулевым транзитным состоянием.

На Фиг. 1 представлена схема сбоеустойчивого самосинхронного однотоктного RS-триггера с нулевым спейсером. Схема содержит восемь МОП транзисторов p-типа 1-8, восемь МОП транзисторов n-типа 9-16, шину питания 17, шину "земли" 18, прямой 10 19 и инверсный 20 компоненты первого информационного парафазного входа с нулевым спейсером, прямой 21 и инверсный 22 компоненты второго информационного парафазного входа с нулевым спейсером, прямой 23 и инверсный 24 компоненты первого бифазного выхода, прямой 25 и инверсный 26 компоненты второго бифазного выхода, индикаторный выход 27, элементы И-ИЛИ-НЕ 28-29 и Г-триггер 30, подложки всех 15 транзисторов p-типа подключены к шине питания, подложки всех транзисторов n-типа подключены к "земле", истоки первого 1, второго 2, пятого 5 и шестого 6 транзисторов p-типа соединены с шиной питания 17, истоки третьего 11, четвертого 12, седьмого 15 и восьмого 16 транзисторов n-типа подключены к "земле", затворы первого транзистора p-типа 1 и четвертого транзистора n-типа 12 соединены с прямым компонентом 21 20 второго парафазного входа, затворы второго транзистора p-типа 2 и первого транзистора n-типа 9 соединены с прямым компонентом 19 первого парафазного входа, затворы шестого транзистора p-типа 6 и пятого транзистора n-типа 13 соединены с инверсным компонентом 20 первого парафазного входа, затворы пятого транзистора p-типа 5 и восьмого транзистора n-типа 8 соединены с инверсным компонентом 22 25 второго парафазного входа, стоки первого 1 и второго 2 транзисторов p-типа подключены к истокам третьего 3 и четвертого 4 транзисторов p-типа соответственно, стоки пятого 5 и шестого 6 транзисторов p-типа подключены к истокам седьмого 7 и восьмого 8 транзисторов p-типа соответственно, сток третьего транзистора p-типа 3 соединен со стоками первого 9 и второго 10 транзисторов n-типа, инверсным 30 компонентом 20 первого бифазного выхода RS-триггера и затворами седьмых транзисторов n-типа 15 и p-типа 7, сток четвертого транзистора p-типа 4 соединен со стоками третьего 11 и четвертого 12 транзисторов n-типа, инверсным компонентом 26 второго бифазного выхода RS-триггера и затворами восьмого транзистора p-типа 8 и шестого транзистора n-типа 14, сток седьмого транзистора p-типа 7 соединен со стоками 35 пятого 13 и шестого 14 транзисторов n-типа, прямым компонентом 23 первого бифазного выхода RS-триггера и затворами четвертого транзистора p-типа 4 и второго транзистора n-типа 10, сток восьмого транзистора p-типа 8 соединен со стоками седьмого 15 и восьмого 16 транзисторов n-типа, прямым компонентом 25 второго бифазного выхода RS-триггера и затворами третьих транзисторов p-типа 3 и n-типа 40 11, истоки первого 9, второго 10, пятого 13 и шестого 14 транзисторов n-типа подключены к "земле", два входа первой группы входов И первого элемента И-ИЛИ-НЕ 28 подключены к прямому компоненту 21 второго парафазного информационного входа с нулевым спейсером и прямому компоненту 25 второго бифазного выхода RS-триггера, два входа второй группы входов И первого элемента И-ИЛИ-НЕ 28 45 подключены к инверсному компоненту 26 второго бифазного выхода RS-триггера и инверсному компоненту 22 второго парафазного информационного входа с нулевым спейсером, два входа первой группы входов И второго элемента И-ИЛИ-НЕ 29 подключены к прямому компоненту 19 первого парафазного информационного входа

с нулевым спейсером и прямому компоненту 23 первого бифазного выхода RS-триггера, два входа второй группы входов И второго элемента И-ИЛИ-НЕ 29 подключены к инверсному компоненту 24 первого бифазного выхода RS-триггера и инверсному компоненту 20 первого парафазного информационного входа с нулевым спейсером, выходы первого 28 и второго 29 элементов И-ИЛИ-НЕ соединены с входами Г-триггера 30, выход которого подключен к индикаторному выходу 27 RS-триггера.

Схема работает следующим образом. Первый и второй парафазные входы логически идентичны. Первый и второй бифазные выходы также логически идентичны. Использование идентичных пар входов и выходов обеспечивает сбоеустойчивость передаваемой и хранимой в триггере информации. Оба бифазных выхода RS-триггера переключатся в новое идентичное состояние только тогда, когда оба парафазных входа перейдут в одинаковую рабочую фазу. Входы имеют нулевой спейсер. Это значит, что спейсерное значение "0" любого компонента любого входа не способно изменить состояние бифазных выходов RS-триггера.

Обозначим прямой 19 и инверсный 20 компоненты первого парафазного входа как S1 и R1, компоненты 21 и 22 второго парафазного входа - как S2 и R2; прямой 23 и инверсный 24 компоненты первого бифазного выхода как Q1 и QB1, компоненты 25 и 26 второго бифазного выхода как Q2 и QB2; индикаторный выход 27 как I. Пусть в исходном состоянии триггер находится в спейсере: $R1=R2=S1=S2=0$, - и хранит состояние: $Q1=Q2=1$, $QB1=QB2=0$. Открыты транзисторы 1, 2, 5-8, 10, 11; закрыты транзисторы 3, 4, 9, 12-16. На выходах элементов 28 и 29 высокий логический уровень. Индикаторный выход подтверждает окончание переключения RS-триггера в спейсер: $I=1$. Пусть на вход RS-триггера поступает сигнал $R1=1$, а остальные входы остаются неизменными. Высокий уровень на затворах транзисторов 6 и 13 приведет к отпирианию транзистора 13 и запирианию транзистора 6. Открытый транзистор 13 будет "тянуть" выход Q1 к "земле" (уровню логического нуля), но открытые транзисторы 5 и 7 будут этому препятствовать. Размеры транзисторов p-типа и n-типа в данной схеме подбираются таким образом, чтобы открытый транзистор n-типа не смог "перетянуть" последовательно соединенные открытые транзисторы p-типа. Тогда уровень выхода Q1 будет по-прежнему соответствовать логической единицы и состояние RS-триггера не изменится. Только после переключения входа R2 в значение, идентичное входу R1 ($R2=1$), вызывающего отпириание транзистора n-типа 16 и запириание транзистора p-типа 5, транзистор 13 сможет снизить потенциал выхода Q1 до уровня логического нуля. Одновременно выход Q2 переключается в состояние логического нуля из-за открытого транзистора 16 и закрытого транзистора 6. Это вызовет последующие переключения в схеме: запириание транзисторов 10 и 11, отпириание транзисторов 3 и 4, затем переключение выходов QB1 и QB2 в состояние логической единицы ($QB1=QB2=1$). В результате триггер перейдет в новое состояние $Q1=Q2=0$, $QB1=QB2=1$. В соответствии с новыми значениями входов и выходов RS-триггера выходы элементов 28 и 29 переключатся в значение логического нуля и иницируют переключение Г-триггера также в состояние логического нуля ($I=0$), которое подтвердит успешное окончание переключения самосинхронного одноканального RS-триггера в новое рабочее состояние.

Сбоеустойчивость RS-триггера подтверждается его реакцией на воздействие одиночной причины, вызывающей логический сбой - переключение одного компонента одного бифазного выхода RS-триггера в противоположное состояние. Пусть, например, триггер находится в том же исходном состоянии: $R1=R2=S1=S2=1$, $Q1=Q2=1$, $QB1=QB2=0$, $I=1$, - и тяжелая заряженная частица, пролетев через область стока транзистора n-типа 9, вызвала ионизационный ток, зарядивший паразитную емкость выхода QB1 до

уровня логической единицы. Это приведет к запираанию транзистора 7 и отпираанию транзистора 15. Поскольку транзисторы 6 и 8 открыты, состояние выхода Q2 при этом не изменится, так как открывшийся транзистор 15 не сможет "перетянуть" транзисторы 6 и 8 из-за своего малого размера, а состояние выхода Q1 останется прежним (Q1=1) из-за хранения заряда паразитной емкостью этого выхода при закрытых транзисторах 13 и 14. Ионизационный ток заканчивается достаточно быстро, поскольку транзистор 10 остается открытым и вызывает рассасывание избыточных носителей в теле полупроводника. Выход QB1 возвращается в исходное состояние (QB1=0) и триггер продолжает успешно хранить свое состояние. Кратковременное переключение выхода QB1 в состояние логической единицы не вызывает переключения элементов 28, 29 и 30, и индикаторный выход 27 RS-триггера сохраняет свое значение, оповещая приемники о том, что триггер все еще находится в спейсере и его состояние нельзя использовать.

Особенности данной схемы по сравнению с прототипом следующие.

Элементы И-ИЛИ-НЕ и Г-триггер, объединяя парафазные входы и бифазные выходы RS-триггера и формируя индикаторный выход одноканального RS-триггера, обеспечивают управление фазами работы RS-триггера, индцирование соответствия состояния парафазных входов состоянию бифазных выходов в рабочей фазе и индцирование переключения входов в спейсер. Тем самым обеспечивается самосинхронность переключения одноканального RS-триггера из рабочей фазы в спейсер и обратно.

Таким образом, предлагаемое устройство реализует индцируемость всех выводов и элементов одноканального RS-триггера для обеспечения его самосинхронной работы и предотвращает переключение RS-триггера в некорректное рабочее состояние из-за одиночного логического сбоя. Цель изобретения достигнута. Источники:

[1] Степченков Ю.А., Дьяченко Ю.Г., Рождественский Ю.Г., Петрухин В.С.

Одноканальный самосинхронный RS-триггер с предустановкой. Патент №2390092. Оpubл. в Б.И., 2010, №14. - 18 с.

[2] Катунин Ю.В., Стенин В.Я., Степанов П.В. Моделирование характеристик триггерных элементов КМОП двухфазной логики с учетом разделения заряда при воздействии отдельных ядерных частиц // Микроэлектроника, 2014, Т. 43, №2. - С. 104-117.

(57) Формула изобретения

Сбоеустойчивый самосинхронный одноканальный RS-триггер с нулевым спейсером, содержащий восемь КМОП транзисторов n-типа, восемь КМОП транзисторов p-типа, два парафазных информационных входа с нулевым спейсером и два бифазных информационных выхода, причем подложки всех транзисторов p-типа подключены к шине питания, подложки всех транзисторов n-типа подключены к "земле", истоки первого, второго, пятого и шестого транзисторов p-типа соединены с шиной питания, истоки третьего, четвертого, седьмого и восьмого транзисторов n-типа подключены к "земле", затворы первого транзистора p-типа и четвертого транзистора n-типа соединены с прямым компонентом второго парафазного входа, затворы второго транзистора p-типа и первого транзистора n-типа соединены с прямым компонентом первого парафазного входа, затворы шестого транзистора p-типа и пятого транзистора n-типа соединены с инверсным компонентом первого парафазного входа, затворы пятого транзистора p-типа и восьмого транзистора n-типа соединены с инверсным компонентом второго парафазного входа, отличающийся тем, что в схему введены два элемента И-ИЛИ-НЕ, гистерезисный триггер и индикаторный выход, причем стоки первого и второго транзисторов p-типа подключены к истокам третьего и четвертого транзисторов

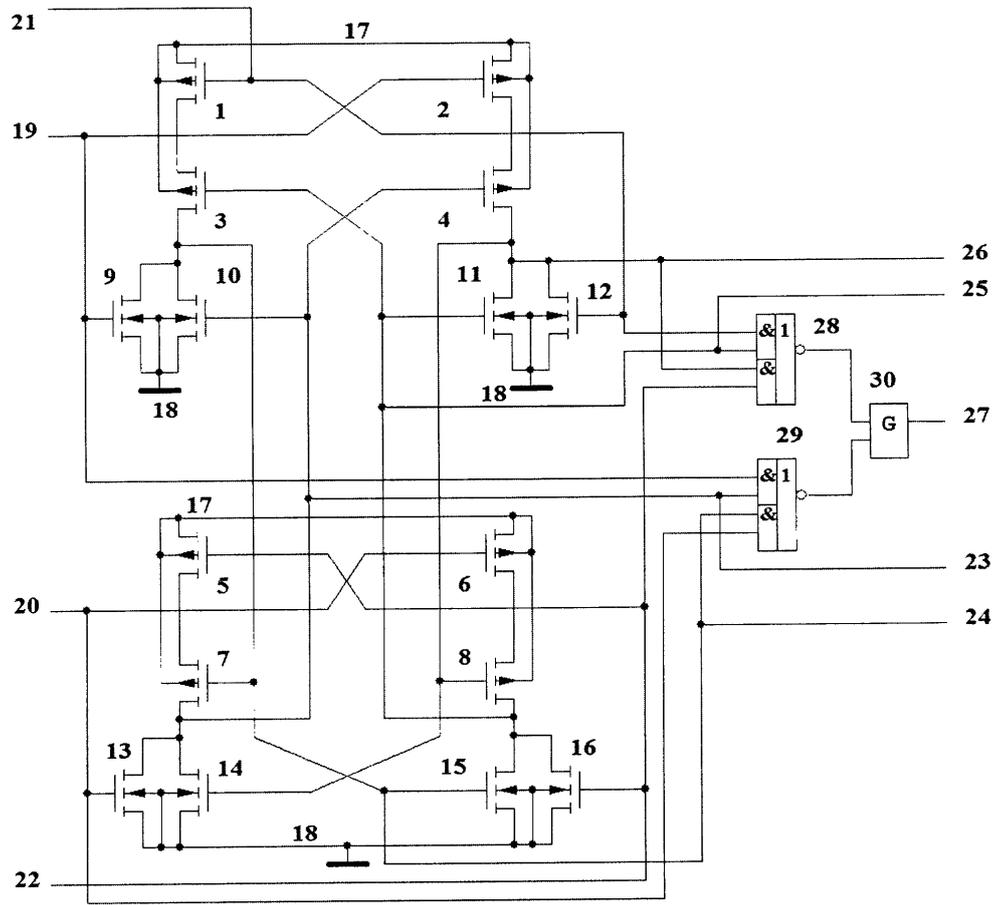
р-типа соответственно, стоки пятого и шестого транзисторов р-типа подключены к истокам седьмого и восьмого транзисторов р-типа соответственно, сток третьего транзистора р-типа соединен со стоками первого и второго транзисторов п-типа, инверсным компонентом первого бифазного выхода RS-триггера и затворами седьмых транзисторов п- и р-типа, сток четвертого транзистора р-типа соединен со стоками третьего и четвертого транзисторов п-типа, инверсным компонентом второго бифазного выхода RS-триггера и затворами восьмого транзистора р-типа и шестого транзистора п-типа, сток седьмого транзистора р-типа соединен со стоками пятого и шестого транзисторов п-типа, прямым компонентом первого бифазного выхода RS-триггера и затворами четвертого транзистора р-типа и второго транзистора п-типа, сток восьмого транзистора р-типа соединен со стоками седьмого и восьмого транзисторов п-типа, прямым компонентом второго бифазного выхода RS-триггера и затворами третьих транзисторов р- и п-типа, истоки первого, второго, пятого и шестого транзисторов п-типа подключены к "земле", два входа первой группы входов И первого элемента И-ИЛИ-НЕ подключены к прямому компоненту второго парафазного информационного входа с нулевым спейсером и прямому компоненту второго бифазного выхода RS-триггера, два входа второй группы входов И первого элемента И-ИЛИ-НЕ подключены к инверсному компоненту второго бифазного выхода RS-триггера и инверсному компоненту второго парафазного информационного входа с нулевым спейсером, два входа первой группы входов И второго элемента И-ИЛИ-НЕ подключены к прямому компоненту первого парафазного информационного входа с нулевым спейсером и прямому компоненту первого бифазного выхода RS-триггера, два входа второй группы входов И второго элемента И-ИЛИ-НЕ подключены к инверсному компоненту первого бифазного выхода RS-триггера и инверсному компоненту первого парафазного информационного входа с нулевым спейсером, выходы первого и второго элементов И-ИЛИ-НЕ соединены с входами гистерезисного триггера, выход которого подключен к индикаторному выходу RS-триггера.

30

35

40

45



Фиг. 1