



ФЕДЕРАЛЬНАЯ СЛУЖБА  
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ

## (12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

(52) СПК

H03K 3/00 (2018.08); H03K 3/289 (2018.08); H03K 3/3562 (2018.08)

(21)(22) Заявка: 2018141051, 21.11.2018

(24) Дата начала отсчета срока действия патента:  
21.11.2018Дата регистрации:  
02.07.2019

Приоритет(ы):

(22) Дата подачи заявки: 21.11.2018

(45) Опубликовано: 02.07.2019 Бюл. № 19

Адрес для переписки:

119333, Москва, ул. Вавилова, 44, корп. 2,  
Федеральное государственное учреждение  
"Федеральный исследовательский центр  
"Информатика и управление" Российской  
академии наук" (ФИЦ ИУ РАН)

(72) Автор(ы):

Степченко Юрий Афанасьевич (RU),  
Дьяченко Юрий Георгиевич (RU),  
Хилько Дмитрий Владимирович (RU),  
Дьяченко Денис Юрьевич (RU),  
Степченко Дмитрий Юрьевич (RU)

(73) Патентообладатель(и):

Федеральное государственное учреждение  
"Федеральный исследовательский центр  
"Информатика и управление" Российской  
академии наук" (ФИЦ ИУ РАН) (RU)(56) Список документов, цитированных в отчете  
о поиске: RU 2366080 C2, 27.08.2009. RU  
2365031 C1, 20.08.2009. RU 2361359 C1,  
10.07.2009. US 2007/0229133 A1, 04.10.2007.

## (54) САМОСИНХРОННЫЙ ДИНАМИЧЕСКИЙ ДВУХТАКТНЫЙ D-ТРИГГЕР С ЕДИНИЧНЫМ СПЕЙСЕРОМ

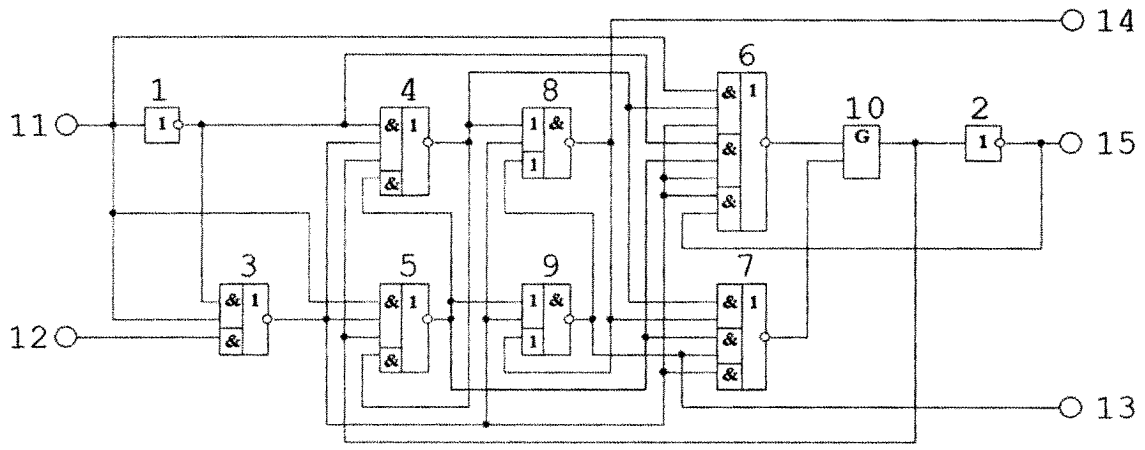
(57) Реферат:

Изобретение относится к импульсной и вычислительной технике и может использоваться при построении самосинхронных триггерных, регистровых и вычислительных устройств, систем цифровой обработки информации. Технический результат заключается в ускорении взаимодействия D-триггера с источником его информационного входа за счет сокращения времени, в течение которого состояние информационного входа D-триггера не должно изменяться после появления низкого уровня на его входе управления. Для этого комбинационный индикаторный выход в самосинхронном двухтактном D-триггере с единичным спейсером преобразуется в последовательностный индикаторный выход (выход с памятью). Это

преобразование реализуется введением дополнительного элемента НЕ между комбинационной частью индикаторного элемента и его внешним выводом и введением двух дополнительных связей. Первая связь обеспечивает подключение комбинационного индикаторного выхода к дополнительным входам первой ступени двухтактного триггера, что гарантирует невосприимчивость триггера к изменению состояния компонентов информационного входа. Вторая связь обеспечивает подключение дополнительного элемента НЕ к дополнительным входам индикаторного элемента, что переводит его из комбинационного класса в последовательностный класс. 4 ил.

RU 2 693 319 C1

RU 2 693 319 C1



Фиг. 1

RU 2693319 C1

RU 2693319 C1



FEDERAL SERVICE  
FOR INTELLECTUAL PROPERTY

(12) **ABSTRACT OF INVENTION**

(52) CPC  
*H03K 3/00 (2018.08); H03K 3/289 (2018.08); H03K 3/3562 (2018.08)*

(21)(22) Application: **2018141051, 21.11.2018**

(24) Effective date for property rights:  
**21.11.2018**

Registration date:  
**02.07.2019**

Priority:

(22) Date of filing: **21.11.2018**

(45) Date of publication: **02.07.2019** Bull. № 19

Mail address:

119333, Moskva, ul. Vavilova, 44, korp. 2,  
Federalnoe gosudarstvennoe uchrezhdenie  
"Federalnyj issledovatel'skij tsentr "Informatika i  
upravlenie" Rossijskoj akademii nauk" (FITS  
IU RAN)

(72) Inventor(s):

**Stepchenkov Yuriy Afanasevich (RU),  
Dyachenko Yuriy Georgievich (RU),  
Khilko Dmitrij Vladimirovich (RU),  
Dyachenko Denis Yurevich (RU),  
Stepchenkov Dmitrij Yurevich (RU)**

(73) Proprietor(s):

**Federalnoe gosudarstvennoe uchrezhdenie  
"Federalnyj issledovatel'skij tsentr "Informatika  
i upravlenie" Rossijskoj akademii nauk" (FITS  
IU RAN) (RU)**

(54) **SELF-SYNCHRONIZING DYNAMIC TWO-STROKE D FLIP-FLOP WITH A SINGLE SPACER**

(57) Abstract:

FIELD: computer equipment.

SUBSTANCE: invention relates to pulse and computer equipment and can be used in construction of self-synchronizing trigger, register and computing devices, digital information processing systems. Combined indicator output in self-synchronized two-stroke D-flip-flop with single spacer is converted into serial indicator output (output with memory). This conversion is realized by introducing an additional element NOT between the combination part of the indicator element and its external output and introduction of two additional links. First connection provides connection of a combination display output

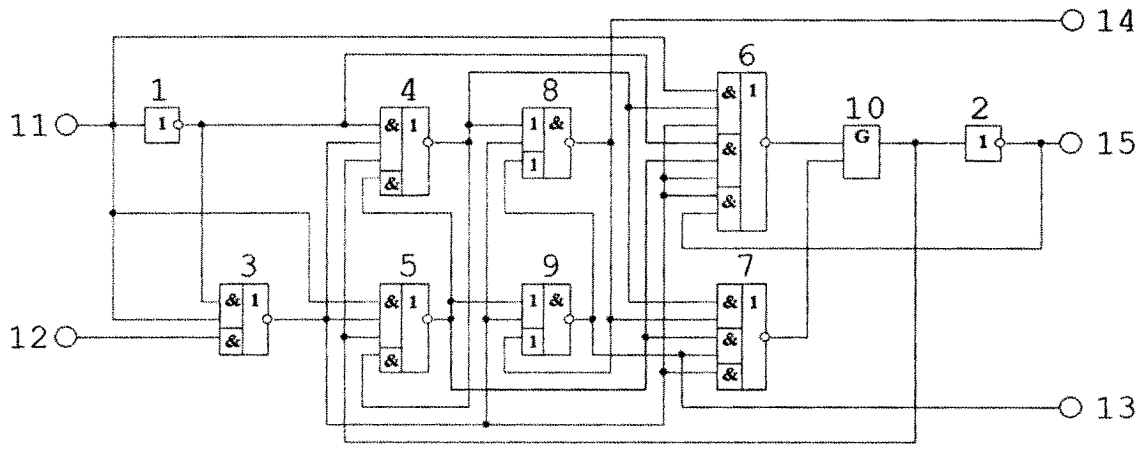
to additional inputs of the first stage of a push-pull trigger, which guarantees non-susceptibility of the flip-flop to change of state of components of the information input. Second link provides connection of the additional element NOT to additional inputs of the indicator element, which transfers it from the combination class to the sequential class.

EFFECT: technical result consists in acceleration of interaction of D-flip-flop with source of its information input due to reduction of time, during which state of information input of D-flip-flop should not change after occurrence of low level at its control input.

1 cl, 4 dwg

RU 2 693 319 C1

RU 2 693 319 C1



Фиг. 1

RU 2693319 C1

RU 2693319 C1

Самосинхронный динамический двухтактный D-триггер с единичным спейсером относится к импульсной и вычислительной технике и может использоваться при построении самосинхронных триггерных, регистровых и вычислительных устройств, систем цифровой обработки информации.

5 Известен динамический асинхронный D-триггер [1], содержащий шесть элементов И-НЕ и обеспечивающий запись информации в триггер и блокирование информационного входа с после прихода активного фронта тактового входа. Недостаток данного устройства - отсутствие средств индикации окончания переходных процессов в элементах триггера.

10 Наиболее близким к предлагаемому решению по технической сущности и поэтому принятым в качестве прототипа является самосинхронный двухтактный D-триггер с высоким активным уровнем сигнала управления [2], в дальнейшем именуемый D-триггером, содержащий один инвертор, четыре элемента И-ИЛИ-НЕ и два элемента ИЛИ-И-НЕ. Триггер обеспечивает запись состояния информационного входа и  
15 переключение в рабочую фазу по высокому уровню входа управления, блокировку информационного входа и переключение в спейсерную фазу низким уровнем входа управления и контроль окончания переходных процессов при переключении в спейсерную и рабочую фазу.

Недостаток прототипа - большая длительность периода времени после появления  
20 низкого уровня на входе управления D-триггера, соответствующая длительности низкого уровня на входе управления, в течение которого состояние информационного входа не должно изменяться во избежание нарушения самосинхронной дисциплины формирования сигналов и взаимодействия самосинхронных устройств.

Задача, решаемая заявляемым изобретением, заключается в ускорении взаимодействия  
25 D-триггера с источником его информационного входа за счет сокращения времени, в течение которого состояние информационного входа D-триггера не должно изменяться после появления низкого уровня на его входе управления. Такое ускорение взаимодействия D-триггера с источником его информационного входа, соответствует требованиям синхронных интерфейсов и обеспечивает возможность использования  
30 предлагаемого самосинхронного D-триггера в синхронном окружении.

Заявленный результат достигается тем, что комбинационный индикаторный выход в самосинхронном двухтактном D-триггере с единичным спейсером (прототипе), преобразуется в последовательностный индикаторный выход (выход с памятью). Это преобразование реализуется введением дополнительного элемента НЕ между  
35 комбинационной частью индикаторного элемента и его внешним выводом и введением двух дополнительных связей. Первая связь обеспечивает подключение комбинационного индикаторного выхода к дополнительным входам первой ступени двухтактного триггера (бистабильной ячейке), что гарантирует невосприимчивость триггера к изменению состояния компонентов информационного входа. Вторая связь обеспечивает  
40 подключение дополнительного элемента НЕ к дополнительным входам индикаторного элемента, что переводит его из комбинационного класса в последовательностный класс и гарантирует невосприимчивость индикаторного выхода к изменению состояния компонентов информационного входа.

Использование обратных связей в асинхронных триггерах известно, например, в T-триггере [3]. Однако использование их в самосинхронном D-триггере с учетом специфики работы самосинхронных устройств позволило достичь эффекта, выраженного целью изобретения. Существенное отличие предлагаемой реализации обратных связей от аналогичных решений в асинхронной схемотехнике заключается в том, что в данном

случае обратные связи используются для предотвращения нежелательного переключения триггера, а не для подготовки его к переключению в противоположное состояние. Это позволяет ускорить блокировку информационного входа триггера после прихода активного уровня сигнала управления, разрешающего запись состояния информационного входа в триггер, и обеспечить ее самосинхронность при использовании дополнительного инвертора, гистерезисного триггера и пятого элемента И-ИЛИ-НЕ, как описано ниже.

Поскольку введенные конструктивные связи в аналогичных технических решениях не известны (не было известно ранее из опубликованных в мире источников информации), устройство может считаться отвечающим критерию новизны. Из уровня техники известны только объекты, которым присущи признаки, обеспечивающие невосприимчивость триггера к изменению состояния компонентов информационного входа и описанные в формуле. Объекты же, обеспечивающие невосприимчивость индикатора окончания переходных процессов к изменению состояния компонентов информационного входа и описанные в формуле не известны, что отвечает критерию новизны изобретения. В тексте заявки описаны все средства и методы, необходимые для реализации решения, как оно представлено в формуле изобретения, что отвечает критерию промышленной применимости.

На Фиг. 1 изображена схема самосинхронного динамического двухтактного D-триггера с единичным спейсером.

Схема D-триггера содержит первый 1 и второй 2 инверторы, пять элементов И-ИЛИ-НЕ 3-7, два элемента ИЛИ-И-НЕ 8-9, гистерезисный триггер 10, информационный вход 11, вход управления 12, прямой информационный выход 13, инверсный информационный выход 14 и индикаторный выход 15, информационный вход И подключен к входу инвертора 1, второму входу первой группы входов И первого элемента И-ИЛИ-НЕ 3, первым входам первых групп входов И третьего 5 и четвертого 6 элементов И-ИЛИ-НЕ, вход управления 12 соединен с входом второй группы входов И первого элемента И-ИЛИ-НЕ 3, выход которого подключен ко вторым входам первых групп входов И второго 4 и третьего 5 элементов И-ИЛИ-НЕ, третьим входам первой и второй групп входов И и первому входу третьей группы входов И четвертого элемента И-ИЛИ-НЕ 6, ко вторым входам первых групп входов ИЛИ первого 8 и второго 9 элементов ИЛИ-И-НЕ и к входу третьей группы входов И пятого элемента И-ИЛИ-НЕ 7, выход первого инвертора 1 подключен к первым входам первых групп входов И первого 3 и второго 4 элементов И-ИЛИ-НЕ и к первому входу второй группы входов И четвертого элемента И-ИЛИ-НЕ 6, выход второго элемента И-ИЛИ-НЕ 4 подключен ко второму входу первой группы входов И четвертого элемента И-ИЛИ-НЕ 6, входу второй группы входов И третьего элемента И-ИЛИ-НЕ 5, первому входу первой группы входов ИЛИ первого элемента ИЛИ-И-НЕ 8 и к первому входу первой группы входов И пятого элемента И-ИЛИ-НЕ 7, выход первого элемента ИЛИ-И-НЕ 8 соединен с входом второй группы входов ИЛИ второго элемента ИЛИ-И-НЕ 9, вторым входом первой группы входов И пятого элемента И-ИЛИ-НЕ 7 и инверсным информационным выходом 14 триггера, выход третьего элемента И-ИЛИ-НЕ 5 соединен со вторым входом второй группы входов И четвертого элемента И-ИЛИ-НЕ 6, первым входом второй группы входов И пятого элемента И-ИЛИ-НЕ 7, входом второй группы входов И второго элемента И-ИЛИ-НЕ 4 и первым входом первой группы входов ИЛИ второго элемента ИЛИ-И-НЕ 9, выход которого соединен с входом второй группы входов ИЛИ первого элемента ИЛИ-И-НЕ 8, вторым входом второй группы входов И пятого элемента И-ИЛИ-НЕ 7 и прямым информационным выходом 13 триггера, выходы

четвертого 6 и пятого 7 элементов И-ИЛИ-НЕ подключены к первому и второму входам гистерезисного триггера 10 соответственно, выход гистерезисного триггера 10 соединен с третьими входами первых групп входов И второго 4 и третьего 5 элементов И-ИЛИ-НЕ и входом второго инвертора 2, выход которого подключен ко второму входу третьей группы входов И четвертого элемента И-ИЛИ-НЕ 6 и индикаторному выходу 15 триггера.

Схема работает следующим образом. Запись состояния однофазного информационного входа 11 в триггер происходит при поступлении низкого (рабочего) уровня на вход управления 12 D-триггера. Окончание записи (завершение переключений всех элементов схемы триггера, инициированных в процессе записи) в бистабильную ячейку памяти на элементах И-ИЛИ-НЕ 4 и 5 фиксируется индикаторной подсхемой на элементах И-ИЛИ-НЕ 6-7 и гистерезисном триггере 10, подтверждающей низким уровнем на выходе гистерезисного триггера 10 соответствие состояния информационного выхода 13-14 триггера состоянию информационного входа 11. Выход гистерезисного триггера 10, переключаясь в состояние логического нуля, обеспечивает блокировку записи однофазного информационного входа 11 в ячейку памяти на элементах 4 и 5. Одновременно переключается в состояние логической единицы инвертор 2, запрещая переключение элемента 6 индикаторной подсхемы из-за возможного переключения информационного входа 11 триггера в состояние, не соответствующее состоянию ячейки памяти на элементах 4 и 5. Выход инвертора 2 формирует индикаторный выход 15, оповещающий подключенные к данному D-триггеру устройства о завершении записи в триггер и разрешающий источнику информационного входа 11 триггера больше не поддерживать текущее состояние информационного входа 11. Источник информационного входа 11 данного D-триггера, получив это уведомление, инициирует переключение сигнала управления 12 триггера в неактивное (спейсерное) состояние логической единицы и одновременно с этим, не дожидаясь ответа от D-триггера, может начать формирование нового значения информационного входа 11. D-триггер принимает состояние логической единицы (спейсерное) входа управления 12 и инициирует переключение элемента 6 индикаторной подсхемы в состояние логической единицы. Одновременно с этим состояние бистабильной ячейки на элементах И-ИЛИ-НЕ 4-5 переписывается в бистабильную ячейку на элементах 8-9. Окончание этой записи фиксируется уровнем логической единицы на выходе элемента И-ИЛИ-НЕ 7. Переключение выходов элементов И-ИЛИ-НЕ 6 - 7 в состояние логической единицы приводит к переключению в это же состояние выхода гистерезисного триггера 10. В результате снимается блокировка записи информационного входа 11 в ячейку памяти на элементах 4 и 5 индикаторной подсхемой (сама блокировка остается, но реализуется уже входом управления 12) и запрещение изменения состояния элемента 6 индикаторной подсхемы из-за несоответствия состояния информационного входа 11 состоянию ячейки памяти на элементах 4 и 5. По окончании переключения инвертора 2 в состояние логического нуля D-триггер готов к записи нового значения информационного входа 11, о чем он уведомляет источник информационного входа 11 низким уровнем индикаторного выхода 15.

Особенности данной схемы по сравнению с прототипом следующие.

Триггер имеет обратные связи, обеспечивающие блокировку информационного входа триггера после записи его состояния в первую бистабильную ячейку триггера и блокировку индикаторной подсхемы до появления высокого уровня на входе управления триггера. Это позволяет источнику информационного входа триггера начать формирование нового значения информационного входа, не дожидаясь переключения

в спейсер (высокий уровень) входа управления триггера, что в прототипе является обязательным условием для соблюдения самосинхронной дисциплины формирования сигналов в самосинхронной схеме.

5 Таким образом, предлагаемое устройство ускоряет взаимодействие D-триггера с источником его информационного входа. Цель изобретения достигнута.

На практике D-триггер часто требует предустановки в определенное состояние перед началом (после включения питания) или в процессе работы схемы.

В качестве примеров рассмотрим реализации самосинхронного динамического двухтактного D-триггера с единичным спейсером с асинхронными установкой и сбросом.

10 На Фиг. 2 представлена реализация самосинхронного динамического двухтактного D-триггера с единичным спейсером с асинхронной установкой. Реализация отличается от реализации на Фиг. 1 тем, что во вторую группу входов И второго элемента И-ИЛИ-НЕ 4 введен второй вход, подключенный к входу асинхронной установки 16.

15 Установка триггера в состояние с высоким уровнем на прямом выходе 13 и низким уровнем на инверсном выходе 14 осуществляется при спейсерном состоянии (состоянии логической единицы) входа управления 12 триггера и происходит следующим образом. При высоком уровне сигнала на входе управления 12 выход элемента И-ИЛИ-НЕ 3 своим низким уровнем блокирует запись информационного входа 11 в бистабильную ячейку на элементах 4 и 5 и поддерживает выход элемента И-ИЛИ-НЕ 6 индикаторной 20 подсхемы в состоянии логической единицы и разрешает запись состояния первой бистабильной ячейки на элементах 4 и 5 во вторую бистабильную ячейку на элементах 8 и 9. Подача в это время низкого уровня на вход асинхронной установки 16 приводит к переключению выхода элемента И-ИЛИ-НЕ 4 в состояние логической единицы, что, в свою очередь, вызывает сначала переключение элемента И-ИЛИ-НЕ 5 в состояние 25 логического нуля, затем элемента ИЛИ-И-НЕ 9 и, соответственно, прямого информационного выхода 13 триггера, в состояние логической единицы и, наконец, элемента ИЛИ-И-НЕ 8 и, соответственно, инверсного информационного выхода 14 триггера в состояние логического нуля. Установка триггера завершена.

30 На Фиг. 3 представлена реализация самосинхронного динамического двухтактного D-триггера с единичным спейсером с асинхронным сбросом. Реализация отличается от реализации на Фиг. 1 тем, что во вторую группу входов И третьего элемента И-ИЛИ-НЕ 5 введен второй вход, подключенный к входу асинхронного сброса 17.

35 Сброс триггера в состояние с низким уровнем на прямом выходе 13 и высоким уровнем на инверсном выходе 14 осуществляется при спейсерном (логической единицы) состоянии входа управления 12 триггера и происходит следующим образом. При высоком уровне сигнала на входе управления 12 выход элемента И-ИЛИ-НЕ 3 своим низким уровнем блокирует запись информационного входа 11 в бистабильную ячейку на элементах 4 и 5 и поддерживает выход элемента И-ИЛИ-НЕ 6 индикаторной 40 подсхемы в состоянии логической единицы. Подача в это время низкого уровня на вход асинхронного сброса 17 приводит сначала к переключению выхода элемента И-ИЛИ-НЕ 5 в состояние логической единицы, затем к переключению элемента И-ИЛИ-НЕ 4 в состояние логического нуля, потом элемента ИЛИ-И-НЕ 8 и инверсного информационного выхода 14 триггера в состояние логической единицы и, наконец, элемента ИЛИ-И-НЕ 9 и прямого информационного выхода 13 в состояние логического 45 нуля. Сброс триггера завершен.

На Фиг. 4 представлена реализация самосинхронного динамического двухтактного D-триггера с единичным спейсером с асинхронными сбросом и установкой. Реализация отличается от реализации на Фиг. 1 тем, что во вторые группы входов И второго 4 и



третьего 5 элементов И-ИЛИ-НЕ введены вторые входы, подключенные к входам асинхронной установки 16 и асинхронного сброса 17 соответственно. Сброс и установка D-триггера выполняется при спейсерном состоянии (состоянии логической единицы) входа управления 12 в соответствии с рассмотренными выше процедурами установки и сброса вариантов триггера, представленных на Фиг. 2 и 3.

Гистерезисный триггер с двумя входами I0 и I1 реализует функцию:

$$Y^+ = I0 * I1 + Y * (I0 + I1),$$

где Y - текущее значение выхода; Y<sup>+</sup> - будущее значение выхода. Его схемотехническая реализация может быть представлена в виде совокупности двух логических элементов [4] или принципиальной схемой на КМОП транзисторах в виде статического или полустатического С-элемента [5, Fig. 2].

Источники

[1] Титце У., Шенк К. Полупроводниковая схемотехника: Справочное руководство. Пер. с нем. М.: Мир, 1982. - 512 с, рис. 9.34.

[2] Степченков Ю.А., Дьяченко Ю.Г., Рождественские А.В., Морозов Н.В., Петрухин В.С. Самосинхронный двухтактный D-триггер с высоким активным уровнем сигнала управления / Патент на изобретение №2366080. Оpubл. в Б.И., 2009, №24. - 9 с.

[3] Угрюмов Е.П. Цифровая схемотехника. - СПб.: БХВ - Санкт-Петербург, 2000. 528 с.

ISBN 5-8206-0100-9, рис. 3.7(6).

[4] Автоматное управление асинхронными процессами в ЭВМ и дискретных системах. / Под. ред. В.И. Варшавского. - М.: Наука, 1986, с. 79.

[5] A. Morgenshtein, M. Moreinis, and R. Ginosar. Asynchronous Gate-Diffusion-Input (GDI) Circuits / IEEE Transactions On Very Large Scale Integration (VLSI) Systems, Vol. 12, NO. 8, August 2004, pp. 847-856.

#### (57) Формула изобретения

Самосинхронный динамический двухтактный D-триггер с единичным спейсером, содержащий инвертор, четыре элемента И-ИЛИ-НЕ, два элемента ИЛИ-И-НЕ, информационный вход, вход управления, прямой и инверсный информационные выходы и индикаторный выход, информационный вход подключен к входу инвертора, второму входу первой группы входов И первого элемента И-ИЛИ-НЕ, первому входу первой группы входов И третьего элемента И-ИЛИ-НЕ и первому входу первой группы входов И четвертого элемента И-ИЛИ-НЕ, вход управления соединен с входом второй группы входов И первого элемента И-ИЛИ-НЕ, выход которого подключен ко вторым входам первых групп входов И второго и третьего элементов И-ИЛИ-НЕ, третьим входам первой и второй групп входов И четвертого элемента И-ИЛИ-НЕ и ко вторым входам первых групп входов ИЛИ первого и второго элементов ИЛИ-И-НЕ, выход инвертора подключен к первым входам первых групп входов И первого и второго элементов И-ИЛИ-НЕ и к первому входу второй группы входов И четвертого элемента И-ИЛИ-НЕ, выход второго элемента И-ИЛИ-НЕ подключен ко второму входу первой группы входов И четвертого элемента И-ИЛИ-НЕ, входу второй группы входов И третьего элемента И-ИЛИ-НЕ и первому входу первой группы входов ИЛИ первого элемента ИЛИ-И-НЕ, выход первого элемента ИЛИ-И-НЕ соединен со входом второй группы входов ИЛИ второго элемента ИЛИ-И-НЕ и инверсным информационным выходом триггера, выход третьего элемента И-ИЛИ-НЕ соединен со вторым входом второй группы входов И четвертого элемента И-ИЛИ-НЕ, входом второй группы входов И второго элемента И-ИЛИ-НЕ и первым входом первой группы входов ИЛИ второго

элемента ИЛИ-И-НЕ, выход второго элемента ИЛИ-И-НЕ соединен с входом второй группы входов ИЛИ первого элемента ИЛИ-И-НЕ и прямым информационным выходом триггера, отличающийся тем, что в схему введены второй инвертор, гистерезисный триггер, пятый элемент И-ИЛИ-НЕ, третья группа входов И в четвертый элемент И-ИЛИ-НЕ и третьи входы в первые группы входов И второго и третьего элементов И-ИЛИ-НЕ, причем третьи входы первых групп входов И второго и третьего элементов И-ИЛИ-НЕ соединены с выходом гистерезисного триггера и входом второго инвертора, выход которого подключен ко второму входу третьей группы входов И четвертого элемента И-ИЛИ-НЕ и индикаторному выходу триггера, первый и второй входы гистерезисного триггера соединены с выходами четвертого и пятого элементов И-ИЛИ-НЕ соответственно, первый вход третьей группы входов И четвертого элемента И-ИЛИ-НЕ подключен к выходу первого элемента И-ИЛИ-НЕ, первый и второй входы первой группы входов И пятого элемента И-ИЛИ-НЕ соединены с выходами второго элемента И-ИЛИ-НЕ и первого элемента ИЛИ-И-НЕ соответственно, первый и второй входы второй группы входов И пятого элемента И-ИЛИ-НЕ соединены с выходами третьего элемента И-ИЛИ-НЕ и второго элемента ИЛИ-И-НЕ соответственно, вход третьей группы входов И пятого элемента И-ИЛИ-НЕ подключен к выходу первого элемента И-ИЛИ-НЕ.

20

25

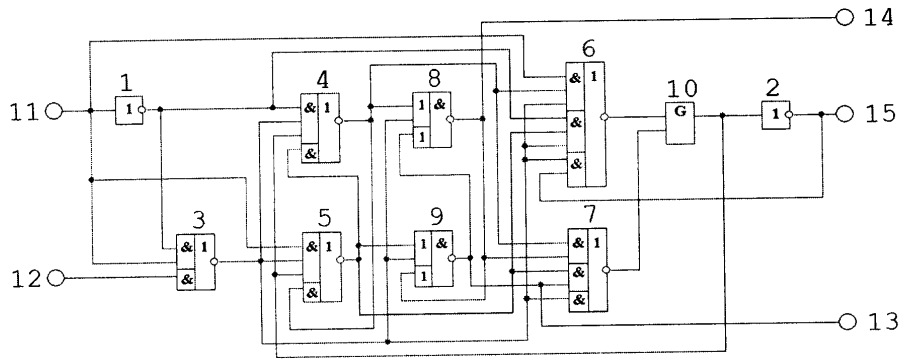
30

35

40

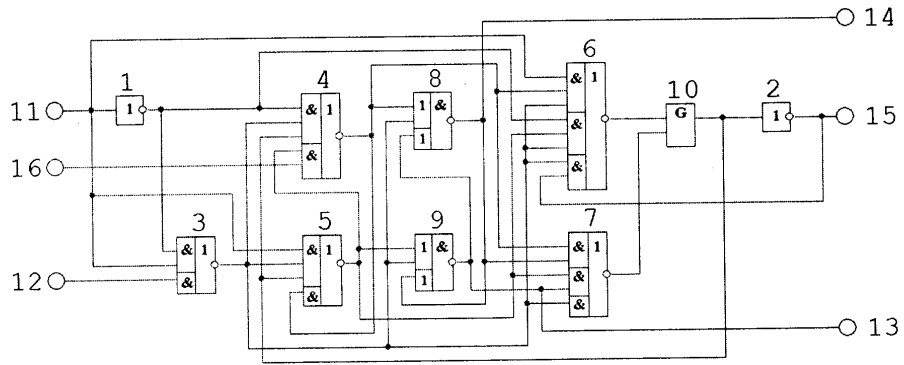
45

1

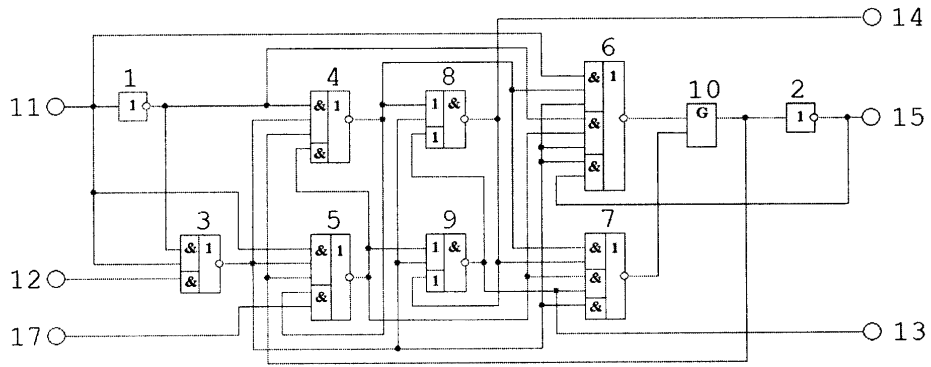


Фиг. 1.

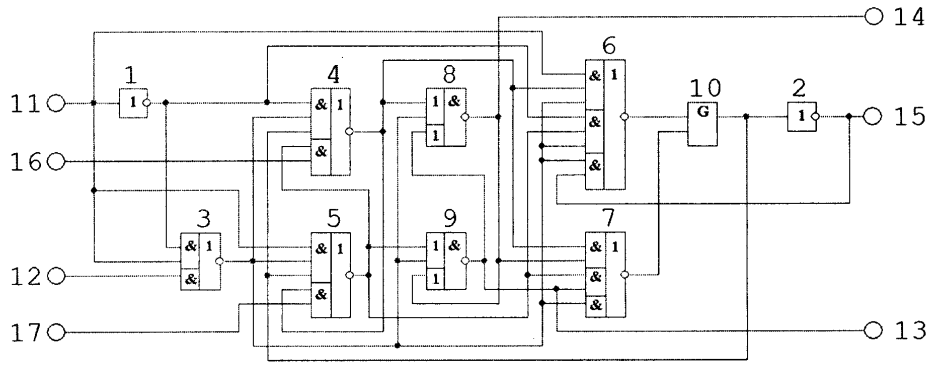
2



Фиг. 2.



Фиг. 3.



Фиг. 4.