



ФЕДЕРАЛЬНАЯ СЛУЖБА  
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ

## (12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

(52) СПК

G06F 7/38 (2006.01); G06F 7/50 (2006.01); H03K 19/173 (2006.01)

(21)(22) Заявка: 2017144100, 15.12.2017

(24) Дата начала отсчета срока действия патента:  
15.12.2017Дата регистрации:  
12.09.2018

Приоритет(ы):

(22) Дата подачи заявки: 15.12.2017

(45) Опубликовано: 12.09.2018 Бюл. № 26

Адрес для переписки:

119333, Москва, ул. Вавилова, 44, корп. 2,  
Федеральное государственное учреждение  
"Федеральный исследовательский центр  
"Информатика и управление" Российской  
академии наук" (ФИЦ ИУ РАН)

(72) Автор(ы):

Рожественский Юрий Владимирович (RU),  
Степченков Юрий Афанасьевич (RU),  
Дьяченко Юрий Георгиевич (RU)

(73) Патентообладатель(и):

Федеральное государственное учреждение  
"Федеральный исследовательский центр  
"Информатика и управление" Российской  
академии наук" (ФИЦ ИУ РАН) (RU)

(56) Список документов, цитированных в отчете

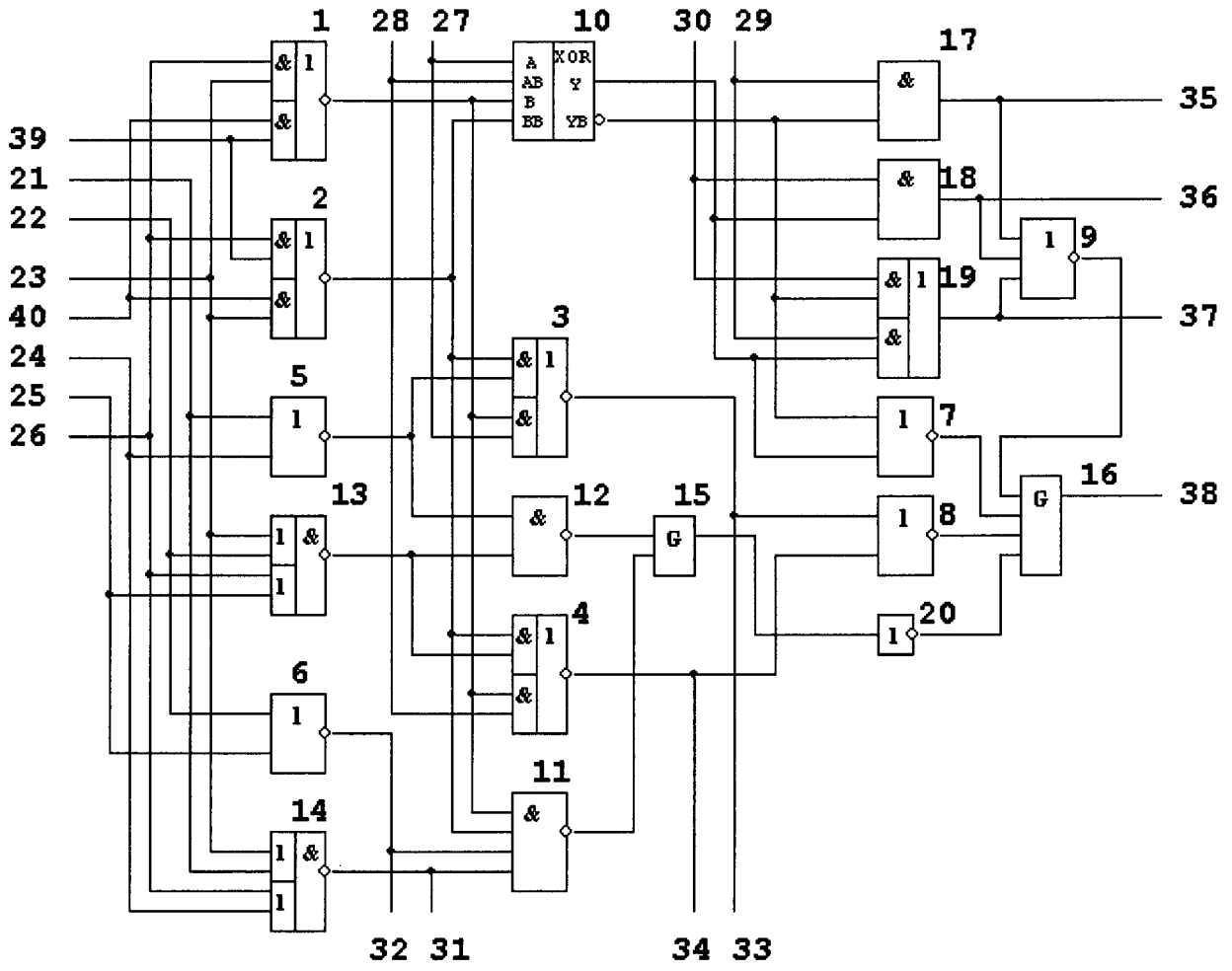
о поиске: RU 2574818 C1, 10.02.2016. RU  
2616887 C1, 18.04.2017. SU 1137461 A1,  
30.01.1985. SU 1615703 A1, 23.12.1990. US  
7274211 B1, 25.09.2007. US 8482312 B1,  
09.07.2013.

## (54) САМОСИНХРОННЫЙ ОДНОРАЗРЯДНЫЙ ТРОИЧНЫЙ СУММАТОР

(57) Реферат:

Изобретение относится к импульсной и вычислительной технике и может использоваться при построении самосинхронных комбинационных и вычислительных устройств, систем цифровой обработки информации, в первую очередь - в качестве элементов первого каскада дерева Уоллеса умножителей. Техническим результатом является упрощение

реализации и повышение быстродействия. Устройство содержит четыре элемента И-ИЛИ-НЕ, пять элементов ИЛИ-НЕ, элемент неравнозначности с парафазными входами и выходом, два элемента И-НЕ, два элемента ИЛИ-И-НЕ, два гистерезисных триггера, два элемента И, элемент И-ИЛИ, инвертор. 2 табл., 1 ил.



Фиг. 1

RU 2666890 C1

RU 2666890 C1



FEDERAL SERVICE  
FOR INTELLECTUAL PROPERTY

(51) Int. Cl.  
*G06F 7/38* (2006.01)  
*H03K 19/173* (2006.01)

(12) **ABSTRACT OF INVENTION**

(52) CPC  
*G06F 7/38* (2006.01); *G06F 7/50* (2006.01); *H03K 19/173* (2006.01)

(21)(22) Application: **2017144100**, 15.12.2017

(24) Effective date for property rights:  
15.12.2017

Registration date:  
12.09.2018

Priority:

(22) Date of filing: 15.12.2017

(45) Date of publication: 12.09.2018 Bull. № 26

Mail address:

119333, Moskva, ul. Vavilova, 44, korp. 2,  
Federalnoe gosudarstvennoe uchrezhdenie  
"Federalnyj issledovatel'skij tsentr "Informatika i  
upravlenie "Rossijskoj akademii nauk" (FITS IU  
RAN)

(72) Inventor(s):

**Rozhdestvenskij Yuriy Vladimirovich (RU),  
Stepchenkov Yuriy Afanasevich (RU),  
Dyachenko Yuriy Georgievich (RU)**

(73) Proprietor(s):

**Federalnoe gosudarstvennoe uchrezhdenie  
"Federalnyj issledovatel'skij tsentr "Informatika  
i upravlenie" Rossijskoj akademii nauk" (FITS  
IU RAN) (RU)**

(54) **SELF-SYNCHRONOUS SINGLE-CHARGE TERNARY ADDER**

(57) Abstract:

FIELD: computer equipment.

SUBSTANCE: invention relates to pulse and computer technology and can be used in the construction of self-timed combinational and computing devices, digital information processing systems, primarily as elements of the first stage of the Wallace multipliers tree. Device contains four AND-OR-NOT

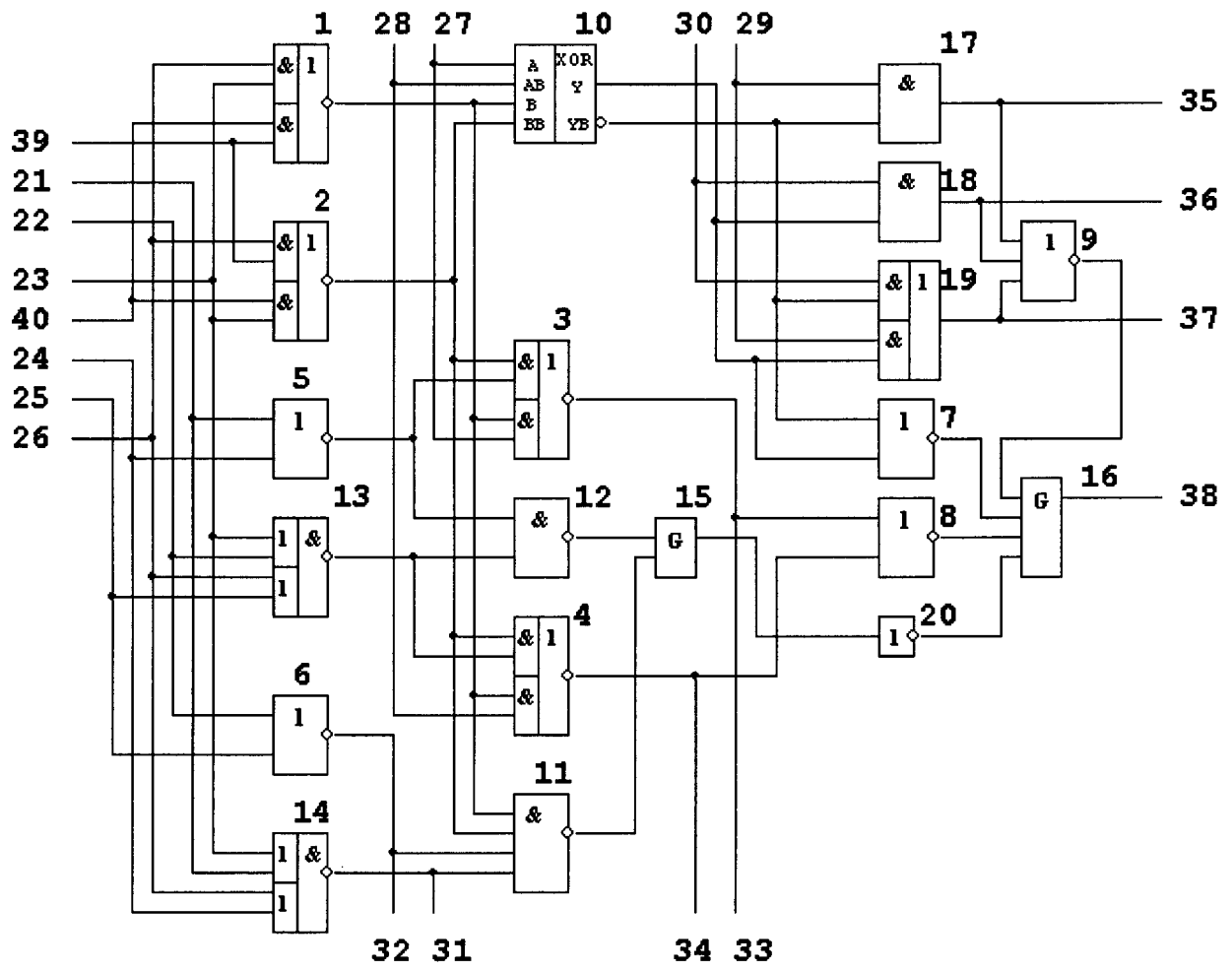
elements, five NOR elements, an element of parity input and output parity, two NAND elements, two OR-AND-NOT elements, two hysteresis flip-flops, two AND elements, an AND-OR element, an inverter.

EFFECT: technical result is simplification of implementation and increase in speed.

1 cl, 2 tbl, 1 dwg

R U 2 6 6 6 8 9 0 C 1

R U 2 6 6 6 8 9 0 C 1



Фиг. 1

RU 2666890 C1

RU 2666890 C1

Самосинхронный одноразрядный троичный сумматор относится к импульсной и вычислительной технике и может использоваться при построении самосинхронных комбинационных и вычислительных устройств, систем цифровой обработки информации, в первую очередь - в качестве элементов первого каскада дерева Уоллеса умножителей.

5 Известен одноразрядный сумматор с избыточным кодированием входов и выходов [1, Fig. 4a], содержащий шесть элементов И-НЕ, два элемента неравнозначности и мультиплексор.

Недостаток известного устройства - невозможность его использования в самосинхронном режиме работы.

10 Наиболее близким к предлагаемому решению по технической сущности и принятым в качестве прототипа является самосинхронный одноразрядный троичный сумматор [2], содержащий два элемента И-НЕ, пять элементов ИЛИ-НЕ, два элемента ИЛИ-И-ИЛИ-НЕ, два элемента ИЛИ-И-НЕ, два элемента И-ИЛИ-НЕ, один элемент неравнозначности, два элемента И, один элемент И-ИЛИ, два гистерезисных триггера и инвертор.

Недостаток прототипа - большая задержка формирования межразрядного переноса и троичной суммы при построении многоразрядного сумматора.

Задача, решаемая в изобретении, заключается в уменьшении задержки формирования межразрядного переноса и суммы троичного сумматора при реализации на нем 20 многоразрядного троичного сумматора и умножителя.

Это достигается тем, что в самосинхронный одноразрядный троичный сумматор, содержащий два элемента И-НЕ, пять элементов ИЛИ-НЕ, два элемента ИЛИ-И-НЕ, два элемента И-ИЛИ-НЕ, один элемент неравнозначности, два элемента И, один элемент И-ИЛИ, два гистерезисных триггера, инвертор, положительные, отрицательные 25 и нулевые компоненты двух троичных слагаемых, первый и второй парафазные входы переноса, первый и второй парафазные выходы переноса, положительный, отрицательный и нулевой компоненты суммы и индикаторный выход, элемент неравнозначности имеет два парафазных входа и один парафазный выход, положительный компонент первого слагаемого подключен ко второму входу первой 30 группы ИЛИ входов второго элемента ИЛИ-И-НЕ и первому входу первого элемента ИЛИ-НЕ, отрицательный компонент первого слагаемого подключен ко второму входу первой группы ИЛИ входов первого элемента ИЛИ-И-НЕ и первому входу второго элемента ИЛИ-НЕ, нулевой компонент первого слагаемого соединен с первыми входами первых групп ИЛИ входов первого и второго элементов ИЛИ-И-НЕ, положительный 35 компонент второго слагаемого подключен ко второму входу первого элемента ИЛИ-НЕ и второму входу второй группы ИЛИ входов второго элемента ИЛИ-И-НЕ, отрицательный компонент второго слагаемого подключен ко второму входу второй группы ИЛИ входов первого элемента ИЛИ-И-НЕ и второму входу второго элемента ИЛИ-НЕ, нулевой компонент второго слагаемого соединен с первыми входами вторых 40 групп ИЛИ входов первого и второго элементов ИЛИ-И-НЕ, прямой и инверсный компоненты первого парафазного входа переноса подключены к первому и второму входам элемента неравнозначности, составляющим первый парафазный вход элемента неравнозначности, и ко вторым входам вторых групп И входов первого и второго элементов И-ИЛИ-НЕ соответственно, третий вход элемента неравнозначности, 45 который вместе с четвертым входом элемента неравнозначности составляет второй парафазный вход элемента неравнозначности, соединен с первым входом первого элемента И-НЕ и первыми входами вторых групп И входов первого и второго элементов И-ИЛИ-НЕ, четвертый вход элемента неравнозначности подключен ко второму входу

первого элемента И-НЕ и первым входам первых групп И входов первого и второго элементов И-ИЛИ-НЕ, выход первого элемента ИЛИ-НЕ соединен со вторым входом первой группы И входов первого элемента И-ИЛИ-НЕ и первым входом второго элемента И-НЕ, выход первого элемента ИЛИ-И-НЕ подключен ко второму входу второго элемента И-НЕ и второму входу первой группы И входов второго элемента И-ИЛИ-НЕ, выход второго элемента ИЛИ-НЕ соединен с третьим входом первого элемента И-НЕ и инверсным компонентом первого парафазного выхода переноса, выход второго элемента ИЛИ-И-НЕ подключен к четвертому входу первого элемента И-НЕ и прямому компоненту первого парафазного выхода переноса, прямой компонент парафазного выхода элемента неравнозначности соединен со вторыми входами второго элемента И, третьего элемента ИЛИ-НЕ и второй группы И входов элемента И-ИЛИ, инверсный компонент парафазного выхода элемента неравнозначности подключен ко второму входу первого элемента И, второму входу первой группы И входов элемента И-ИЛИ и первому входу третьего элемента ИЛИ-НЕ, выходы первого и второго элементов И-НЕ соединены соответственно со вторым и первым входами первого гистерезисного триггера, выход которого соединен с входом инвертора, выход первого элемента И-ИЛИ-НЕ подключен к первому входу четвертого элемента ИЛИ-НЕ и прямому компоненту второго парафазного выхода переноса, выход второго элемента И-ИЛИ-НЕ подключен ко второму входу четвертого элемента ИЛИ-НЕ и инверсному компоненту второго парафазного выхода переноса, прямой компонент второго парафазного входа переноса соединен с первым входом первого элемента И и первым входом второй группы И входов элемента И-ИЛИ, инверсный компонент второго парафазного входа переноса соединен с первым входом второго элемента И и первым входом первой группы И входов элемента И-ИЛИ, выход первого элемента И подключен к первому входу пятого элемента ИЛИ-НЕ и положительному компоненту троичного выхода суммы, выход второго элемента И подключен ко второму входу пятого элемента ИЛИ-НЕ и отрицательному компоненту троичного выхода суммы, выход элемента И-ИЛИ соединен с третьим входом пятого элемента ИЛИ-НЕ и нулевым компонентом троичного выхода суммы, выходы пятого, третьего и четвертого элементов ИЛИ-НЕ подключены к первому, второму и третьему входам второго гистерезисного триггера, четвертый вход которого соединен с выходом инвертора, а выход соединен с индикаторным выходом сумматора, введены третий и четвертый элементы И-ИЛИ-НЕ и два входа инверсии нулевых компонентов троичных слагаемых, причем первые входы первых групп И входов третьего и четвертого элементов И-ИЛИ-НЕ подключены к входу нулевого компонента второго слагаемого, второй вход первой группы И входов третьего элемента И-ИЛИ-НЕ соединен с входом нулевого компонента первого слагаемого и вторым входом второй группы И входов четвертого элемента И-ИЛИ-НЕ, первые входы вторых групп И входов третьего и четвертого элементов И-ИЛИ-НЕ подключены к входу инверсии нулевого компонента второго слагаемого, вторые входы второй группы И входов третьего элемента И-ИЛИ-НЕ и первой группы И входов четвертого элемента И-ИЛИ-НЕ соединены с входом инверсии нулевого компонента первого слагаемого, выходы третьего и четвертого элементов И-ИЛИ-НЕ соединены с третьим и четвертым входами элемента неравнозначности соответственно.

Предлагаемое устройство удовлетворяет критерию "существенные отличия".

Действительно, в прототипе используются более сложные элементы ИЛИ-И-ИЛИ-НЕ, обладающие большей задержкой переключения, чем элементы И-ИЛИ-НЕ, что приводит к большой задержке формирования выходов троичной суммы и второго парафазного переноса. Замена элементов ИЛИ-И-ИЛИ-НЕ более простыми и быстродействующими

элементами И-ИЛИ-НЕ и добавление входов инверсии нулевых компонентов троичных слагаемых позволило достичь эффекта, выраженного целью изобретения.

Поскольку введенные конструктивные связи в аналогичных технических решениях не известны, устройство может считаться имеющим существенные отличия.

5 Понятие "парафазный", используемое в тексте данной заявки, определяется следующим образом. Парафазным считается сигнал, представленный двумя составляющими - парой переменных  $\{X, XB\}$ , которые в активной фазе имеют взаимноинверсные значения:  $\{X=0, XB=1\}$  или  $\{X=1, XB=0\}$ . Переход парафазного сигнала из одного статического рабочего состояния в противоположное рабочее  
10 состояние может осуществляться двумя способами.

Первый способ предполагает использование парафазного сигнала со спейсером: когда переходу в следующее рабочее состояние обязательно предшествует переход в третье статическое состояние - спейсерное (нерабочее состояние или состояние гашения). Если в качестве спейсерного используется состояние  $\{1,1\}$ , то говорят, что используется  
15 парафазный сигнал с единичным спейсером, а если состояние  $\{0,0\}$ , то - парафазный сигнал с нулевым спейсером. Спейсерное состояние - статическое состояние, установка которого в самосинхронной схемотехнике должна фиксироваться индикатором окончания переходного процесса, в данном случае - окончания установки спейсерного состояния.

20 Второй способ предполагает использование парафазного сигнала без спейсера. При этом переход из одного рабочего статического состояния в другое осуществляется через динамическое (кратковременное) состояние:  $\{1,1\}$  или  $\{0,0\}$ , - называемое транзитным состоянием.

В материалах данной заявки речь идет об использовании в качестве первого входа  
25 переноса и первого выхода переноса парафазного сигнала с единичным спейсером и об использовании в качестве второго входа переноса и второго выхода переноса парафазного сигнала с нулевым спейсером.

Самосинхронное кодирование троичного сигнала раскрывается в таблице 1. Здесь Р, N, М - положительный, нулевой и отрицательный компоненты троичного сигнала  
30 соответственно, NB - инверсия нулевого компонента троичного сигнала.

Таблица 1 — Самосинхронное кодирование троичного сигнала

	Р	N	NB	М	Эквивалентное значение
	0	0	0	0	спейсер
35	1	0	1	0	+1
	0	1	0	0	0
	0	0	1	1	-1
	1	1	*	*	запрещено
	1	*	1	*	запрещено
	1	*	*	1	запрещено
40	*	1	1	*	запрещено
	*	1	*	1	запрещено
	*	*	1	1	запрещено

Примечание: символ "\*" означает любое значение компоненты сигнала

На Фиг. 1 представлена схема самосинхронного одноразрядного троичного сумматора, содержащего четыре элемента И-ИЛИ-НЕ 1-4, пять элементов ИЛИ-НЕ  
45 5-9, элемент неравнозначности 10, два элемента И-НЕ 11-12, два элемента ИЛИ-И-НЕ 13-14, два гистерезисных триггера 15-16, два элемента И 17-18, один элемент И-ИЛИ 19, инвертор 20, входы положительного 21, отрицательного 22 и нулевого 23 компонента первого слагаемого, входы положительного 24, отрицательного 25 и нулевого 26

компонента второго слагаемого, прямой 27 и инверсный 28 компоненты первого входа переноса, прямой 29 и инверсный 30 компоненты второго входа переноса, прямой 31 и инверсный 32 компоненты первого выхода переноса, прямой 33 и инверсный 34 компоненты второго выхода переноса, выходы положительного 35, отрицательного 36 и нулевого 37 компонента троичной суммы, индикаторный выход 38, вход инверсии нулевого компонента первого слагаемого 39 и вход инверсии нулевого компонента второго слагаемого 40, причем элемент неравнозначности 10 имеет два парафазных входа и один парафазный выход, вход положительного компонента первого слагаемого 21 подключен ко второму входу первой группы ИЛИ входов элемента ИЛИ-И-НЕ 14 и первому входу элемента ИЛИ-НЕ 5, вход отрицательного компонента первого слагаемого 22 подключен ко второму входу первой группы ИЛИ входов элемента ИЛИ-И-НЕ 13 и первому входу элемента ИЛИ-НЕ 6, вход нулевого компонента первого слагаемого 23 соединен со вторым входом первой группы И входов элемента И-ИЛИ-НЕ 1, вторым входом второй группы входов И элемента И-ИЛИ-НЕ 2 и с первыми входами первых групп ИЛИ входов элементов ИЛИ-И-НЕ 13-14, вход положительного компонента второго слагаемого 24 подключен ко второму входу элемента ИЛИ-НЕ 5 и второму входу второй группы ИЛИ входов элемента ИЛИ-И-НЕ 14, вход отрицательного компонента второго слагаемого 25 подключен ко второму входу второй группы ИЛИ входов элемента ИЛИ-И-НЕ 13 и второму входу элемента ИЛИ-НЕ 6, вход нулевого компонента второго слагаемого 26 соединен с первыми входами первых групп И входов элементов И-ИЛИ-НЕ 1-2 и первыми входами вторых групп ИЛИ входов элементов ИЛИ-И-НЕ 13-14, вход инверсии нулевого компонента первого слагаемого 39 соединен со вторыми входами второй группы И входов элемента И-ИЛИ-НЕ 1 и первой группы И входов элемента И-ИЛИ-НЕ 2, вход инверсии нулевого компонента второго слагаемого 40 подключен к первым входам вторых групп И входов элементов И-ИЛИ-НЕ 1-2, прямой 27 и инверсный 28 компоненты первого входа переноса подключены к первому и второму входам элемента неравнозначности 10 и ко вторым входам вторых групп И входов элементов И-ИЛИ-НЕ 3 и 4 соответственно, выход элемента И-ИЛИ-НЕ 1 соединен с третьим входом элемента неравнозначности 10, с первым входом элемента И-НЕ 11 и с первыми входами вторых групп И входов элементов И-ИЛИ-НЕ 3-4, выход элемента И-ИЛИ-НЕ 2 подключен к четвертому входу элемента неравнозначности 10, второму входу элемента И-НЕ 11 и первым входам первых групп И входов элементов И-ИЛИ-НЕ 3-4, выход элемента ИЛИ-НЕ 5 соединен со вторым входом первой группы И входов элемента И-ИЛИ-НЕ 3 и первым входом элемента И-НЕ 12, выход элемента ИЛИ-И-НЕ 13 подключен ко второму входу элемента И-НЕ 12 и второму входу первой группы И входов элемента И-ИЛИ-НЕ 4, выход элемента ИЛИ-НЕ 6 соединен с третьим входом элемента И-НЕ 11 и инверсным компонентом 32 первого выхода переноса, выход элемента ИЛИ-И-НЕ 14 подключен к четвертому входу первого элемента И-НЕ 11 и прямому компоненту 31 первого выхода переноса, прямой компонент парафазного выхода элемента неравнозначности 10 соединен со вторыми входами элементов И 18 и ИЛИ-НЕ 7 и второй группы И входов элемента И-ИЛИ 19, инверсный компонент парафазного выхода элемента неравнозначности 10 подключен ко второму входу элемента И 17, второму входу первой группы И входов элемента И-ИЛИ 19 и первому входу элемента ИЛИ-НЕ 7, выходы элементов И-НЕ 11 и 12 соединены со вторым и первым входами гистерезисного триггера 15 соответственно, выход которого соединен с входом инвертора 20, выход элемента И-ИЛИ-НЕ 3 подключен к первому входу элемента ИЛИ-НЕ 8 и прямому компоненту 33 второго выхода переноса, выход элемента И-ИЛИ-НЕ 4 подключен ко



второму входу элемента ИЛИ-НЕ 8 и инверсному компоненту 34 второго выхода переноса, прямой компонент 29 второго входа переноса соединен с первым входом элемента И 17 и первым входом второй группы И входов элемента И-ИЛИ 19, инверсный компонент 30 второго входа переноса соединен с первым входом элемента И 18 и первым входом первой группы И входов элемента И-ИЛИ 19, выход элемента И 17 подключен к первому входу элемента ИЛИ-НЕ 9 и выходу положительного компонента 35 троичной суммы, выход элемента И 18 подключен ко второму входу элемента ИЛИ-НЕ 9 и выходу отрицательного компонента 36 троичной суммы, выход элемента И-ИЛИ 19 соединен с третьим входом элемента ИЛИ-НЕ 9 и выходом нулевого компонента 37 троичной суммы, выходы элементов ИЛИ-НЕ 9, 7 и 8 подключены к первому, второму и третьему входам гистерезисного триггера 16 соответственно, четвертый вход которого соединен с выходом инвертора 20, а выход соединен с индикаторным выходом 38 сумматора.

Элемент неравнозначности 10 имеет парафазные входы и выход и выполняет следующие функции:

$$\begin{aligned} Y &= \overline{A * B + AB * \overline{B}}, \\ YB &= \overline{A * \overline{B} + AB * B}, \end{aligned} \quad (1)$$

где {А, АВ} - первый парафазный вход, {В, ВВ} - второй парафазный вход, {Y, YB} - парафазный выход. Входы элемента неравнозначности имеют спейсер, противоположный по отношению к спейсеру его выхода.

Гистерезисный триггер 15 выполняет функцию:

$$Y = I0 * I1 + Y * (I0 + I1), \quad (2)$$

где I0, I1 - входы триггера, Y - выход триггера.

Гистерезисный триггер 16 выполняет функцию:

$$Y = I0 * I1 * I2 * I3 + Y * (I0 + I1 + I2 + I3), \quad (3)$$

где I0-I3 - входы триггера, Y - выход триггера.

Схема работает следующим образом. Аналогично любому другому самосинхронному устройству, данный сумматор постоянно переключается из спейсера в разрешенное рабочее состояние и обратно. Переключение из одного рабочего состояния в другое обязательно происходит через спейсерное состояние всех входов и выходов сумматора. В спейсерной фазе все входы и выходы сумматора находятся в своем спейсере, причем тип спейсера слагаемых, второго входного переноса, суммы и второго выходного переноса - нулевой, а тип спейсера первого входного переноса, первого выходного переноса и индикаторного выхода - единичный. Выход суммы может перейти в рабочее состояние ("100", "010" или "001") только при условии, что все входы сумматора перешли в рабочее состояние. Действительно, если первое слагаемое 21-23 и 39 находится в нулевом спейсере ("0000"), то выходы элементов 1 и 2 находятся в состоянии логической единицы, выходы элемента неравнозначности 10 в соответствии с формулами (1) находятся в состоянии логического нуля, что заставляет и выходы элементов 17-19 находиться в состоянии логического нуля, то есть выход суммы 35-37 находится в нулевом спейсере ("000") независимо от состояния остальных входов сумматора. Если второе слагаемое 24-26 и 40 находится в нулевом спейсере ("0000"), то выходы элементов 1 и 2 находятся в состоянии логической единицы, выходы элемента неравнозначности 10 в соответствии с формулами (1) находятся в состоянии логического нуля, что заставляет и выходы элементов 17-19 находиться в состоянии логического нуля, то есть

выход суммы 35-37 находится в нулевом спейсере независимо от состояния остальных входов сумматора. Если в единичном спейсере ("11") находится первый парафазный вход переноса 27-28, то выходы элемента неравнозначности 10 в соответствии с формулами (1) находятся в состоянии логического нуля независимо от состояния (рабочего или единичного спейсера) элементов 1 и 2, что заставляет и выходы элементов 17-19 находиться в состоянии логического нуля, следовательно, выход суммы 35-37 находится в нулевом спейсере независимо от состояния остальных входов сумматора. Если в нулевом спейсере ("00") находится второй парафазный вход переноса 29-30, то выходы элементов 17-19 находятся также в состоянии логического нуля, следовательно, выход суммы 35-37 находится в нулевом спейсере независимо от состояния остальных входов сумматора.

Состояния выходов сумматора в зависимости от допустимых статических рабочих (отличных от спейсера) комбинаций его входов приведены в таблице 2.

Таблица 2 — Таблица статических рабочих состояний сумматора

№№	Входы												Выходы							
пп.	21	22	23	24	25	26	27	28	29	30	39	40	31	32	33	34	35	36	37	38
1	0	0	1	0	0	1	0	1	0	1	0	0	0	1	0	1	0	0	1	0
2	0	0	1	0	0	1	0	1	1	0	0	0	0	1	0	1	1	0	0	0
3	0	0	1	0	0	1	1	0	0	1	0	0	0	1	0	1	0	1	0	0
4	0	0	1	0	0	1	1	0	1	0	0	0	0	1	0	1	0	0	1	0
5	0	0	1	0	1	0	0	1	0	1	0	1	1	0	1	0	0	1	0	0
6	0	0	1	0	1	0	0	1	1	0	0	1	1	0	1	0	0	0	1	0
7	0	0	1	0	1	0	1	0	0	1	0	1	1	0	0	1	0	0	1	0
8	0	0	1	0	1	0	1	0	1	0	0	1	1	0	0	1	1	0	0	0
9	0	0	1	1	0	0	0	1	0	1	0	1	0	1	1	0	0	1	0	0
10	0	0	1	1	0	0	0	1	1	0	0	1	0	1	1	0	1	0	0	0
11	0	0	1	1	0	0	1	0	0	1	0	1	0	1	0	1	0	0	1	0
12	0	0	1	1	0	0	1	0	1	0	0	1	0	1	0	1	1	0	0	0
13	0	1	0	0	0	1	0	1	0	1	1	0	1	0	1	0	0	1	0	0
14	0	1	0	0	0	1	0	1	1	0	1	0	1	0	1	0	0	0	1	0
15	0	1	0	0	0	1	1	0	0	1	1	0	1	0	0	1	0	0	1	0
16	0	1	0	0	0	1	1	0	1	0	1	0	1	0	0	1	1	0	0	0
17	0	1	0	0	1	0	0	1	0	1	1	1	1	0	0	1	0	0	1	0
18	0	1	0	0	1	0	0	1	1	0	1	1	1	0	0	1	1	0	0	0
19	0	1	0	0	1	0	1	0	0	1	1	1	1	0	0	1	0	1	0	0
20	0	1	0	0	1	0	1	0	1	0	1	1	1	0	0	1	0	0	1	0
21	0	1	0	1	0	0	0	1	0	1	1	1	1	0	1	0	0	0	1	0
22	0	1	0	1	0	0	0	1	1	0	1	1	1	0	1	0	1	0	0	0
23	0	1	0	1	0	0	1	0	0	1	1	1	1	0	1	0	0	1	0	0
24	0	1	0	1	0	0	1	0	1	0	1	1	1	0	1	0	0	0	1	0
25	1	0	0	0	0	1	0	1	0	1	1	0	0	1	1	0	0	1	0	0
26	1	0	0	0	0	1	0	1	1	0	1	0	0	1	1	0	0	0	1	0
27	1	0	0	0	0	1	1	0	0	1	1	0	0	1	0	1	0	0	1	0
28	1	0	0	0	0	1	1	0	1	0	1	0	0	1	0	1	1	0	0	0
29	1	0	0	0	1	0	0	1	0	1	1	1	1	0	1	0	0	0	1	0
30	1	0	0	0	1	0	0	1	1	0	1	1	1	0	1	0	1	0	0	0
31	1	0	0	0	1	0	1	0	0	1	1	1	1	0	1	0	0	1	0	0
32	1	0	0	0	1	0	1	0	1	0	1	1	1	0	1	0	0	0	1	0
33	1	0	0	1	0	0	0	1	0	1	1	1	0	1	1	0	0	0	1	0
34	1	0	0	1	0	0	0	1	1	0	1	1	0	1	1	0	1	0	0	0
35	1	0	0	1	0	0	1	0	0	1	1	1	0	1	1	0	0	1	0	0
36	1	0	0	1	0	0	1	0	1	0	1	1	0	1	1	0	0	0	1	0

Индикаторный выход 38 переключается в состояние логической единицы (спейсер), если все парафазные и троичные выходы и выходы всех элементов схемы переключились в спейсер, и остается в этом состоянии, если хотя бы одно из троичных слагаемых или один из входов переноса находится в спейсере. Индикаторный выход 38 переключается в состояние логического нуля (рабочее), если все выходы сумматора и выходы элементов схемы закончили переключение в рабочее состояние.

Особенности данной схемы по сравнению с прототипом следующие.

За счет введения входов 39 и 40 инверсии нулевых компонентов первого и второго троичных слагаемых соответственно, элементы 1 и 2 схемы сумматора сделаны более простыми и быстродействующими. Это обеспечивает упрощение схемы самосинхронного сумматора, повышение его надежности и ускорение формирования выхода второго парафазного сигнала межразрядного переноса и троичной суммы.

Таким образом, предлагаемое устройство обеспечивает уменьшение задержки формирования межразрядного переноса и суммы троичного сумматора при реализации на нем многоразрядного троичного сумматора и умножителя. Цель изобретения достигнута.

Источники

[1] Makino H., Nakase Y., Suzuki H., Morinaka H., Shinohara H., and Mashiko K. An 8.8 ns 54x54 bit Multiplier with High Speed Redundant Binary Architecture / IEEE Journal of Solid-State Circuits, vol. 31, no. 6, June 1996. - pp. 773-783.

[2] Пат. 2574818 Российская Федерация, МПК H03K 3/00. Самосинхронный одноразрядный троичный сумматор. Рождественский Юрий Владимирович, Степченков Юрий Афанасьевич, Бобков Сергей Геннадьевич, Дьяченко Юрий Георгиевич; заявитель и патентообладатель Федеральное государственное учреждение "Федеральный исследовательский центр "Информатика и управление" Российской академии наук" (ФИЦ ИУ РАН). - №2014141554/08; опубл. 10.02.16, Бюл. №4. - 14 с.

#### (57) Формула изобретения

Самосинхронный одноразрядный троичный сумматор, содержащий два элемента И-НЕ, пять элементов ИЛИ-НЕ, два элемента ИЛИ-И-НЕ, два элемента И-ИЛИ-НЕ, один элемент неравнозначности, два элемента И, один элемент И-ИЛИ, два гистерезисных триггера, инвертор, положительные, отрицательные и нулевые компоненты двух троичных слагаемых, первый и второй парафазные входы переноса, первый и второй парафазные выходы переноса, положительный, отрицательный и нулевой компоненты суммы и индикаторный выход, причем элемент неравнозначности имеет два парафазных входа и один парафазный выход, положительный компонент первого слагаемого подключен ко второму входу первой группы ИЛИ входов второго элемента ИЛИ-И-НЕ и первому входу первого элемента ИЛИ-НЕ, отрицательный компонент первого слагаемого подключен ко второму входу первой группы ИЛИ входов первого элемента ИЛИ-И-НЕ и первому входу второго элемента ИЛИ-НЕ, нулевой компонент первого слагаемого соединен с первыми входами первых групп ИЛИ входов первого и второго элементов ИЛИ-И-НЕ, положительный компонент второго слагаемого подключен ко второму входу первого элемента ИЛИ-НЕ и второму входу второй группы ИЛИ входов второго элемента ИЛИ-И-НЕ, отрицательный компонент второго слагаемого подключен ко второму входу второй группы ИЛИ входов первого элемента ИЛИ-И-НЕ и второму входу второго элемента ИЛИ-НЕ, нулевой компонент второго слагаемого соединен с первыми входами вторых групп ИЛИ входов первого и второго элементов ИЛИ-И-НЕ, прямой и инверсный компоненты

первого входа переноса подключены соответственно к первому и второму входам элемента неравнозначности, составляющим первый парафазный вход элемента неравнозначности, и ко вторым входам вторых групп И входов первого и второго элементов И-ИЛИ-НЕ, третий вход элемента неравнозначности, который вместе с четвертым входом элемента неравнозначности составляет второй парафазный вход элемента неравнозначности, соединен с первым входом первого элемента И-НЕ и первыми входами вторых групп И входов первого и второго элементов И-ИЛИ-НЕ, четвертый вход элемента неравнозначности подключен ко второму входу первого элемента И-НЕ и первым входам первых групп И входов первого и второго элементов И-ИЛИ-НЕ, выход первого элемента ИЛИ-НЕ соединен со вторым входом первой группы И входов первого элемента И-ИЛИ-НЕ и первым входом второго элемента И-НЕ, выход первого элемента ИЛИ-И-НЕ подключен ко второму входу второго элемента И-НЕ и второму входу первой группы И входов второго элемента И-ИЛИ-НЕ, выход второго элемента ИЛИ-НЕ соединен с третьим входом первого элемента И-НЕ и инверсным компонентом первого парафазного выхода переноса, выход второго элемента ИЛИ-И-НЕ подключен к четвертому входу первого элемента И-НЕ и прямому компоненту первого парафазного выхода переноса, прямой компонент парафазного выхода элемента неравнозначности соединен со вторыми входами второго элемента И, третьего элемента ИЛИ-НЕ и второй группы И входов элемента И-ИЛИ, инверсный компонент парафазного выхода элемента неравнозначности подключен ко второму входу первого элемента И, второму входу первой группы И входов элемента И-ИЛИ и первому входу третьего элемента ИЛИ-НЕ, выходы первого и второго элементов И-НЕ соединены со вторым и первым входами первого гистерезисного триггера соответственно, выход которого соединен с входом инвертора, выход первого элемента И-ИЛИ-НЕ подключен к первому входу четвертого элемента ИЛИ-НЕ и прямому компоненту второго парафазного выхода переноса, выход второго элемента И-ИЛИ-НЕ подключен ко второму входу четвертого элемента ИЛИ-НЕ и инверсному компоненту второго парафазного выхода переноса, прямой компонент второго парафазного входа переноса соединен с первым входом первого элемента И и первым входом второй группы И входов элемента И-ИЛИ, инверсный компонент второго парафазного входа переноса соединен с первым входом второго элемента И и первым входом первой группы И входов элемента И-ИЛИ, выход первого элемента И подключен к первому входу пятого элемента ИЛИ-НЕ и положительному компоненту троичного выхода суммы, выход второго элемента И подключен ко второму входу пятого элемента ИЛИ-НЕ и отрицательному компоненту троичного выхода суммы, выход элемента И-ИЛИ соединен с третьим входом пятого элемента ИЛИ-НЕ и нулевым компонентом троичного выхода суммы, выходы пятого, третьего и четвертого элементов ИЛИ-НЕ подключены к первому, второму и третьему входам второго гистерезисного триггера, четвертый вход которого соединен с выходом инвертора, а выход соединен с индикаторным выходом сумматора, отличающийся тем, что в схему введены третий и четвертый элементы И-ИЛИ-НЕ и два входа инверсии нулевых компонентов троичных слагаемых, причем первые входы первых групп И входов третьего и четвертого элементов И-ИЛИ-НЕ подключены к входу нулевого компонента второго слагаемого, второй вход первой группы И входов третьего элемента И-ИЛИ-НЕ соединен с входом нулевого компонента первого слагаемого и вторым входом второй группы И входов четвертого элемента И-ИЛИ-НЕ, первые входы вторых групп И входов третьего и четвертого элементов И-ИЛИ-НЕ подключены к входу инверсии нулевого компонента второго слагаемого, вторые входы второй группы И входов

третьего элемента И-ИЛИ-НЕ и первой группы И входов четвертого элемента И-ИЛИ-НЕ соединены с входом инверсии нулевого компонента первого слагаемого, выходы третьего и четвертого элементов И-ИЛИ-НЕ соединены с третьим и четвертым входами элемента неравнозначности соответственно.

5

10

15

20

25

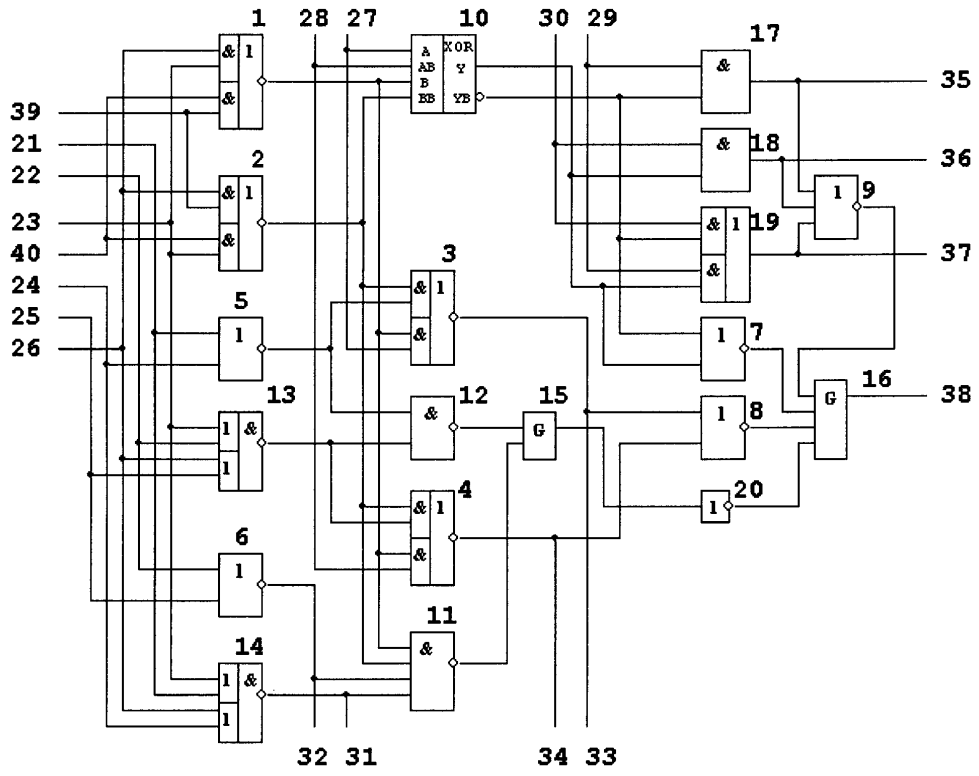
30

35

40

45

Самосинхронный одноразрядный троичный сумматор



Фиг. 1