



**ФЕДЕРАЛЬНАЯ СЛУЖБА
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ**

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

(21)(22) Заявка: 2015128501, 14.07.2015

(24) Дата начала отсчета срока действия патента:
14.07.2015Дата регистрации:
18.04.2017

Приоритет(ы):

(22) Дата подачи заявки: 14.07.2015

(43) Дата публикации заявки: 18.01.2017 Бюл. № 2

(45) Опубликовано: 18.04.2017 Бюл. № 11

Адрес для переписки:

119333, Москва, ул. Вавилова, 44, корп. 2,
Федеральное государственное учреждение
"Федеральный исследовательский центр
"Информатика и управление" Российской
академии наук" (ФИЦ ИУ РАН)

(72) Автор(ы):

Тюрин Сергей Феофентович (RU),
Каменских Антон Николаевич (RU),
Степченко Юрий Афанасьевич (RU),
Дьяченко Юрий Георгиевич (RU)

(73) Патентообладатель(и):

Федеральное государственное учреждение
"Федеральный исследовательский центр
"Информатика и управление" Российской
академии наук" (ФИЦ ИУ РАН) (RU)

(56) Список документов, цитированных в отчете
о поиске: RU 2371842 C2, 27.10.2009. RU
2366081 C1, 27.08.2009. RU 2368068 C2,
20.09.2009. US 20130016445 A1, 17.01.2013. US
7019574 B2, 28.03.2006. US 20130229223 A1,
05.09.2013. US 20090289671 A1, 26.11.2009.**(54) ГИСТЕРЕЗИСНЫЙ ТРИГГЕР**

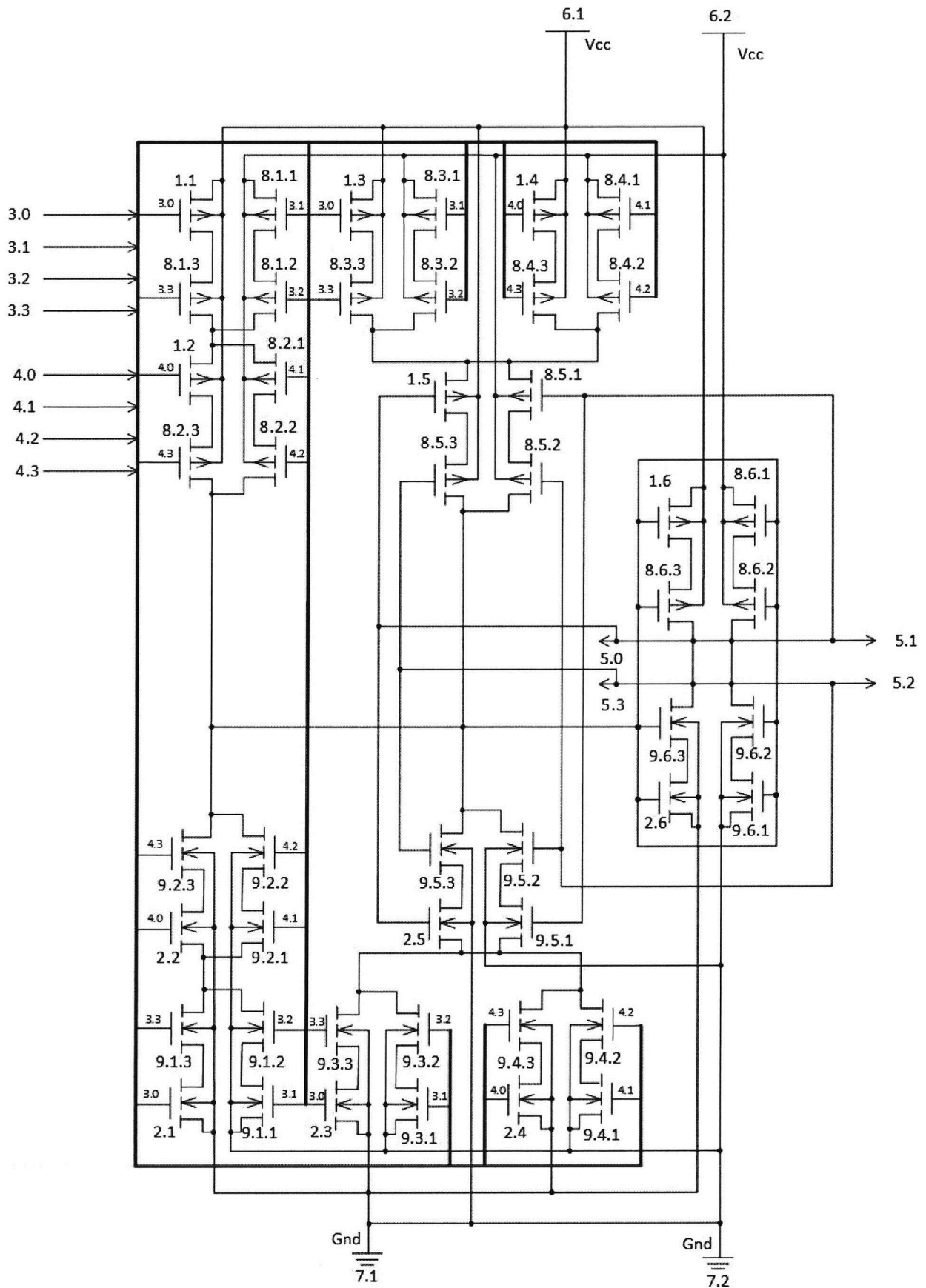
(57) Реферат:

Изобретение относится к области автоматики и вычислительной техники. Технический результат - повышение надежности гистерезисного триггера, используемого в самосинхронных схемах для построения индикатора окончания в них переходных процессов за счет реализации отказо- и сбоеустойчивости; относительно отказов и сбоев транзисторов; относительно обрывов проводов входов-выходов; относительно отказов источника питания, а также за счет интегрированной отказо- и сбоеустойчивость относительно отказов и сбоев транзисторов, обрывов проводов входов-выходов и отказов

источника питания. Поставленная цель достигается тем, что гистерезисный триггер содержит группы из транзисторов р-проводимости, группы из транзисторов n-проводимости, вход подключения шины «+» питания, вход подключения шины «Ноль вольт», резервный вход для подключения шины питания «+», резервный вход для подключения шины «Ноль вольт», три резервных входа для первого входа триггера и три резервных входа для второго входа триггера, три резервных выхода триггера. 4 н.п. ф-лы, 1 табл., 20 ил.

RU
2 616 874
C 2

RU
2 616 874
C 2



Фиг. 4



FEDERAL SERVICE
FOR INTELLECTUAL PROPERTY

(51) Int. Cl.
G06F 11/00 (2006.01)
H03K 3/353 (2006.01)

(12) **ABSTRACT OF INVENTION**

(21)(22) Application: **2015128501, 14.07.2015**

(24) Effective date for property rights:
14.07.2015

Registration date:
18.04.2017

Priority:

(22) Date of filing: **14.07.2015**

(43) Application published: **18.01.2017 Bull. № 2**

(45) Date of publication: **18.04.2017 Bull. № 11**

Mail address:

119333, Moskva, ul. Vavilova, 44, korp. 2, Federalnoe gosudarstvennoe uchrezhdenie "Federalnyj issledovatelskij tsentr "Informatika i upravlenie" Rossijskoj akademii nauk" (FITS IU RAN)

(72) Inventor(s):

**Tyurin Sergej Feofentovich (RU),
Kamenskikh Anton Nikolaevich (RU),
Stepchenkov Yuriy Afanasevich (RU),
Dyachenko Yuriy Georgievich (RU)**

(73) Proprietor(s):

**Federalnoe gosudarstvennoe uchrezhdenie
"Federalnyj issledovatelskij tsentr "Informatika
i upravlenie" Rossijskoj akademii nauk" (FITS
IU RAN) (RU)**

(54) **HYSTERETIC TRIGGER**

(57) Abstract:

FIELD: electricity.

SUBSTANCE: hysteresis trigger contains groups of p-conduction transistors, n-conduction transistors, a supply "+" bus connection input, a zero-volt bus connection input, a backup input for connecting the "+" supply bus, a backup zero-volt bus connection input, three backup inputs for the first input of the trigger and three backup inputs for the second input of the trigger, three trigger backup inputs.

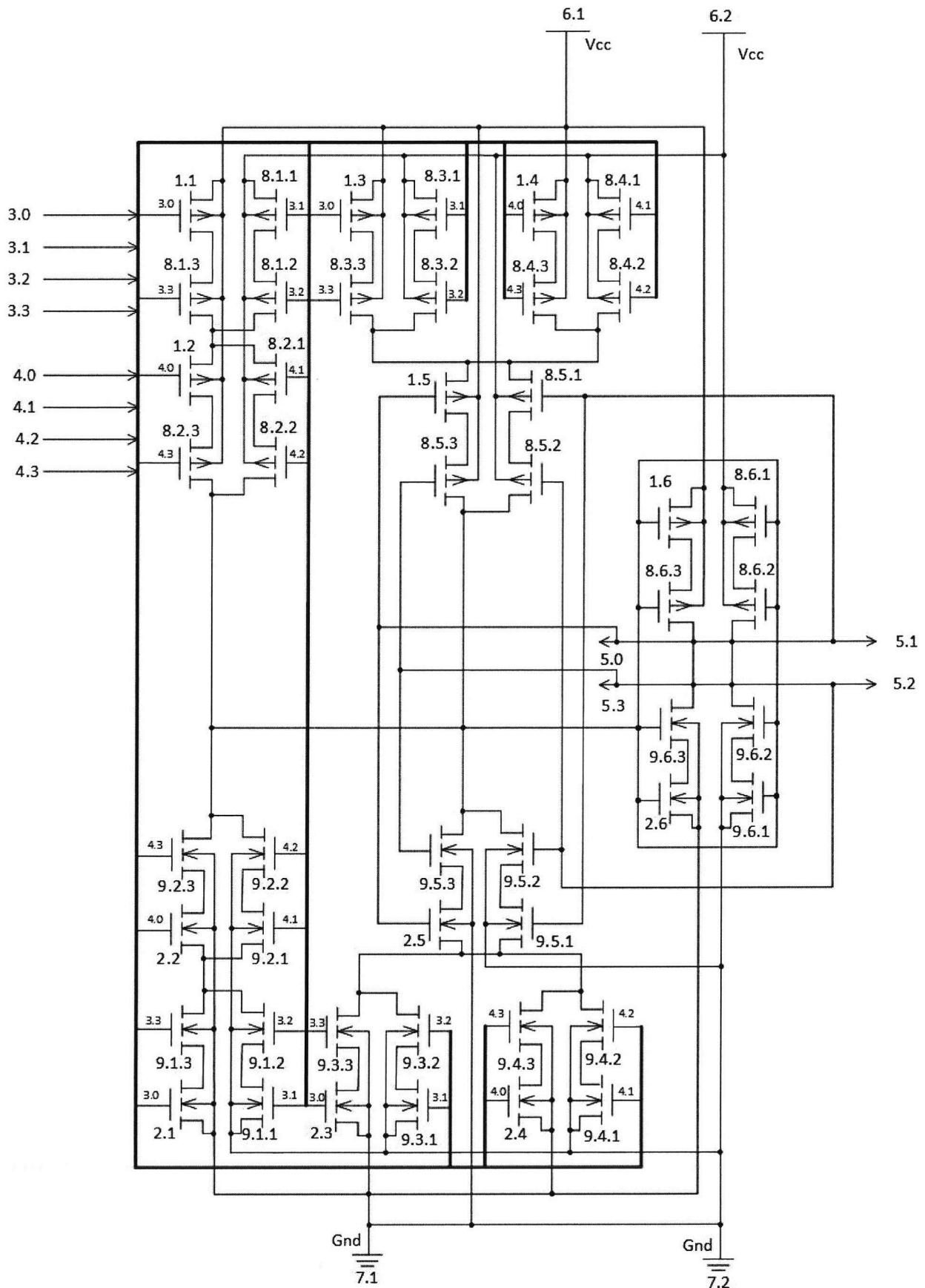
EFFECT: increased reliability of the hysteretic

trigger used in self-timed circuits to build an indicator of the transients termination in them due to fail-operational capability and fault tolerance; regarding the failures and malfunctions of transistors; regarding the breaks of the input-output wires; regarding power supply failures, and also due to integrated fail-operational capability and fault tolerance regarding failures and malfunctions of transistors, I/O wire breaks and power supply failures.

4 cl, 1 tbl, 20 dwg

**C 2
4
7
8
9
1
6
2
R U**

**R U
2
6
1
6
8
7
4
C 2**



Фиг. 4

Изобретение относится к области автоматики и вычислительной техники и может быть использовано при построении отказо- и сбоеустойчивых, радиационностойких самосинхронных схем.

Известен С-элемент Маллера, функциональный аналог гистерезисного триггера, содержащий три элемента два инвертера и цепи подключения шины «+» питания и шины «Ноль вольт» [1].

Недостатком такого устройства является низкая отказо- и сбоеустойчивость в условиях радиации.

Наиболее близким устройством того же назначения к заявленному изобретению по совокупности признаков и принятым в качестве прототипа является гистерезисный триггер [2], в котором вместо 'слабых' транзисторов, используемых в С-элементе Маллера используются только традиционные, 'сильные' транзисторы, что повышает его сбоеустойчивость по сравнению с аналогом.

Недостатком прототипа, является низкая надежность относительно отказов и сбоев транзисторов, отказов источника питания и обрывов входов-выходов. Технические средства прототипа теряют работоспособность при необратимых отказах, либо сбое хотя бы одного любого транзистора, отказах или сбоях источника питания, а также обрыве входов-выходов.

Первой задачей изобретения является повышение надежности относительно отказов и сбоев транзисторов.

Эта задача достигается тем, что в гистерезисный триггер (см. фиг. 1), содержащий группу (1) из шести транзисторов р-проводимости - первого (1.1), второго (1.2), третьего (1.3), четвертого (1.4), пятого (1.5) и шестого (1.6), группу (2) из шести транзисторов n-проводимости - первого (2.1), второго (2.2), третьего (2.3), четвертого (2.4), пятого (2.5) и шестого (2.6), вход подключения шины «+» питания (6.1), вход подключения шины «Ноль вольт» (7.1), первый (3.0) и второй (4.0) входы триггера, выход триггера (5.0), причем первый вход триггера (3.0) подключен к затворам первого (1.1) и третьего (1.3) транзисторов группы (1) из шести транзисторов р-проводимости и к затворам первого (2.1) и третьего (2.3) транзисторов группы (2) из шести транзисторов n-проводимости, истоки первого (1.1), третьего (1.3), четвертого (1.4) и шестого (1.6) транзисторов группы (1) из шести транзисторов р-проводимости подключены к входу подключения шины «+» (6.1), подложки первого (1.1), второго (1.2), третьего (1.3), четвертого (1.4), пятого (1.5) и шестого (1.6) транзисторов группы (1) из шести транзисторов р-проводимости подключены к входу подключения шины «+» (6.1), подложки первого (2.1), второго (2.2), третьего (2.3), четвертого (2.4), пятого (2.5) и шестого (2.6) транзисторов группы (2) из шести транзисторов n-проводимости подключены к входу подключения шины «Ноль вольт» (7.1), истоки первого (2.1), третьего (2.3), четвертого (2.4) и шестого (2.6) транзисторов группы (2) из шести транзисторов n-проводимости подключены к входу подключения шины «Ноль вольт» (7.1), второй вход триггера (4.0) подключен к затворам второго (1.2) и четвертого (1.4) транзисторов группы (1) из шести транзисторов р-проводимости и к затворам второго (2.2) и четвертого (2.4) транзисторов группы (2) из шести транзисторов n-проводимости, затворы пятого (1.5) транзистора группы (1) из шести транзисторов р-проводимости и пятого (2.5) транзистора группы (2) из шести транзисторов n-проводимости подключены к выходу триггера (5.0), затворы шестого (1.6) транзистора группы (1) из шести транзисторов р-проводимости и шестого (2.6) транзистора группы (2) из шести транзисторов n-проводимости объединены, отличающийся тем, что введена вторая группа транзисторов р-проводимости (8), состоящая из шести подгрупп $i=1...6$, в каждой подгруппе (8.i), три транзистора р-

проводимости (8.i.1), (8.i.2), (8.i.3), вторая группа транзисторов n-проводимости (9),
 состоящая из шести подгрупп $i=1\dots 6$, в каждой подгруппе (9.i), три транзистора n-
 проводимости (9.i.1), (9.i.2), (9.i.3), причем каждая подгруппа второй группы
 транзисторов p-проводимости (8.i) подключается к соответствующему транзистору
 группы из шести транзисторов p-проводимости (1.i), исток первого транзистора i-ой
 5 подгруппы второй группы транзисторов p-проводимости (8.i.1) объединяется с истоком
 транзистора групп из шести транзисторов p-проводимости (1.i), исток второго (8.i.2)
 транзистора i-ой подгруппы второй группы транзисторов p-проводимости подключен
 к стоку первого транзистора i-ой подгруппы второй группы транзисторов p-
 10 проводимости, исток третьего транзистора i-ой подгруппы второй группы транзисторов
 p-проводимости подключен к стоку i-го транзистора группы из шести транзисторов p-
 проводимости, стоки второго (8.i.2) и третьего (8.i.3) транзисторов i-ой подгруппы
 второй группы транзисторов p-проводимости объединены, затворы i-ой подгруппы
 второй группы транзисторов p-проводимости (8.i) подключаются к затвору i-го
 15 транзистора из группы шести транзисторов p-проводимости (1.i), каждая i-ая подгруппа
 второй группы транзисторов n-проводимости (9.i) подключается к соответствующему
 транзистору группы из шести транзисторов n-проводимости (2.i), исток первого
 транзистора i-ой подгруппы второй группы транзисторов n-проводимости (9.i.1)
 объединяется с i-ым истоком транзистора групп из шести транзисторов n-проводимости
 20 (2.i), исток второго (9.i.2) транзистора i-ой подгруппы второй группы транзисторов n-
 проводимости подключен к стоку первого транзистора i-ой подгруппы второй группы
 транзисторов n-проводимости, исток третьего транзистора i-ой подгруппы второй
 группы транзисторов n-проводимости подключен к стоку i-го транзистора группы из
 шести транзисторов p-проводимости, стоки второго (9.i.2) и третьего (9.i.3) транзисторов
 25 i-ой подгруппы второй группы транзисторов n-проводимости объединены, затворы i-
 ой подгруппы второй группы транзисторов n-проводимости (9.i) подключаются к
 затвору i-го транзистора из группы шести транзисторов n-проводимости (2.i), подложки
 всех транзисторов второй группы транзисторов p-проводимости (8) подключены к
 входу подключения шины питания «+», подложки всех транзисторов второй группы
 30 транзисторов n-проводимости (9) подключены к входу подключения шины питания
 «Ноль вольт», исток второго транзистора (1.2) группы из шести транзисторов p-
 проводимости подключен к стоку третьего транзистора (8.1.3) первой подгруппы
 второй группы транзисторов p-проводимости, исток пятого транзистора (1.5) группы
 из шести транзисторов p-проводимости подключен к стоку третьего транзистора (8.3.3)
 35 третьей подгруппы второй группы транзисторов p-проводимости и к стоку третьего
 транзистора (8.4.3) четвертой подгруппы второй группы транзисторов p-проводимости,
 исток второго транзистора (2.2) группы из шести транзисторов n-проводимости
 подключен к стоку третьего транзистора (9.1.3) первой подгруппы второй группы
 транзисторов n-проводимости, исток пятого транзистора (2.5) группы из шести
 40 транзисторов n-проводимости подключен к стоку третьего транзистора (9.3.3) третьей
 подгруппы второй группы транзисторов n-проводимости и к стоку третьего транзистора
 (9.4.3) четвертой подгруппы второй группы транзисторов n-проводимости, стоки
 третьих транзисторов второй и пятой подгруппы второй группы транзисторов p-
 проводимости и стоки третьих транзисторов второй и пятой подгруппы второй группы
 45 транзисторов n-проводимости объединены и подключены к объединенным затворам
 шестого транзистора группы из шести транзисторов p-проводимости и шестого
 транзистора группы из шести транзисторов n-проводимости, стоки третьих транзисторов
 шестой подгруппы второй группы транзисторов p-проводимости и стоки третьих

транзисторов шестой подгруппы второй группы транзисторов n-проводимости объединены и подключены к выходу триггера.

При отсутствии отказов и сбоев в транзисторах схема работает следующим образом. Низкий уровень на двух входах гистерезисного триггера (вход 3.0 = вход 4.0 = 0) переводит триггер в состояние нуля (выход 5.0 = 0). Высокий уровень на обоих входах (вход 3.0 = вход 4.0 = 1) переводит триггер в состояние единицы (выход 5.0=1). В остальных случаях триггер обеспечивает хранение информации.

Особенности данной схемы по сравнению с прототипом следующие.

Для реализации логической функции триггера используются не единичные транзисторы, а транзисторные цепочки, составленные по функционально-полным толерантным базисам вида (по методу учетверенной логики):

$$(f_{j1} \cdot f_{j2}) \vee (f_{j3} \cdot f_{j4}); f_{j1} = f_{j2} = f_{j3} = f_{j4}(1), j = \overline{1..12}, \quad (1)$$

где f_{ji} - функция, реализуемая j-ым транзистором из группы транзисторов p- или n-проводимости.

Такая функция сохраняет свое значение при отказах и сбоях только одного транзистора в каждой цепочке, то есть при изменении $f_{j1}, f_{j2}, f_{j3}, f_{j4}$: замене на константу нуля, замене на константу единицы, инверсия, замене на произвольную функцию. Для этого к каждому транзистору прототипа вводится дополнительно три транзистора.

Таким образом, предлагаемое устройство обеспечивает повышение надежности за счет появления устойчивости к отказам и сбоям транзисторов. Цель изобретения достигнута.

Второй задачей изобретения является повышение надежности не только относительно отказов и сбоев транзисторов, но и относительно обрывов проводов.

Это задача достигается тем, что в гистерезисный триггер (см. фиг. 2), в котором элементы и связи прототипа (доотличительная часть п. 1 формулы) полностью совпадающие с их описанием в соответствии с фиг. 1 дополнены введением второй группы транзисторов p-проводимости (8), состоящей из шести подгрупп (8.1), (8.2), (8.3), (8.4), (8.5), (8.6), в каждой подгруппе (8.i), $i=1..6$ три транзистора p-проводимости (8.i.1), (8.i.2), (8.i.3), второй группы транзисторов n-проводимости (9), состоящей из шести подгрупп (9.1), (9.2), (9.3), (9.4), (9.5), (9.6), в каждой подгруппе (9.i), $i=1..6$ три транзистора n-проводимости (9.i.1), (9.i.2), (9.i.3), трех резервных входов для первого входа триггера (3.1), (3.2), (3.3), трех резервных входов для второго входа триггера (4.1), (4.2), (4.3) и трех резервных выходов триггера (5.1), (5.2), (5.3), причем первый резервный вход для первого входа триггера (3.1) подключен к затворам первых транзисторов первой и третьей подгруппы второй группы транзисторов p-проводимости (8.1.1), (8.3.1) и к затворам первых транзисторов первой и третьей подгруппы второй группы транзисторов n-проводимости (9.1.1), (9.3.1), второй резервный вход для первого входа триггера (3.2) подключен к затворам вторых транзисторов первой и третьей подгруппы второй группы транзисторов p-проводимости (8.1.2), (8.3.2) и к затворам вторых транзисторов первой и третьей подгруппы второй группы транзисторов n-проводимости (9.1.2), (9.3.2), третий резервный вход для первого входа триггера (3.3) подключен к затворам третьих транзисторов первой и третьей подгруппы второй группы транзисторов p-проводимости (8.1.3), (8.3.3) и к затворам третьих транзисторов первой и третьей подгруппы второй группы транзисторов n-проводимости (9.1.3), (9.3.3), первый резервный вход для второго входа триггера (4.1) подключен к затворам первых транзисторов второй и четвертой подгруппы второй группы транзисторов p-

проводимости (8.2.1), (8.4.1) и к затворам первых транзисторов второй и четвертой подгруппы второй группы транзисторов n-проводимости (9.2.1), (9.4.1), второй резервный вход для второго входа триггера (4.2) подключен к затворам вторых транзисторов второй и четвертой подгруппы второй группы транзисторов p-проводимости (8.2.2), (8.4.2) и к затворам вторых транзисторов второй и четвертой подгруппы второй группы транзисторов n-проводимости (9.2.2), (9.4.2), третий резервный вход для второго входа триггера (4.3) подключен к затворам третьих транзисторов второй и четвертой подгруппы второй группы транзисторов p-проводимости (8.2.3), (8.4.3) и к затворам третьих транзисторов второй и четвертой подгруппы второй группы транзисторов n-проводимости (9.2.3), (9.4.3), первый резервный выход триггера (5.1) подключен к затвору первого транзистора пятой подгруппы второй группы транзисторов p-проводимости (8.5.1) и к затвору первого транзистора пятой подгруппы второй группы транзисторов n-проводимости (9.5.1), второй резервный выход триггера (5.2) подключен к затвору второго транзистора пятой подгруппы второй группы транзисторов p-проводимости (8.5.2) и к затвору второго транзистора пятой подгруппы второй группы транзисторов n-проводимости (9.5.2), третий резервный выход триггера (5.3) подключен к затвору третьего транзистора пятой подгруппы второй группы транзисторов p-проводимости (8.5.3) и к затвору третьего транзистора пятой подгруппы второй группы транзисторов n-проводимости (9.5.3), каждая подгруппа второй группы транзисторов p-проводимости (8.i) подключается к соответствующему транзистору группы из шести транзисторов p-проводимости (1.i), исток первого транзистора i-ой подгруппы второй группы транзисторов p-проводимости (8.i.1) объединяется с истоком транзистора групп из шести транзисторов p-проводимости (1.i), исток второго (8.i.2) транзистора i-ой подгруппы второй группы транзисторов p-проводимости подключен к стоку первого транзистора i-ой подгруппы второй группы транзисторов p-проводимости, исток третьего транзистора i-ой подгруппы второй группы транзисторов p-проводимости подключен к стоку i-го транзистора группы из шести транзисторов p-проводимости, стоки второго (8.i.2) и третьего (8.i.3) транзисторов i-ой подгруппы второй группы транзисторов p-проводимости объединены, каждая подгруппа второй группы транзисторов n-проводимости (9.i) подключается к соответствующему транзистору группы из шести транзисторов n-проводимости (2.i), исток первого транзистора i-ой подгруппы второй группы транзисторов n-проводимости (9.i.1) объединяется с истоком транзистора групп из шести транзисторов n-проводимости (2.i), исток второго (9.i.2) транзистора i-ой подгруппы второй группы транзисторов n-проводимости подключен к стоку первого транзистора i-ой подгруппы второй группы транзисторов n-проводимости, исток третьего транзистора i-ой подгруппы второй группы транзисторов n-проводимости подключен к стоку i-го транзистора группы из шести транзисторов p-проводимости, стоки второго (9.1.2) и третьего (9.i.3) транзисторов i-ой подгруппы второй группы транзисторов n-проводимости объединены, подложки всех транзисторов второй группы транзисторов p-проводимости (8) подключены к входу подключения шины питания «+», подложки всех транзисторов второй группы транзисторов n-проводимости (9) подключены к входу подключения шины питания «Ноль вольт», исток второго транзистора (1.2) группы из шести транзисторов p-проводимости подключен к стоку третьего транзистора (8.1.3) первой подгруппы второй группы транзисторов p-проводимости, исток пятого транзистора (1.5) группы из шести транзисторов p-проводимости подключен к стокам третьего транзистора (8.3.3) третьей подгруппы второй группы транзисторов p-проводимости и третьего транзистора (8.4.3) четвертой подгруппы второй группы транзисторов p-проводимости,

исток второго транзистора (2.2) группы из шести транзисторов n-проводимости подключен к стоку третьего транзистора (9.1.3) первой подгруппы второй группы транзисторов n-проводимости, исток пятого транзистора (2.5) группы из шести транзисторов n-проводимости подключен к стокам третьего транзистора (9.3.3) третьей подгруппы второй группы транзисторов n-проводимости и третьего транзистора (9.4.3) четвертой подгруппы второй группы транзисторов n-проводимости, стоки третьих транзисторов второй (8.2.3) и пятой (8.5.3) подгруппы второй группы транзисторов p-проводимости и стоки третьих транзисторов второй (8.2.3) и пятой (8.5.3) подгруппы второй группы транзисторов n-проводимости подключены к затворам шестого транзистора группы (1.6) из шести транзисторов p-проводимости, шестого транзистора (2.6) группы из шести транзисторов n-проводимости, всех транзисторов (8.6) шестой подгруппы второй группы транзисторов p-проводимости, всех транзисторов (9.6) шестой подгруппы второй группы транзисторов n-проводимости, сток третьего транзистора (8.6.3) шестой подгруппы второй группы транзисторов p-проводимости и сток третьего транзистора (9.6.3) шестой подгруппы второй группы транзисторов n-проводимости объединены, сток второго транзистора (8.6.2) шестой подгруппы второй группы транзисторов p-проводимости подключен к первому резервному выходу триггера (5.1), сток третьего транзистора (8.6.3) шестой подгруппы второй группы транзисторов p-проводимости подключен к выходу триггера (5.0), сток второго транзистора (9.6.2) шестой подгруппы второй группы транзисторов n-проводимости подключен к второму резервному выходу триггера (5.2), сток третьего транзистора (9.6.3) шестой подгруппы второй группы транзисторов n-проводимости подключен к третьему резервному выходу триггера (5.3).

Введение дополнительных входов-выходов в дополнение к введению дополнительных транзисторов p и n-проводимости позволяет обеспечить повышение надежности относительно отказов и сбоев транзисторов и обрывов входов-выходов. То есть, учитывая в выражении (1) функцию работоспособности входов-выходов x_1, x_2, x_3, x_4 получим выражение (2):

$$(f_{j1} \cdot x_1)(f_{j2} \cdot x_2) \vee (f_{j3} \cdot x_3)(f_{j4} \cdot x_4) ; f_{j1} = f_{j2} = f_{j3} = f_{j4} (1), j = \overline{1..12}, \quad (2)$$

Таким образом, учитывается возможность работы при обрыве одного из четырех входов-выходов x_1, x_2, x_3, x_4 , в отличие от выражения (1) которое принимает неправильное значение при обрыве соответствующего входа-выхода, учитываемого в функцией f_{ji} .

Для этого к каждому транзистору прототипа вводится дополнительно три транзистора и три резервных входа-выхода для каждого входа-выхода триггера.

Таким образом, предлагаемое устройство обеспечивает повышение надежности относительно отказов и сбоев транзисторов и обрывов входов-выходов, за счет появления устойчивости к отказам и сбоям транзисторов, и обрывам входов-выходов. Цель изобретения достигнута.

Третьей задачей изобретения является повышение надежности не только относительно отказов и сбоев транзисторов, но и относительно отказов источника питания.

Это задача достигается тем, что в гистерезисный триггер (см. фиг. 3), в котором элементы и связи прототипа (доотличительная часть п. 1 формулы) полностью совпадающие с их описанием в соответствии с фиг. 1 дополнены введением второй группы транзисторов p-проводимости (8), состоящей из шести подгрупп (8.1), (8.2), (8.3), (8.4), (8.5), (8.6), в каждой подгруппе (8.i), $i=1 \dots 6$ три транзистора p-проводимости (8.i.1), (8.i.2), (8.i.3), второй группы транзисторов n-проводимости (9), состоящей из

шести подгрупп (9.1), (9.2), (9.3), (9.4), (9.5), (9.6), в каждой подгруппе (9.i), $i=1\dots 6$ три транзистора n-проводимости (9.i.1), (9.i.2), (9.i.3), резервным входом для подключения шины питания «+» (6.2) и резервным входом для подключения шины «Ноль вольт» (7.2), причем каждая подгруппа второй группы транзисторов p-проводимости (8.i) 5 подключается к соответствующему транзистору группы из шести транзисторов p-проводимости (1.i), исток второго (8.i.2) транзистора i-ой подгруппы второй группы транзисторов p-проводимости подключен к стоку первого транзистора i-ой подгруппы второй группы транзисторов p-проводимости, исток третьего транзистора i-ой подгруппы второй группы транзисторов p-проводимости подключен к стоку i-го 10 транзистора группы из шести транзисторов p-проводимости, стоки второго (8.i.2) и третьего (8.i.3) транзисторов i-ой подгруппы второй группы транзисторов p-проводимости объединены, затворы i-ой подгруппы второй группы транзисторов p-проводимости (8.i) подключаются к затвору транзистора из группы шести транзисторов p-проводимости (1.i), каждая подгруппа второй группы транзисторов n-проводимости 15 (9.i) подключается к соответствующему транзистору группы из шести транзисторов n-проводимости (2.i), исток второго (9.i.2) транзистора i-ой подгруппы второй группы транзисторов n-проводимости подключен к стоку первого транзистора i-ой подгруппы второй группы транзисторов n-проводимости, исток третьего транзистора i-ой подгруппы второй группы транзисторов n-проводимости подключен к стоку i-го 20 транзистора группы из шести транзисторов p-проводимости, стоки второго (9.i.2) и третьего (9.i.3) транзисторов i-ой подгруппы второй группы транзисторов n-проводимости объединены, затворы i-ой подгруппы второй группы транзисторов n-проводимости (9.i) подключаются к затвору транзистора из группы шести транзисторов n-проводимости (2.i), подложки третьих транзисторов i-ой подгруппы второй группы транзисторов p-проводимости (8) подключены к входу подключения шины питания «+» 25 », подложки третьих транзисторов i-ой подгруппы второй группы транзисторов n-проводимости (9) подключены к входу подключения шины питания «Ноль вольт», исток второго транзистора (1.2) группы из шести транзисторов p-проводимости подключен к стоку третьего транзистора (8.1.3) первой подгруппы второй группы транзисторов p-проводимости, исток пятого транзистора (1.5) группы из шести транзисторов p-проводимости подключен к стоку третьего транзистора (8.3.3) третьей подгруппы второй группы транзисторов p-проводимости и к стоку третьего транзистора (8.4.3) четвертой подгруппы второй группы транзисторов p-проводимости, исток 30 второго транзистора (2.2) группы из шести транзисторов n-проводимости подключен к стоку третьего транзистора (9.1.3) первой подгруппы второй группы транзисторов n-проводимости, исток пятого транзистора (2.5) группы из шести транзисторов n-проводимости подключен к стоку третьего транзистора (9.3.3) третьей подгруппы второй группы транзисторов n-проводимости и к стоку третьего транзистора (9.4.3) четвертой подгруппы второй группы транзисторов n-проводимости, стоки третьих 40 транзисторов второй и пятой подгруппы второй группы транзисторов p-проводимости и стоки третьих транзисторов второй и пятой подгруппы второй группы транзисторов n-проводимости объединены и подключены к объединенным затворам шестого транзистора группы из шести транзисторов p-проводимости и шестого транзистора группы из шести транзисторов n-проводимости, сток третьего транзистора шестой подгруппы второй группы транзисторов p-проводимости и сток третьего транзистора шестой подгруппы второй группы транзисторов n-проводимости объединены и 45 подключены к выходу триггера (5.0), подложки первых (8.i.1) и вторых (8.i.2) транзисторов i-ой подгруппы второй группы транзисторов p-проводимости подключены

к резервному входу подключения шины питания «+», истоки первых транзисторов первой, третьей, четвертой и шестой подгруппы второй группы транзисторов р-проводимости подключаются к резервному входу (6.2) для подключения шины питания «+», подложки первых (9.i.1) и вторых (9.i.2) транзисторов i-ой подгруппы второй группы транзисторов n-проводимости подключены к резервному входу (7.2) подключения шины питания «Ноль вольт», истоки первых транзисторов первой, третьей, четвертой и шестой подгруппы второй группы транзисторов n-проводимости подключаются к резервному входу для подключения шины питания «Ноль вольт» (7.2), резервный вход для подключения шины «Ноль вольт» (7.2) подключен ко входу для подключения шины «Ноль вольт» (7.1), исток первого транзистора второй подгруппы второй группы транзисторов р-проводимости (8.2.1) объединен с истоком второго транзистора группы из шести транзисторов р-проводимости (1.2), исток первого транзистора второй подгруппы второй группы транзисторов n-проводимости (9.2.1) объединен с истоком второго транзистора группы из шести транзисторов n-проводимости (2.2), исток первого транзистора пятой подгруппы второй группы транзисторов р-проводимости (8.5.1) объединен с истоком пятого транзистора группы из шести транзисторов р-проводимости (1.5), исток первого транзистора пятой подгруппы второй группы транзисторов n-проводимости (9.5.1) объединен с истоком пятого транзистора группы из шести транзисторов n-проводимости (2.5).

Для реализации настоящей цели изобретения к каждому транзистору прототипа вводится дополнительно три транзистора и резервные входы источника подключения шин питания «+» и «Ноль вольт».

Введение дополнительных резервных входов подключения шин питания «+» и «Ноль вольт» в дополнение к введению дополнительных транзисторов р- и n-проводимости позволяет обеспечить повышение надежности относительно отказов и сбоев транзисторов и отказов источника питания. То есть помимо обеспечения работоспособности при отказах и сбоях транзисторов по формуле (1) дополнительно обеспечивается возможность работы схемы при отказе одного из источников питания или обрыве одного из входов «Ноль вольт».

Таким образом, предлагаемое устройство обеспечивает повышение надежности относительно отказов и сбоев транзисторов и отказов источника питания за счет появления устойчивости к отказам и сбоям транзисторов, и отказам источников питания. Цель изобретения достигнута.

Четвертой задачей изобретения является повышение надежности относительно отказов и сбоев транзисторов, обрывов проводов входов-выходов и отказов источника питания.

Это задача достигается тем, что в гистерезисный триггер (см. фиг. 4), в котором элементы и связи прототипа (доотличительная часть п. 1 формулы) полностью совпадающие с их описанием в соответствии с фиг. 1 дополнены введением второй группа транзисторов р-проводимости (8), состоящей из шести подгрупп (8.1), (8.2), (8.3), (8.4), (8.5), (8.6), в каждой подгруппе (8.i), $i=1 \dots 6$ три транзистора р-проводимости (8.i.1), (8.i.2), (8.i.3), второй группы транзисторов n-проводимости (9), состоящей из шести подгрупп (9.1), (9.2), (9.3), (9.4), (9.5), (9.6), в каждой подгруппе (9.i), $i=1 \dots 6$ три транзистора n-проводимости (9.i.1), (9.i.2), (9.i.3), резервного входа для подключения шины питания «+» (6.2), резервного входа для подключения шины «Ноль вольт» (7.2), трех резервных входов для первого входа триггера (3.1), (3.2), (3.3), трех резервных входов для второго входа триггера (4.1), (4.2), (4.3) и трех резервных выходов триггера (5.1), (5.2), (5.3), причем, каждая подгруппа второй группы транзисторов р-проводимости

(8.i) подключается к соответствующему транзистору группы из шести транзисторов р-проводимости (1.i), исток второго (8.i.2) транзистора i-ой подгруппы второй группы транзисторов р-проводимости подключен к стоку первого транзистора i-ой подгруппы второй группы транзисторов р-проводимости, исток третьего транзистора i-ой подгруппы второй группы транзисторов р-проводимости подключен к стоку i-го транзистора группы из шести транзисторов р-проводимости, стоки второго (8.i.2) и третьего (8.i.3) транзисторов i-ой подгруппы второй группы транзисторов р-проводимости объединены, каждая подгруппа второй группы транзисторов п-проводимости (9.i) подключается к соответствующему транзистору группы из шести транзисторов п-проводимости (2.i), исток второго (9.i.2) транзистора i-ой подгруппы второй группы транзисторов п-проводимости подключен к стоку первого транзистора i-ой подгруппы второй группы транзисторов п-проводимости, исток третьего транзистора i-ой подгруппы второй группы транзисторов п-проводимости подключен к стоку i-го транзистора группы из шести транзисторов р-проводимости, стоки второго (9.i.2) и третьего (9.i.3) транзисторов i-ой подгруппы второй группы транзисторов п-проводимости объединены, подложки третьих транзисторов i-ой подгруппы второй группы транзисторов р-проводимости (8) подключены к входу подключения шины питания «+», подложки третьих транзисторов i-ой подгруппы второй группы транзисторов п-проводимости (9) подключены к входу подключения шины питания «Ноль вольт», исток второго транзистора (1.2) группы из шести транзисторов р-проводимости подключен к стоку третьего транзистора (8.1.3) первой подгруппы второй группы транзисторов р-проводимости, исток пятого транзистора (1.5) группы из шести транзисторов р-проводимости подключен к стоку третьего транзистора (8.3.3) третьей подгруппы второй группы транзисторов р-проводимости и к стоку третьего транзистора (8.4.3) четвертой подгруппы второй группы транзисторов р-проводимости, исток второго транзистора (2.2) группы из шести транзисторов п-проводимости подключен к стоку третьего транзистора (9.1.3) первой подгруппы второй группы транзисторов п-проводимости, исток пятого транзистора (2.5) группы из шести транзисторов п-проводимости подключен к стоку третьего транзистора (9.3.3) третьей подгруппы второй группы транзисторов п-проводимости и к стоку третьего транзистора (9.4.3) четвертой подгруппы второй группы транзисторов п-проводимости, стоки третьих транзисторов второй и пятой подгруппы второй группы транзисторов р-проводимости и стоки третьих транзисторов второй и пятой подгруппы второй группы транзисторов п-проводимости объединены и подключены к объединенным затворам шестого транзистора группы из шести транзисторов р-проводимости и шестого транзистора группы из шести транзисторов п-проводимости, сток третьего транзистора шестой подгруппы второй группы транзисторов р-проводимости и сток третьего транзистора шестой подгруппы второй группы транзисторов п-проводимости объединены и подключены к выходу триггера, подложки первых (8.i.1) и вторых (8.i.2) транзисторов i-ой подгруппы второй группы транзисторов р-проводимости подключены к резервному входу подключения шины питания «+», истоки первых транзисторов первой, третьей, четвертой и шестой подгруппы второй группы транзисторов р-проводимости подключаются к резервному входу для подключения шины питания «+», подложки первых (9.i.1) и вторых (9.i.2) транзисторов i-ой подгруппы второй группы транзисторов п-проводимости подключены к резервному входу подключения шины питания «Ноль вольт», истоки первых транзисторов первой, третьей, четвертой и шестой подгруппы второй группы транзисторов п-проводимости подключаются к резервному входу для подключения шины питания «Ноль вольт», резервный вход для подключения

шины «Ноль вольт» (7.2) подключен ко входу для подключения шины «Ноль вольт» (7.1), первый резервный вход для первого входа триггера (3.1) подключен к затворам первых транзисторов первой и третьей подгруппы второй группы транзисторов р-проводимости (8.1.1), (8.3.1) и к затворам первых транзисторов первой и третьей подгруппы второй группы транзисторов n-проводимости (9.1.1), (9.3.1), второй резервный вход для первого входа триггера (3.2) подключен к затворам вторых транзисторов первой и третьей подгруппы второй группы транзисторов р-проводимости (8.1.2), (8.3.2) и к затворам вторых транзисторов первой и третьей подгруппы второй группы транзисторов n-проводимости (9.1.2), (9.3.2), третий резервный вход для первого входа триггера (3.3) подключен к затворам третьих транзисторов первой и третьей подгруппы второй группы транзисторов р-проводимости (8.1.3), (8.3.3) и к затворам третьих транзисторов первой и третьей подгруппы второй группы транзисторов n-проводимости (9.1.3), (9.3.3), первый резервный вход для второго входа триггера (4.1) подключен к затворам первых транзисторов второй и четвертой подгруппы второй группы транзисторов р-проводимости (8.2.1), (8.4.1) и к затворам первых транзисторов второй и четвертой подгруппы второй группы транзисторов n-проводимости (9.2.1), (9.4.1), второй резервный вход для второго входа триггера (4.2) подключен к затворам вторых транзисторов второй и четвертой подгруппы второй группы транзисторов р-проводимости (8.2.2), (8.4.2) и к затворам вторых транзисторов второй и четвертой подгруппы второй группы транзисторов n-проводимости (9.2.2), (9.4.2), третий резервный вход для второго входа триггера (4.3) подключен к затворам третьих транзисторов второй и четвертой подгруппы второй группы транзисторов р-проводимости (8.2.3), (8.4.3) и к затворам третьих транзисторов второй и четвертой подгруппы второй группы транзисторов n-проводимости (9.2.3), (9.4.3), первый резервный выход триггера (5.1) подключен к затвору первого транзистора пятой подгруппы второй групп транзисторов р-проводимости (8.5.1) и к затвору первого транзистора пятой подгруппы второй группы транзисторов n-проводимости (9.5.1), второй резервный выход триггера (5.2) подключен к затвору второго транзистора пятой подгруппы второй групп транзисторов р-проводимости (8.5.2) и к затвору второго транзистора пятой подгруппы второй группы транзисторов n-проводимости (9.5.2), третий резервный выход триггера (5.3) подключен к затвору третьего транзистора пятой подгруппы второй групп транзисторов р-проводимости (8.5.3) и к затвору третьего транзистора пятой подгруппы второй группы транзисторов n-проводимости (9.5.3), исток первого транзистора (8.2.1) второй подгруппы второй группы транзисторов р-проводимости объединен с истоком второго транзистора (1.2) группы из шести транзисторов р-проводимости, исток первого транзистора (9.2.1) второй подгруппы второй группы транзисторов n-проводимости объединен с истоком второго транзистора (2.2) группы из шести транзисторов n-проводимости, исток первого транзистора (8.5.1) пятой подгруппы второй группы транзисторов р-проводимости объединен с истоком пятого транзистора (1.5) группы из шести транзисторов р-проводимости, исток первого транзистора (9.5.1) пятой подгруппы второй группы транзисторов n-проводимости объединен с истоком пятого (2.5) транзистора группы из шести транзисторов n-проводимости.

Для реализации настоящей цели изобретения помимо введения дополнительных транзисторов р- и n-проводимости (в соответствии с формулой 1) и резервных входов-выходов (в соответствии с формулой 2) вводятся также дополнительно резервные входы подключения шин питания «+» и «Ноль вольт», что позволяет обеспечить повышение надежности как относительно отказов и сбоев транзисторов, так и обрывов входов-выходов, а также относительно отказов источника питания. Цель изобретения

достигнута.

На фиг. 1 изображена схема электрическая принципиальная предлагаемого гистерезисного триггера отказоустойчивого относительно отказов или сбоев транзисторов (первая задача изобретения).

5 На фиг. 2 изображена схема электрическая принципиальная предлагаемого гистерезисного триггера, отказоустойчивого относительно отказов или сбоев транзисторов и обрывов входов-выходов (вторая задача изобретения).

На фиг. 3 изображена схема электрическая принципиальная предлагаемого гистерезисного триггера, отказоустойчивого относительно отказов или сбоев транзисторов и отказов источников питания (третья задача изобретения).

10 На фиг. 4 изображена схема электрическая принципиальная предлагаемого гистерезисного триггера, отказоустойчивого относительно отказов или сбоев транзисторов, обрывов входов-выходов и отказов источников питания (четвертая задача изобретения).

15 На фиг. 5 изображена временная диаграмма работы предлагаемого устройства в отсутствии отказов (для первой и третьей задачи изобретения).

На фиг. 6 изображена временная диаграмма работы предлагаемого устройства в условиях работоспособности всех узлов (для второй и четвертой задачи изобретения).

На фиг. 7 изображена временная диаграмма работы предлагаемого устройства при обрыве входа 3.0 на константу нуля.

20 На фиг. 8 изображены графики изменения вероятности безотказной (бессбойной) работы прототипа $P(t)=e^{-(12)\lambda \cdot t}$, вероятности безотказной (бессбойной) работы предлагаемого устройства $P(t)_{ftm}$, троированного прототипа с одним мажоритаром P_3 и троированного прототипа с тремя мажоритарными $P_{3,3}$ при интенсивности отказов (сбоев) $\lambda=10^{-9}$ 1/час.

На фиг. 9 изображены графики изменения вероятности безотказной (бессбойной) работы прототипа $P(t)$, вероятности безотказной (бессбойной) работы предлагаемого устройства $P(t)_{ftm}$, троированного прототипа с одним мажоритаром P_3 и троированного прототипа с тремя мажоритарными $P_{3,3}$ при интенсивности отказов (сбоев) $\lambda=10^{-8}$ 1/час.

На фиг. 10 изображены графики изменения вероятности безотказной (бессбойной) работы прототипа $P(t)$, вероятности безотказной (бессбойной) работы предлагаемого устройства $P(t)_{ftm}$, троированного прототипа с одним мажоритаром P_3 и троированного прототипа с тремя мажоритарными $P_{3,3}$ при интенсивности отказов (сбоев) $\lambda=10^{-7}$ 1/час.

На фиг. 11 изображены графики изменения вероятности безотказной (бессбойной) работы прототипа $P(t)$, вероятности безотказной (бессбойной) работы предлагаемого устройства $P(t)_{ftm}$, троированного прототипа с одним мажоритаром P_3 и троированного прототипа с тремя мажоритарными $P_{3,3}$ при интенсивности отказов (сбоев) $\lambda=10^{-6}$ 1/час.

На фиг. 12 изображены графики изменения вероятности безотказной (бессбойной) работы прототипа $P(t)$, вероятности безотказной (бессбойной) работы предлагаемого устройства $P(t)_{ftm}$, троированного прототипа с одним мажоритаром P_3 и троированного прототипа с тремя мажоритарными $P_{3,3}$ при интенсивности отказов (сбоев) $\lambda=10^{-5}$ 1/час.

На фиг. 13 изображены графики изменения вероятности безотказной (бессбойной) работы прототипа $P(t)$, вероятности безотказной (бессбойной) работы предлагаемого устройства $P(t)_{ftm}$, троированного прототипа с одним мажоритаром P_3 и троированного

прототипа с тремя мажоритарными $P_{3,3}$ при интенсивности отказов (сбоев) $\lambda=10^{-4}$ 1/час.

На фиг. 14 изображены графики изменения вероятности безотказной (бессбойной) работы прототипа $e^{-(12)\lambda \cdot t}$, вероятности безотказной (бессбойной) работы предлагаемого устройства $P(t)_{ftm}$, троированного прототипа с одним мажоритаром P_3 и троированного прототипа с тремя мажоритарными $P_{3,3}$ с учетом интенсивности отказов источника питания 100λ , при интенсивности отказов (сбоев) 1/час.

На фиг. 15 изображены графики изменения вероятности безотказной (бессбойной) работы прототипа $e^{-(12)\lambda \cdot t}$, вероятности безотказной (бессбойной) работы предлагаемого устройства $P(t)_{ftm}$, троированного прототипа с одним мажоритаром P_3 и троированного прототипа с тремя мажоритарными $P_{3,3}$ с учетом интенсивности отказов источника питания 100λ , при интенсивности отказов (сбоев) $\lambda=10^{-5}$ 1/час.

На фиг. 16 изображены графики изменения вероятности безотказной (бессбойной) работы прототипа $e^{-(12)\lambda \cdot t}$, вероятности безотказной (бессбойной) работы предлагаемого устройства $P(t)_{ftm}$, троированного прототипа с одним мажоритаром P_3 и троированного прототипа с тремя мажоритарными $P_{3,3}$ с учетом интенсивности отказов источника питания 100λ , при интенсивности отказов (сбоев) $\lambda=10^{-4}$ 1/час.

На фиг. 17 изображены графики изменения вероятности безотказной (бессбойной) работы прототипа $e^{-(12)\lambda \cdot t}$, вероятности безотказной (бессбойной) работы предлагаемого устройства $P(t)_{ftm}$, троированного прототипа с одним мажоритаром P_3 и троированного прототипа с тремя мажоритарными $P_{3,3}$ с учетом интенсивности отказов источника питания 100λ при интенсивности отказов (сбоев) $\lambda=10^{-7}$ 1/час.

На фиг. 18 изображены графики изменения вероятности безотказной (бессбойной) работы прототипа $e^{-(12)\lambda \cdot t}$, вероятности безотказной (бессбойной) работы предлагаемого устройства $P(t)_{ftm}$, троированного прототипа с одним мажоритаром P_3 и троированного прототипа с тремя мажоритарными $P_{3,3}$ с учетом интенсивности отказов источника питания 1000λ , при интенсивности отказов (сбоев) $\lambda=10^{-7}$ 1/час.

На фиг. 19 изображены графики изменения вероятности безотказной (бессбойной) работы прототипа $e^{-(12)\lambda \cdot t}$, вероятности безотказной (бессбойной) работы предлагаемого устройства $P(t)_{ftm}$, троированного прототипа с одним мажоритаром P_3 и троированного прототипа с тремя мажоритарными $P_{3,3}$ с учетом интенсивности отказов источника питания 1000λ при интенсивности отказов (сбоев) $\lambda=10^{-8}$ 1/час.

На фиг. 20 изображены графики изменения вероятности безотказной (бессбойной) работы прототипа $e^{-(12)\lambda \cdot t}$, вероятности безотказной (бессбойной) работы предлагаемого устройства $P(t)_{ftm}$, троированного прототипа с одним мажоритаром P_3 и троированного прототипа с тремя мажоритарными $P_{3,3}$ с учетом интенсивности отказов источника питания 1000λ при интенсивности отказов (сбоев) $\lambda=10^{-9}$ 1/час.

УСТРОЙСТВО РАБОТАЕТ СЛЕДУЮЩИМ ОБРАЗОМ

1. Работа устройства при отсутствии отказов

В этом случае работоспособны все транзисторы, входы, выходы и источники питания из групп (1), (2), (3), (4), (5), (6), (7), (8), (9) и устройство работает аналогично прототипу.

Когда все входы (3), (4) триггера принимают одинаковое значение логического нуля или логической единицы, то на выходы триггера (5) транзисторами из групп (1), (8) или (2), (9) подключается шина питания «+» от источников (6.1) и (6.2) или шина «Ноль вольт» от источников (7.1) и (7.2) соответственно. Если входы (3), (4) имеют разные логические уровни, то на выходах триггера (5) сохраняется текущее состояние. Такое поведение достигается за счет использования обратной связи, выходы триггера подключаются к пятому транзистору из групп (1) и (2), а также к пятой дополнительной подгруппы транзисторов (8.5), (9.5) - см. фиг. 1. Временная диаграмма работы устройства при отсутствии отказов для первой задачи изобретения представлена на фиг. 5, таблица истинности устройства представлена в таблице 1, где Q_t - текущее состояние триггера, а Q_{t-1} это состояние триггера в предыдущий момент времени:

Таблица 1. Таблица истинности гистерезисного триггера.

(3.0)	(4.0)	(5.0)
0	0	0
0	1	Q_{t-1}
1	0	Q_{t-1}
1	1	1

Относительно фиг. 2 для второй задачи изобретения дополнительно к вышеописанному работоспособны резервные входы (3.1), (3.2), (3.3), (4.1), (4.2), (4.3), (5.1), (5.2), (5.3). Временная диаграмма работы устройства при отсутствии отказов для второй задачи изобретения представлена на фиг. 6.

Для фиг. 3 и третьей задачи изобретения дополнительно к описанному для фиг. 1 работоспособны резервные входы подключения шины питания «+» (6.2) и шины «Ноль вольт» (7.2). Временная диаграмма работы устройства при отсутствии отказов для третьей задачи изобретения соответствует фиг. 5.

Для фиг. 4 и четвертой задачи изобретения дополнительно к описанному для фиг. 2 работоспособны резервные входы подключения шины питания «+» (6.2) и шины «Ноль вольт» (7.2). Временная диаграмма работы устройства при отсутствии отказов для четвертой задачи изобретения аналогична фиг. 6.

2. Работа устройства при наличии отказов

2.1. Работа устройства при отказах и сбоях транзисторов р и n-проводимостей для первой задачи изобретения (фиг. 1)

В этом случае допускается отказ (сбой) одного транзистора в каждой четверке транзисторов получаемой в результате объединения транзисторов из групп (1) и (8) или отказ одного из транзисторов в каждой четверке транзисторов получаемой в результате объединения транзисторов из групп (2) и (9).

Соединения каждой группы транзисторов (1.i), (2.i) с соответствующей им подгруппой транзисторов (8.i), (9.i) реализует логические функции вида (1).

Такая функция (1) сохраняет свое значение при отказах и сбоях только одного транзистора в каждой цепочке, то есть при изменении $f_{j1}, f_{j2}, f_{j3}, f_{j4}$: замене на константу нуля (3), замене на константу единицы (4), инверсии (5), замене на произвольную функцию (6):

При отказе типа “константа нуля” второго транзистора, соответствующего подфункции f_{j2} (например, транзистора 8.1.3) получаем выражение (3):

$$(f_{j1} \cdot 0) \vee (f_{j3} \cdot f_{j4}) = (f \cdot 0) \vee (f \cdot f) = (0 \vee f) = f \quad (3)$$

Таким образом, функция сохраняет свое значение f в соответствие с законами алгебры логики.

5 При отказе типа “константа единицы” первого транзистора, соответствующего подфункции f_{j1} (например, транзистора 1.1) получаем выражение (4):

$$(1 \cdot f_{j2}) \vee (f_{j3} \cdot f_{j4}) = (f \cdot 1) \vee (f \cdot f) = (f \cdot 1 \vee f) = f \quad (4)$$

Таким образом, функция сохраняет свое значение f в соответствие с законами алгебры логики.

10 При сбое, когда значение подфункции f_{j1} соответствующее первому транзистору инвертируется (например, транзистора 1.1) получаем выражение (5):

$$(\bar{f}_1 \cdot f_{j2}) \vee (f_{j3} \cdot f_{j4}) = (\bar{f}_1 \cdot f) \vee (f \cdot f) = (\bar{f}_1 \cdot f \vee f) = f \quad (5)$$

15 Таким образом, функция сохраняет свое значение f в соответствие с законами алгебры логики

При отказе типа “произвольная функция” первого транзистора, соответствующего подфункции f_{j1} (например, транзистора 1.1) получаем выражение (6):

$$20 (g \cdot f_{j2}) \vee (f_{j3} \cdot f_{j4}) = (g \cdot f) \vee (f \cdot f) = (g \cdot f \vee f) = f \quad (6)$$

Таким образом, функция сохраняет свое значение f в соответствие с законами алгебры логики

То есть при отказах или сбоях одного транзистора в каждой «четверке», за счет оставшихся трех транзисторов, в которых нет отказа, в соответствие с законами булевой алгебры логики требуемая функция «четверки» f сохраняется, что обеспечивает 25 получение правильных логических уровней на выходе (5). Таким образом, реализуется та же самая временная диаграмма фиг. 5.

2.2. Работа устройства при обрыве входов-выходов для второй задачи изобретения (фиг. 2)

30 В этом случае допускается обрыв одного входа-выхода из каждой четверки входов-выходов (3), (4), (5).

Например, при обрыве четвертого входа-выхода ($x_4=0$, $x_1=1$, $x_2=1$, $x_3=1$) из формулы (2) получаем выражение (7):

$$35 (f_{j1} \cdot 1)(f_{j2} \cdot 1) \vee (f_{j3} \cdot 1)(f_{j4} \cdot 0) = (f \cdot 1) \vee 0 = f \quad (7)$$

Аналогично при любом другом обрыве одного из четырех входов функция сохраняется и реализуется временная диаграмма фиг. 7.

2.3 Работа устройства при отказах источника питания для третьей задачи изобретения (фиг. 3)

40 В этом случае введение дополнительных резервных входов подключения шин питания «+» (6.2) и «Ноль вольт» (7.2) совместно с дополнительными транзисторами p и n -проводимости обеспечивает реализацию функции работоспособности вида (8):

$$f \cdot (s_1 \vee s_2) \quad (8)$$

45 То есть при отказе одного из источников питания, например, ($s_1=0$, $s_2=1$, где s - функция работоспособности соответствующего источника питания).

$$f \cdot (0 \vee 1) = f \quad (9)$$

Таким образом, реализуется та же самая временная диаграмма фиг. 5.

Относительно четвертой задачи изобретения (фиг. 4) реализуются временные диаграммы фиг. 6-7.

3. Оценка технико-экономической эффективности

Оценим вероятность безотказной (бесбойной) работы прототипа, имеющего в своем составе 2 группы по 6 транзисторов для экспоненциальной модели отказов:

$$P_1 = e^{-(2 \cdot 6)\lambda \cdot t} = e^{-(12)\lambda \cdot t} \quad (10)$$

Для предлагаемого устройства с учетом того, что обеспечивается, как показано выше работоспособность при отказе одного из трех транзисторов в каждой дополнительной подгруппе транзисторов р-проводимости (8.1), (8.2), (8.3), (8.4), (8.5), (8.6) при условии, что нет отказов в соответствующих транзисторах в группе транзисторов р-проводимости; одного из трех транзисторов в каждой дополнительной подгруппе транзисторов п-проводимости (9.1), (9.2), (9.3), (9.4), (9.5), (9.6) при условии, что нет отказов в соответствующих транзисторах в группе транзисторов п-проводимости; одного из транзисторов в группе транзисторов р-проводимости (1); одного из транзисторов в группе транзисторов п-проводимости (2), одного из входов (3), (4), одного из выходов (5), одного из источников питания (6) или (7):

$$P(t)_{\text{fct2}} = [e^{-4\lambda \cdot t} + 4 \cdot e^{-3\lambda \cdot t} (1 - e^{-\lambda \cdot t})]^{12} \quad (11)$$

Так, при интенсивности отказов (сбоев) $\lambda = 10^{-5}$ 1/час (здесь и далее в значении λ учитываются, как показатели отказов и сбоев транзисторов, так и линий связей) на допустимом временном интервале при $t=2000$ часов выигрыш $\delta(t)$ составляет:

$$\delta(t) = \frac{P(t)_{\text{fctm}}}{P_1} = \frac{[e^{-4\lambda \cdot t} + 4 \cdot e^{-3\lambda \cdot t} (1 - e^{-\lambda \cdot t})]^{12}}{e^{-12\lambda \cdot t}} \cong 1,17 \quad (12)$$

Сравним выражения (10) и (11) с выражением, описывающим троирование прототипа с одним мажоритаром (всего $12 \cdot 3 + 10 = 46$ транзисторов, на два меньше, чем в предлагаемом устройстве):

$$P_3 = (3 \cdot e^{-2 \cdot (12) \cdot \lambda \cdot t} - 2 \cdot e^{-3 \cdot (12) \cdot \lambda \cdot t}) \cdot e^{-10 \cdot \lambda \cdot t} \quad (13)$$

а также с выражением, описывающим троирование прототипа с тремя мажоритарными (всего $12 \cdot 3 + 10 \cdot 3 = 66$ транзисторов, на 18 больше, чем в предлагаемом устройстве):

$$P_{3,3} = (3 \cdot e^{-2 \cdot (12) \cdot \lambda \cdot t} - 2 \cdot e^{-3 \cdot (12) \cdot \lambda \cdot t}) \cdot (3 \cdot e^{-2 \cdot (10) \cdot \lambda \cdot t} - 2 \cdot e^{-3 \cdot (10) \cdot \lambda \cdot t}) \quad (14)$$

Графики сравнения вероятностей (2), (3), (4), (5) для различных интенсивностей отказов (сбоев) представлены на фиг. 8-13.

Так, при интенсивности отказов (сбоев) $\lambda = 10^{-4}$ 1/час при $t=100$ часов выигрыш $\delta(t)$ составляет:

$$\delta(t) = \frac{P(t)_{\text{fctm}}}{P_1} = \frac{[e^{-4\lambda \cdot t} + 4 \cdot e^{-3\lambda \cdot t} (1 - e^{-\lambda \cdot t})]^{12}}{e^{-12\lambda \cdot t}} \cong 1,08 \quad (15)$$

Это более 67% от максимально возможного выигрыша, причем троирование прототипа с одним мажоритаром даже хуже не троированной схемы уже на начале временного интервала, а в его конце хуже становится и троированная схема с тремя мажоритарными.

Оценим вероятности безотказной работы с учетом возможных отказов ИП. При

мажоритировании отказ источника питания приводит к отказу всего канала, следовательно, мы можем учесть интенсивность сбоев ИП в общей интенсивности отказов (сбоев) всего канала:

$$P_3 = (3 \cdot e^{-2 \cdot (112) \cdot \lambda \cdot t} - 2 \cdot e^{-3 \cdot (112) \cdot \lambda \cdot t}) \cdot e^{-(10+100) \cdot \lambda \cdot t} \quad (16)$$

$$P_{3,3} = (3 \cdot e^{-2 \cdot (112) \cdot \lambda \cdot t} - 2 \cdot e^{-3 \cdot (112) \cdot \lambda \cdot t}) \cdot (3 \cdot e^{-2 \cdot (110) \cdot \lambda \cdot t} - 2 \cdot e^{-3 \cdot (110) \cdot \lambda \cdot t}) \quad (17)$$

$$P(t)_{\text{fct}} = [e^{-4 \cdot \lambda \cdot t} + 4 \cdot e^{-3 \cdot \lambda \cdot t} (1 - e^{-\lambda \cdot t})]^{12} (1 - (1 - e^{-106 \lambda \cdot t})^2) \quad (18)$$

Графики сравнения вероятностей безотказной работы представлены на фиг. 11-17. Достижение технического результата изобретения подтверждается приведенными оценками.

Список литературы

[1] Yancey S., Smith S. C.A differential design for C-elements and NCL gates // Circuits and Systems (MWSCAS), 2010 53rd IEEE International Midwest Symposium on, vol., no. - 2010. - Т. 632. - Р. 1-4.

[2] Ю.А. Степченков, А.Н. Денисов, Ю.Г. Дьяченко, Ф.И. Гринфельд, О.П. Филимоненко, Н.В. Морозов, Д.Ю. Степченков. Библиотека элементов для проектирования самосинхронных полузаказных микросхем серий 5503/5507 и 5508/5509 - М.: ИПИ РАН, 2008. - 238 с. (функциональная схема гистерезисного триггера представлена на стр. 91).

(57) Формула изобретения

1. Гистерезисный триггер, содержащий группу из шести транзисторов р-проводимости - первого, второго, третьего, четвертого, пятого и шестого, группу из шести транзисторов n-проводимости - первого, второго, третьего, четвертого, пятого и шестого, вход подключения шины «+» питания, вход подключения шины «Ноль вольт», первый и второй входы триггера, выход триггера, причем первый вход триггера подключен к затворам первого и третьего транзисторов группы из шести транзисторов р-проводимости и к затворам первого и третьего транзисторов группы из шести транзисторов n-проводимости, истоки первого, третьего, четвертого и шестого транзисторов группы из шести транзисторов р-проводимости подключены к входу подключения шины «+», подложки первого, второго, третьего, четвертого, пятого и шестого транзисторов группы из шести транзисторов р-проводимости подключены к входу подключения шины «+», подложки первого, второго, третьего, четвертого, пятого и шестого транзисторов группы из шести транзисторов n-проводимости подключены к входу подключения шины «Ноль вольт», истоки первого, третьего, четвертого и шестого транзисторов группы из шести транзисторов n-проводимости подключены к входу подключения шины «Ноль вольт», второй вход триггера подключен к затворам второго и четвертого транзисторов группы из шести транзисторов р-проводимости и к затворам второго и четвертого транзисторов группы из шести транзисторов n-проводимости, затворы пятого транзистора группы из шести транзисторов р-проводимости и пятого транзистора группы из шести транзисторов n-проводимости подключены к выходу триггера, затворы шестого транзистора группы из шести транзисторов р-проводимости и шестого транзистора группы из шести транзисторов n-проводимости объединены, отличающийся тем, что введена вторая группа транзисторов р-проводимости, состоящая из шести подгрупп $i=1 \dots 6$, в каждой подгруппе три транзистора р-проводимости, вторая группа транзисторов n-проводимости, состоящая из шести подгрупп $i=1 \dots 6$, в каждой подгруппе три транзистора n-

n-проводимости - первого, второго, третьего, четвертого, пятого, шестого, вход подключения шины «+» питания, вход подключения шины «Ноль вольт», первый и второй входы триггера, выход триггера, причем первый вход триггера подключен к затворам первого и третьего транзисторов группы из шести транзисторов p-проводимости и к затворам первого и третьего транзисторов группы из шести транзисторов n-проводимости, истоки первого, третьего, четвертого и шестого транзисторов группы из шести транзисторов p-проводимости подключены к входу подключения шины «+», подложки первого, второго, третьего, четвертого, пятого и шестого транзисторов группы из шести транзисторов p-проводимости подключены к входу подключения шины «+», подложки первого, второго, третьего, четвертого, пятого и шестого транзисторов группы из шести транзисторов n-проводимости подключены к входу подключения шины «Ноль вольт», истоки первого, третьего, четвертого и шестого транзисторов группы из шести транзисторов n-проводимости подключены к входу подключения шины «Ноль вольт», второй вход триггера подключен к затворам второго и четвертого транзисторов группы из шести транзисторов p-проводимости и к затворам второго и четвертого транзисторов группы из шести транзисторов n-проводимости, затворы пятого транзистора группы из шести транзисторов p-проводимости и пятого транзистора группы из шести транзисторов n-проводимости подключены к выходу триггера, затворы шестого транзистора группы из шести транзисторов p-проводимости и шестого транзистора группы из шести транзисторов n-проводимости объединены, отличающийся тем, что введена вторая группа транзисторов p-проводимости, состоящая из шести подгрупп $i=1 \dots 6$, в каждой подгруппе три транзистора p-проводимости, вторая группа транзисторов n-проводимости, состоящая из шести подгрупп $i=1 \dots 6$, в каждой подгруппе три транзистора n-проводимости, три резервных входа для первого входа триггера, три резервных входа для второго входа триггера и три резервных выхода триггера, причем первый резервный вход для первого входа триггера подключен к затворам первых транзисторов первой и третьей подгруппы второй группы транзисторов p-проводимости и к затворам первых транзисторов первой и третьей подгруппы второй группы транзисторов n-проводимости, второй резервный вход для первого входа триггера подключен к затворам вторых транзисторов первой и третьей подгруппы второй группы транзисторов p-проводимости и к затворам вторых транзисторов первой и третьей подгруппы второй группы транзисторов n-проводимости, третий резервный вход для первого входа триггера подключен к затворам третьих транзисторов первой и третьей подгруппы второй группы транзисторов p-проводимости и к затворам третьих транзисторов первой и третьей подгруппы второй группы транзисторов n-проводимости, первый резервный вход для второго входа триггера подключен к затворам первых транзисторов второй и четвертой подгруппы второй группы транзисторов p-проводимости и к затворам первых транзисторов второй и четвертой подгруппы второй группы транзисторов n-проводимости, второй резервный вход для второго входа триггера подключен к затворам вторых транзисторов второй и четвертой подгруппы второй группы транзисторов p-проводимости и к затворам вторых транзисторов второй и четвертой подгруппы второй группы транзисторов n-проводимости, третий резервный вход для второго входа триггера подключен к затворам третьих транзисторов второй и четвертой подгруппы второй группы транзисторов p-проводимости и к затворам третьих транзисторов второй и четвертой подгруппы второй группы транзисторов n-проводимости, первый резервный выход триггера подключен к затвору первого транзистора пятой подгруппы второй группы транзисторов p-проводимости и к затвору

второй группы транзисторов n-проводимости объединены, сток второго транзистора шестой подгруппы второй группы транзисторов p-проводимости подключен к первому резервному выходу триггера, сток третьего транзистора шестой подгруппы второй группы транзисторов p-проводимости подключен к выходу триггера, сток второго транзистора шестой подгруппы второй группы транзисторов n-проводимости подключен ко второму резервному выходу триггера, сток третьего транзистора шестой подгруппы второй группы транзисторов n-проводимости подключен к третьему резервному выходу триггера.

3. Гистерезисный триггер, содержащий группу из шести транзисторов p-проводимости - первого, второго, третьего, четвертого, пятого, шестого, группу из шести транзисторов n-проводимости - первого, второго, третьего, четвертого, пятого, шестого, вход подключения шины «+» питания, вход подключения шины «Ноль вольт», первый и второй входы триггера, выход триггера, причем первый вход триггера подключен к затворам первого и третьего транзисторов группы из шести транзисторов p-проводимости и к затворам первого и третьего транзисторов группы из шести транзисторов n-проводимости, истоки первого, третьего, четвертого и шестого транзисторов группы из шести транзисторов p-проводимости подключены к входу подключения шины «+», подложки первого, второго, третьего, четвертого, пятого и шестого транзисторов группы из шести транзисторов p-проводимости подключены к входу подключения шины «+», подложки первого, второго, третьего, четвертого, пятого и шестого транзисторов группы из шести транзисторов n-проводимости подключены к входу подключения шины «Ноль вольт», истоки первого, третьего, четвертого и шестого транзисторов группы из шести транзисторов n-проводимости подключены к входу подключения шины «Ноль вольт», второй вход триггера подключен к затворам второго и четвертого транзисторов группы из шести транзисторов p-проводимости и к затворам второго и четвертого транзисторов группы из шести транзисторов n-проводимости, затворы пятого транзистора группы из шести транзисторов p-проводимости и пятого транзистора группы из шести транзисторов n-проводимости подключены к выходу триггера, затворы шестого транзистора группы из шести транзисторов p-проводимости и шестого транзистора группы из шести транзисторов n-проводимости объединены, отличающийся тем, что введена вторая группа транзисторов p-проводимости, состоящая из шести подгрупп $i=1 \dots 6$, в каждой подгруппе три транзистора p-проводимости, вторая группа транзисторов n-проводимости, состоящая из шести подгрупп $i=1 \dots 6$, в каждой подгруппе три транзистора n-проводимости, резервный вход для подключения шины питания «+», резервный вход для подключения шины «Ноль вольт», причем каждая i -я подгруппа второй группы транзисторов p-проводимости подключается к соответствующему i -му транзистору группы из шести транзисторов p-проводимости, исток второго транзистора i -й подгруппы второй группы транзисторов p-проводимости подключен к стоку первого транзистора i -й подгруппы второй группы транзисторов p-проводимости, исток третьего транзистора i -й подгруппы второй группы транзисторов p-проводимости подключен к стоку i -го транзистора группы из шести транзисторов p-проводимости, стоки второго и третьего транзисторов i -й подгруппы второй группы транзисторов p-проводимости объединены, затворы i -й подгруппы второй группы транзисторов p-проводимости подключаются к затвору i -го транзистора из группы шести транзисторов p-проводимости, каждая i -я подгруппа второй группы транзисторов n-проводимости подключается к соответствующему i -му транзистору группы из шести транзисторов n-проводимости, исток второго транзистора i -й подгруппы второй группы транзисторов

4. Гистерезисный триггер, содержащий группу из шести транзисторов р-проводимости - первого, второго, третьего, четвертого, пятого, шестого, группу из шести транзисторов п-проводимости - первого, второго, третьего, четвертого, пятого, шестого, вход подключения шины «+» питания, вход подключения шины «Ноль вольт», первый и второй входы триггера, выход триггера, причем первый вход триггера подключен к затворам первого и третьего транзисторов группы из шести транзисторов р-проводимости и к затворам первого и третьего транзисторов группы из шести транзисторов п-проводимости, истоки первого, третьего, четвертого и шестого транзисторов группы из шести транзисторов р-проводимости подключены к входу подключения шины «+», подложки первого, второго, третьего, четвертого, пятого и шестого транзисторов группы из шести транзисторов р-проводимости подключены к входу подключения шины «+», подложки первого, второго, третьего, четвертого, пятого и шестого транзисторов группы из шести транзисторов п-проводимости подключены к входу подключения шины «Ноль вольт», истоки первого, третьего, четвертого и шестого транзисторов группы из шести транзисторов п-проводимости подключены к входу подключения шины «Ноль вольт», второй вход триггера подключен к затворам второго и четвертого транзисторов группы из шести транзисторов р-проводимости и к затворам второго и четвертого транзисторов группы из шести транзисторов п-проводимости, затворы пятого транзистора группы из шести транзисторов р-проводимости и пятого транзистора группы из шести транзисторов п-проводимости подключены к выходу триггера, затворы шестого транзистора группы из шести транзисторов р-проводимости и шестого транзистора группы из шести транзисторов п-проводимости объединены, отличающийся тем, что введена вторая группа транзисторов р-проводимости, состоящая из шести подгрупп $i=1 \dots 6$, в каждой подгруппе три транзистора р-проводимости, вторая группа транзисторов п-проводимости, состоящая из шести подгрупп $i=1 \dots 6$, в каждой подгруппе три транзистора п-проводимости, резервный вход для подключения шины питания «+», резервный вход для подключения шины «Ноль вольт», три резервных входа для первого входа триггера и три резервных входа для второго входа триггера, три резервных выхода триггера, причем каждая i -я подгруппа второй группы транзисторов р-проводимости подключается к соответствующему i -му транзистору группы из шести транзисторов р-проводимости, исток второго транзистора i -й подгруппы второй группы транзисторов р-проводимости подключен к стоку первого транзистора i -й подгруппы второй группы транзисторов р-проводимости, исток третьего транзистора i -й подгруппы второй группы транзисторов р-проводимости подключен к стоку i -го транзистора группы из шести транзисторов р-проводимости, стоки второго и третьего транзисторов i -й подгруппы второй группы транзисторов р-проводимости объединены, каждая i -я подгруппа второй группы транзисторов п-проводимости подключается к соответствующему i -му транзистору группы из шести транзисторов п-проводимости, исток второго транзистора i -й подгруппы второй группы транзисторов п-проводимости подключен к стоку первого транзистора i -й подгруппы второй группы транзисторов п-проводимости, исток третьего транзистора i -й подгруппы второй группы транзисторов п-проводимости подключен к стоку i -го транзистора группы из шести транзисторов п-проводимости, стоки второго и третьего транзисторов i -й подгруппы второй группы транзисторов п-проводимости объединены, подложки третьих транзисторов i -й подгруппы второй группы транзисторов р-проводимости подключены к входу подключения шины питания «+», подложки третьих транзисторов i -й подгруппы второй группы транзисторов п-проводимости подключены к входу подключения шины питания

третьих транзисторов второй и четвертой подгруппы второй группы транзисторов n-проводимости, первый резервный выход триггера подключен к затвору первого транзистора пятой подгруппы второй групп транзисторов p-проводимости и к затвору первого транзистора пятой подгруппы второй группы транзисторов n-проводимости, 5 второй резервный выход триггера подключен к затвору второго транзистора пятой подгруппы второй групп транзисторов p-проводимости и к затвору второго транзистора пятой подгруппы второй группы транзисторов n-проводимости, третий резервный выход триггера подключен к затвору третьего транзистора пятой подгруппы второй групп транзисторов p-проводимости и к затвору третьего транзистора пятой подгруппы 10 второй группы транзисторов n-проводимости, исток первого транзистора второй подгруппы второй группы транзисторов p-проводимости объединен с истоком второго транзистора группы из шести транзисторов p-проводимости, исток первого транзистора второй подгруппы второй группы транзисторов n-проводимости объединен с истоком второго транзистора группы из шести транзисторов n-проводимости, исток первого 15 транзистора пятой подгруппы второй группы транзисторов p-проводимости объединен с истоком пятого транзистора группы из шести транзисторов p-проводимости, исток первого транзистора пятой подгруппы второй группы транзисторов n-проводимости объединен с истоком пятого транзистора группы из шести транзисторов n-проводимости, сток второго транзистора шестой подгруппы второй группы транзисторов p- 20 проводимости подключен к первому резервному выходу триггера, сток третьего транзистора шестой подгруппы второй группы транзисторов p-проводимости подключен к выходу триггера, сток второго транзистора шестой подгруппы второй группы транзисторов n-проводимости подключен к второму резервному выходу триггера, сток третьего транзистора шестой подгруппы второй группы транзисторов 25 n-проводимости подключен к третьему резервному выходу триггера.

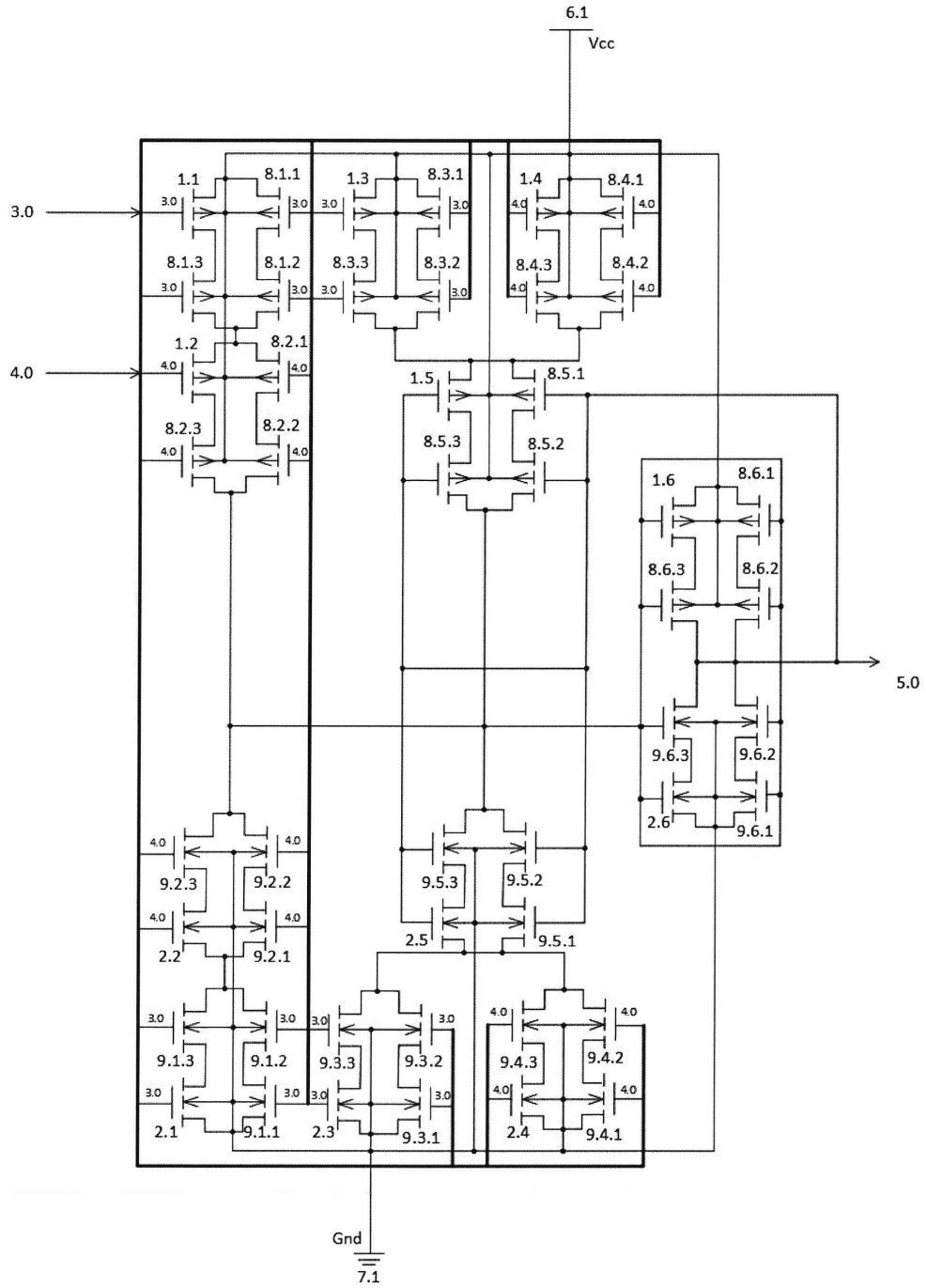
30

35

40

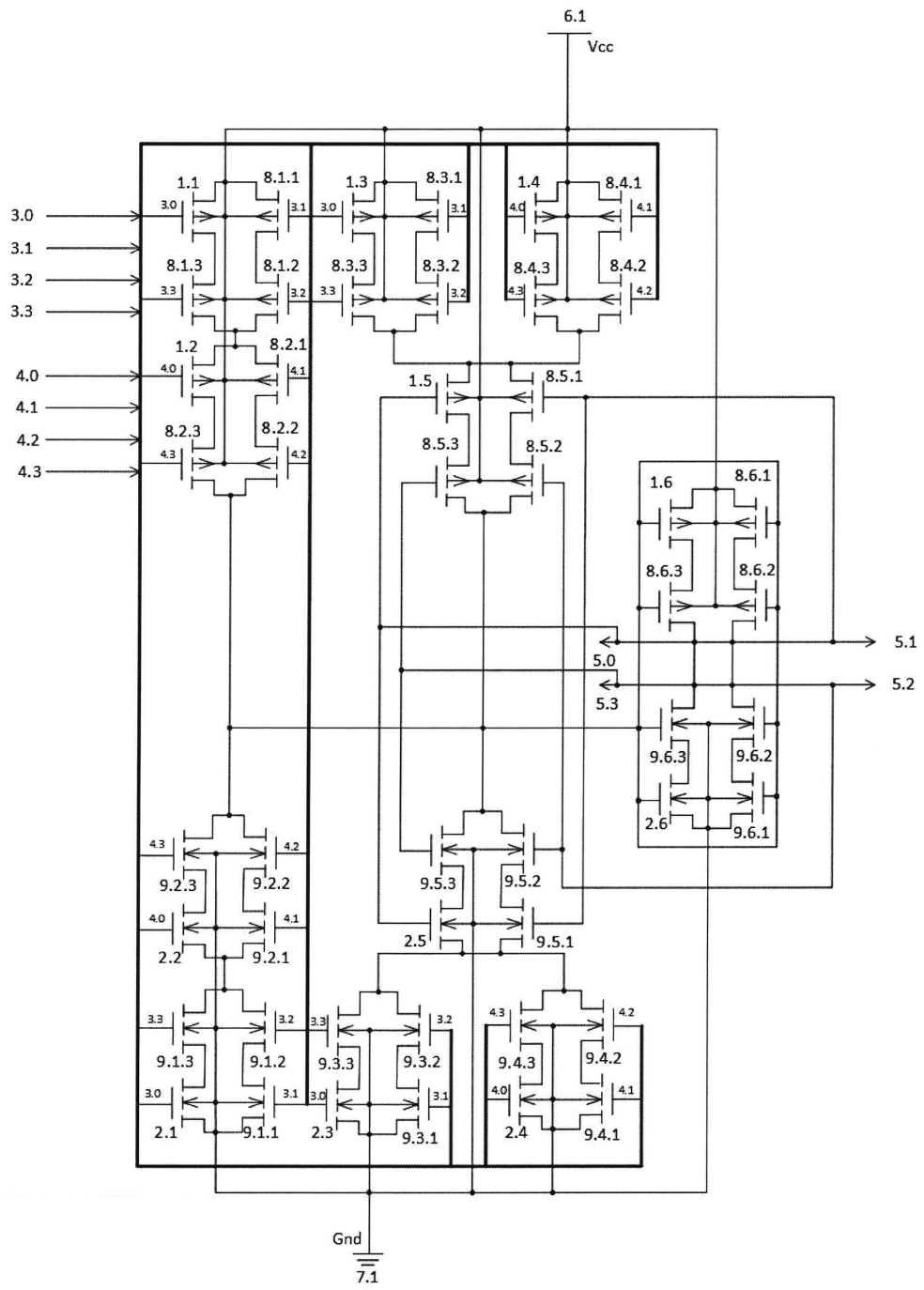
45

1

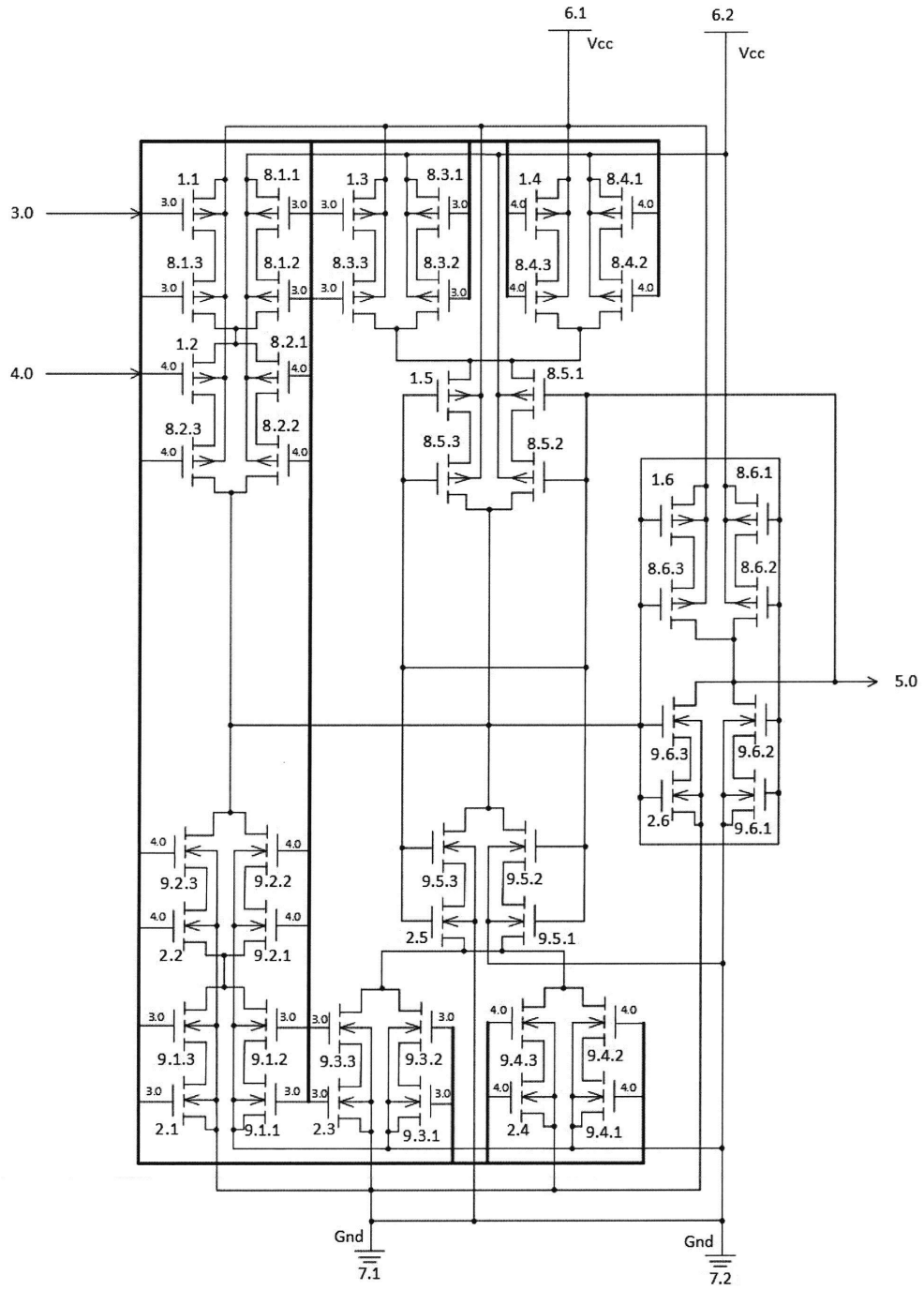


Фиг. 1

2

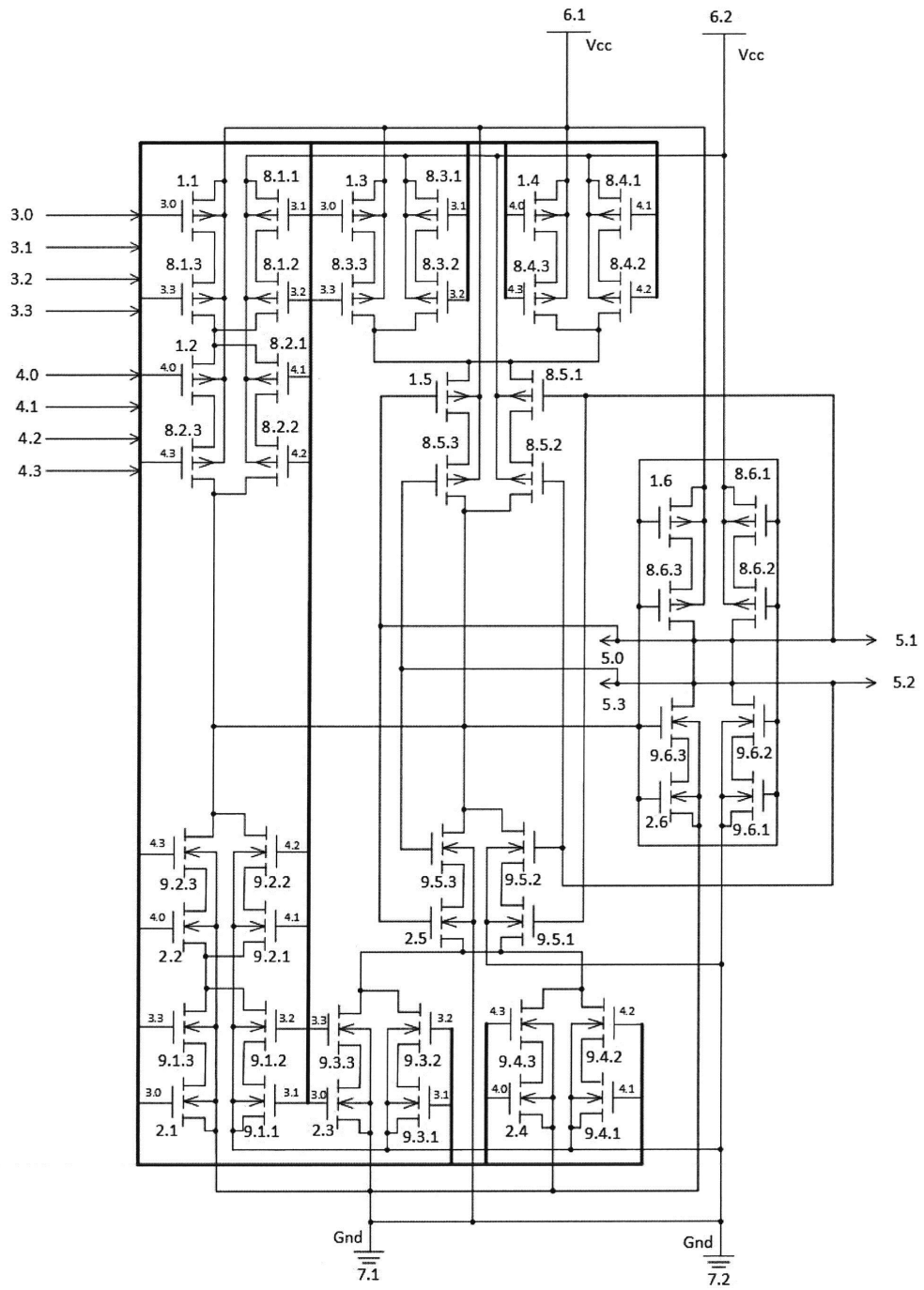


Фиг. 2



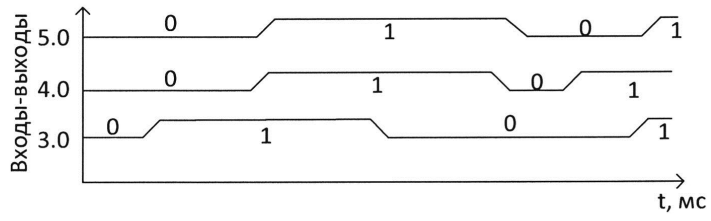
Фиг. 3

-24-

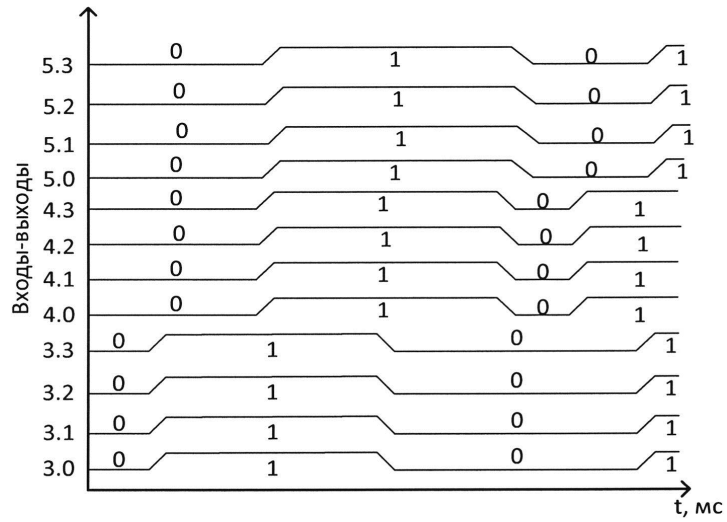


Фиг. 4

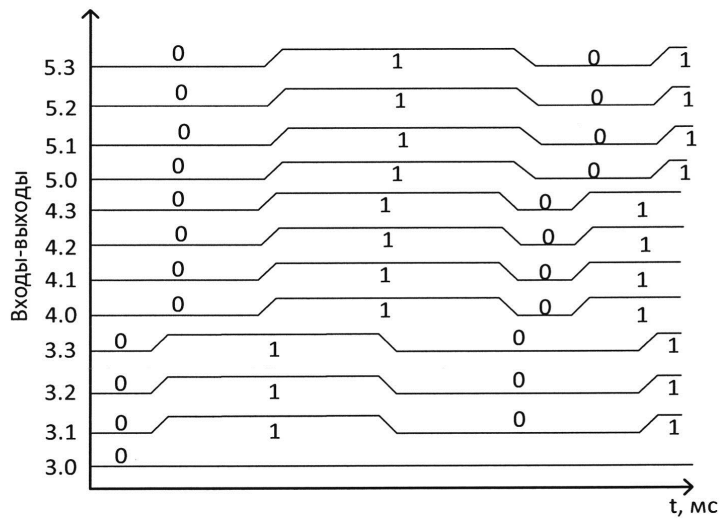
-25-



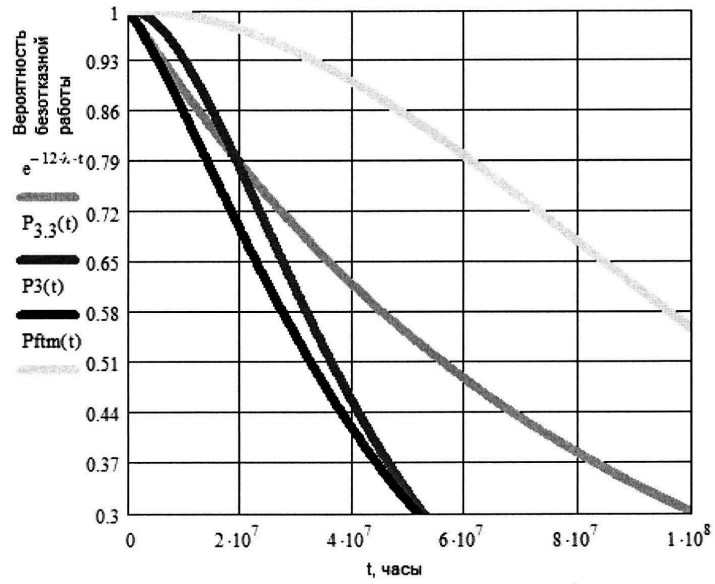
Фиг. 5



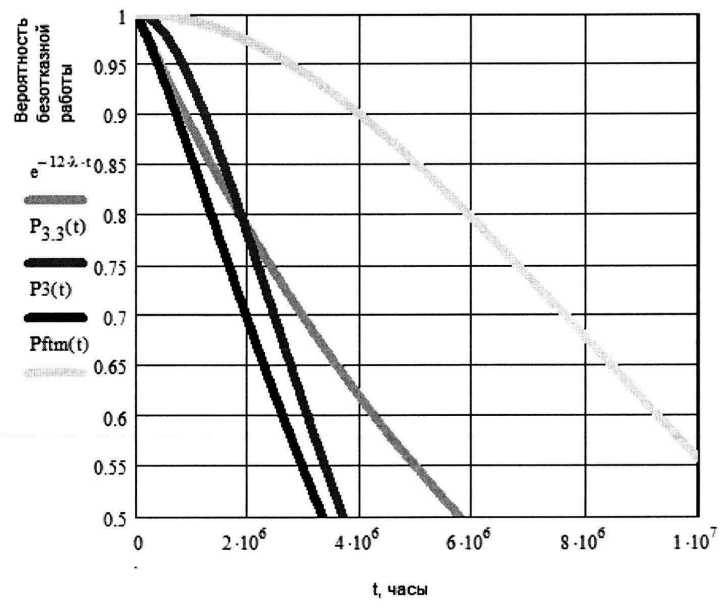
Фиг. 6



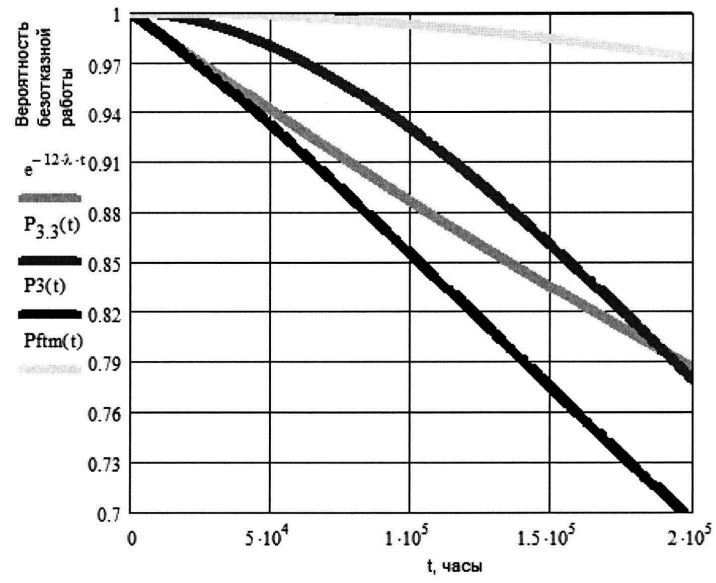
Фиг. 7



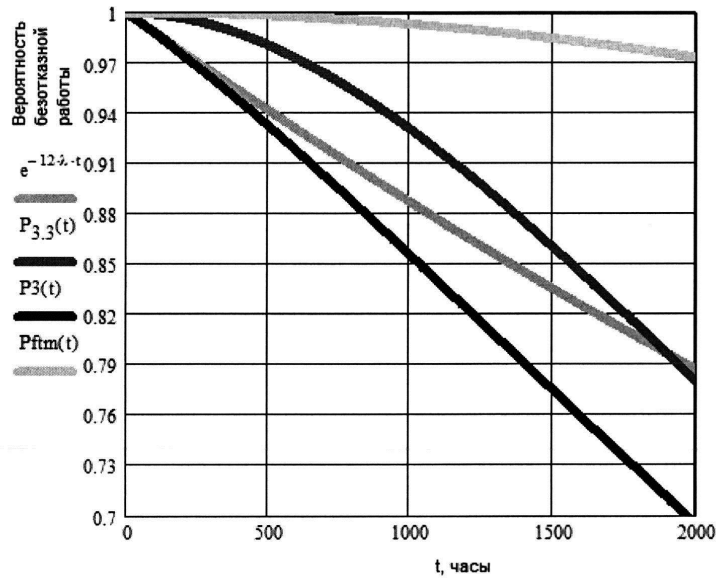
Фиг. 8



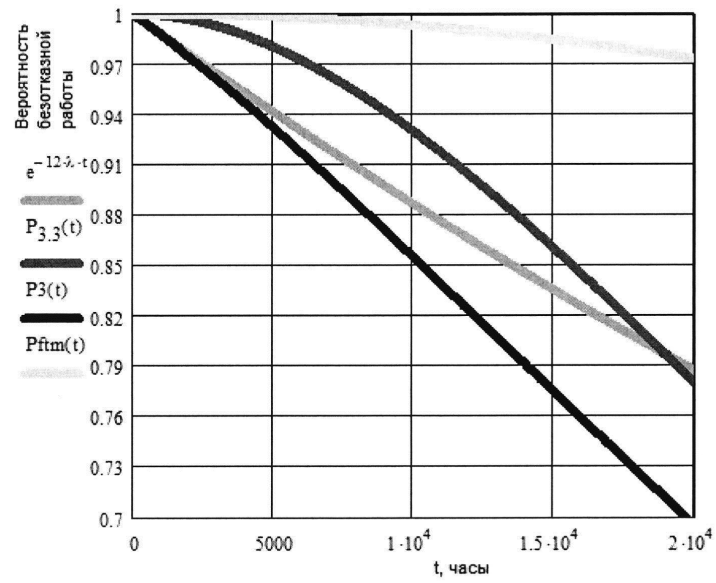
Фиг. 9



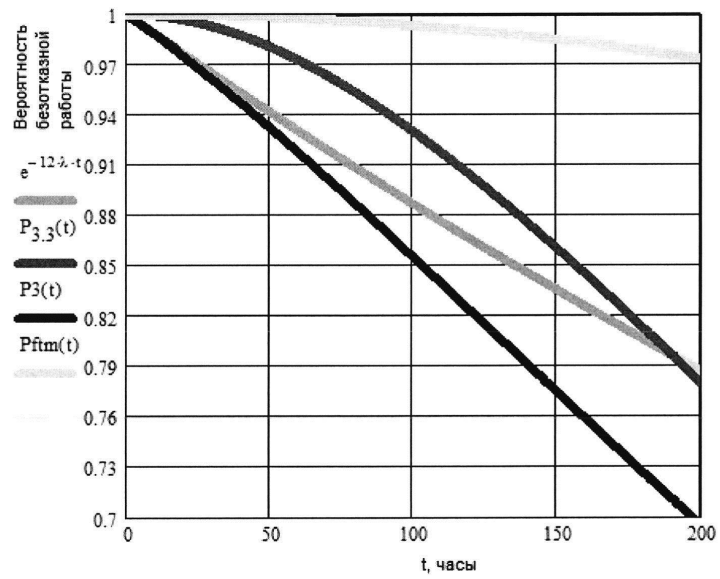
Фиг. 10



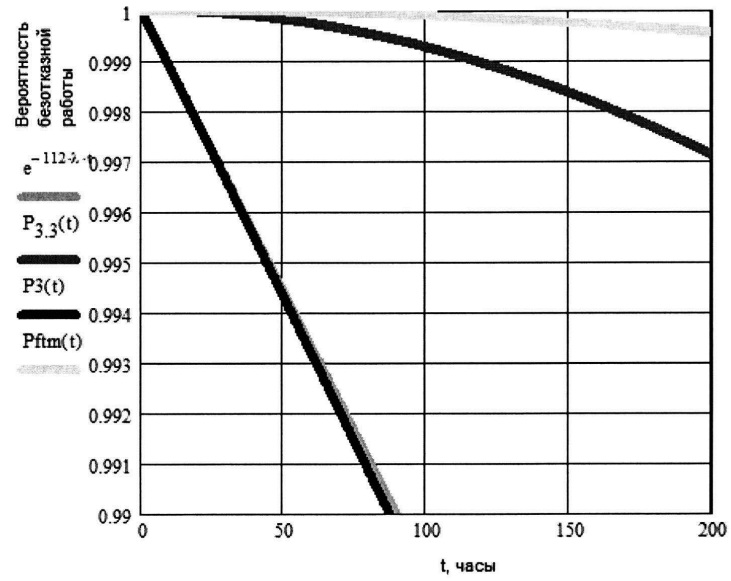
Фиг. 11



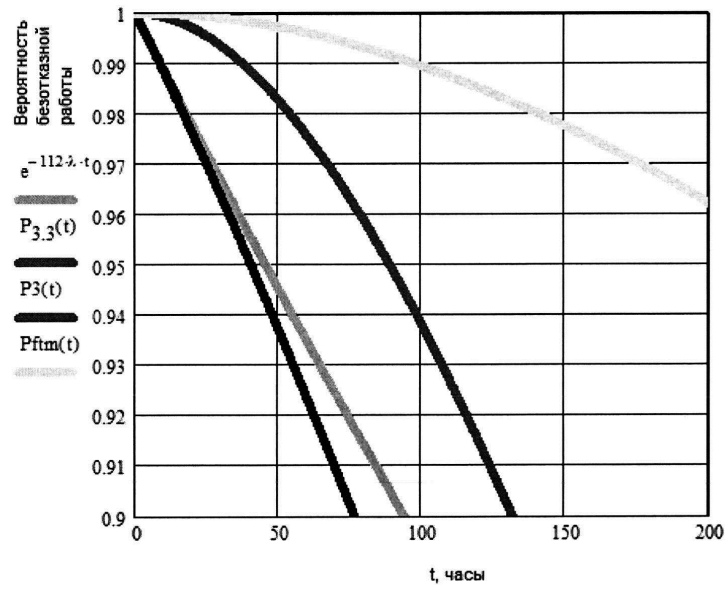
Фиг.12



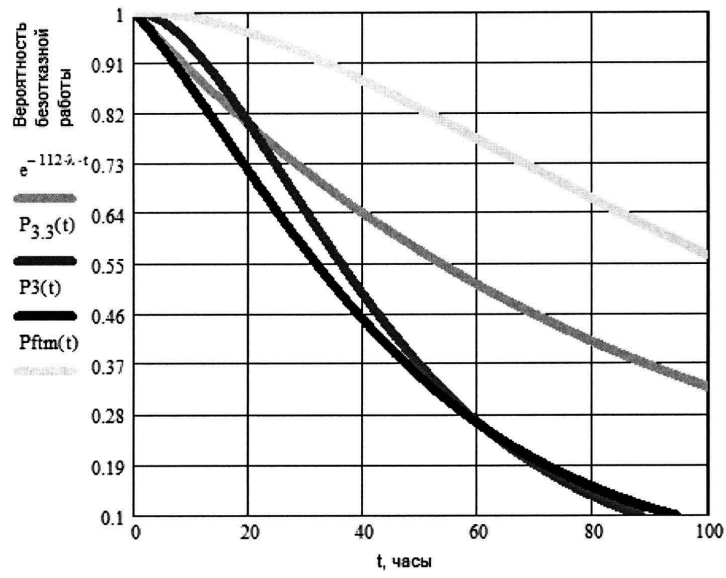
Фиг. 13



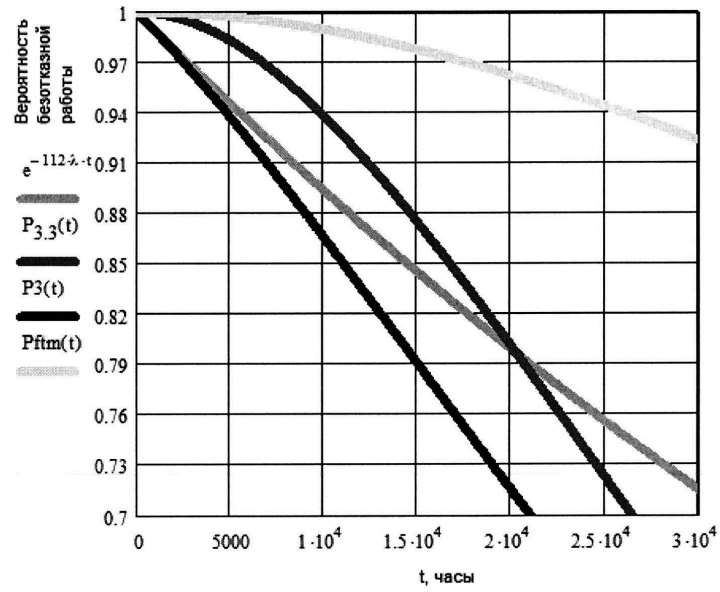
Фиг. 14



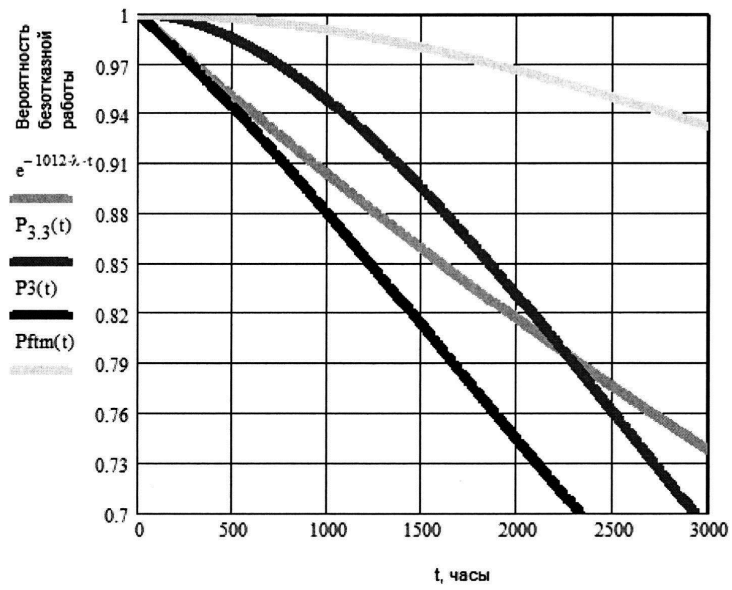
Фиг. 15



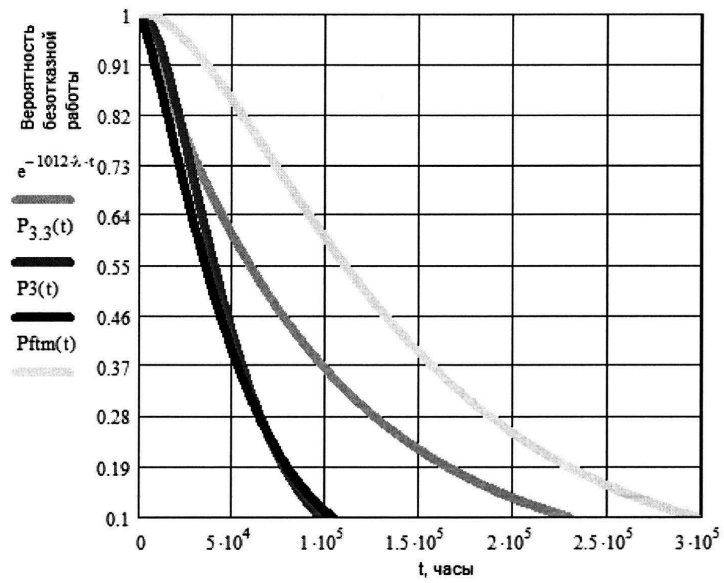
Фиг. 16



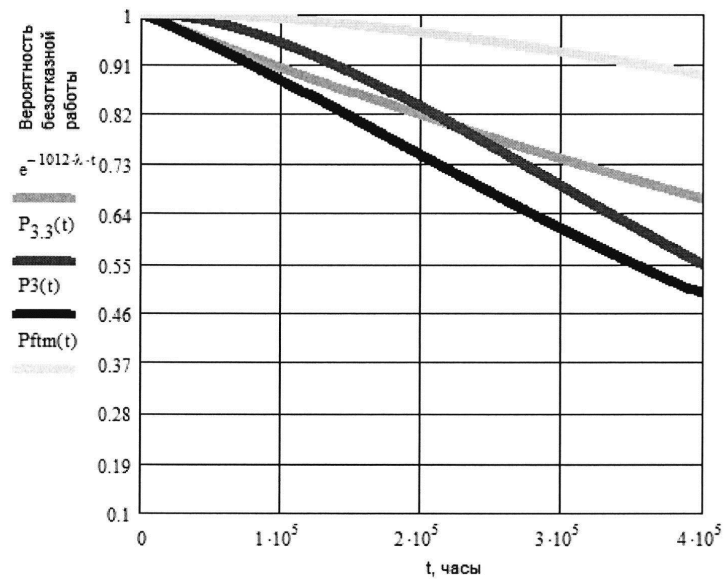
Фиг. 17



Фиг. 18



Фиг. 19



Фиг. 20