



**ФЕДЕРАЛЬНАЯ СЛУЖБА
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ**

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

(21)(22) Заявка: 2014141554/08, 15.10.2014

(24) Дата начала отсчета срока действия патента:
15.10.2014

Приоритет(ы):

(22) Дата подачи заявки: 15.10.2014

(45) Опубликовано: 10.02.2016 Бюл. № 4

(56) Список документов, цитированных в отчете о поиске: SU 1137461 А, 30.01.1985. RU 2000126662 А, 27.07.2001. RU 2461122 С1, 10.09.2012. WO 2011/119606 А2, 29.09.2011.

Адрес для переписки:

119333, Москва, ул. Вавилова, 44, корп. 2, ФИЦ ИУ РАН

(72) Автор(ы):

Рожественский Юрий Владимирович (RU),
Степченков Юрий Афанасьевич (RU),
Бобков Сергей Геннадьевич (RU),
Дьяченко Юрий Георгиевич (RU)

(73) Патентообладатель(и):

Федеральное государственное учреждение
"Федеральный исследовательский центр
"Информатика и управление" Российской
академии наук" (ФИЦ ИУ РАН) (RU)

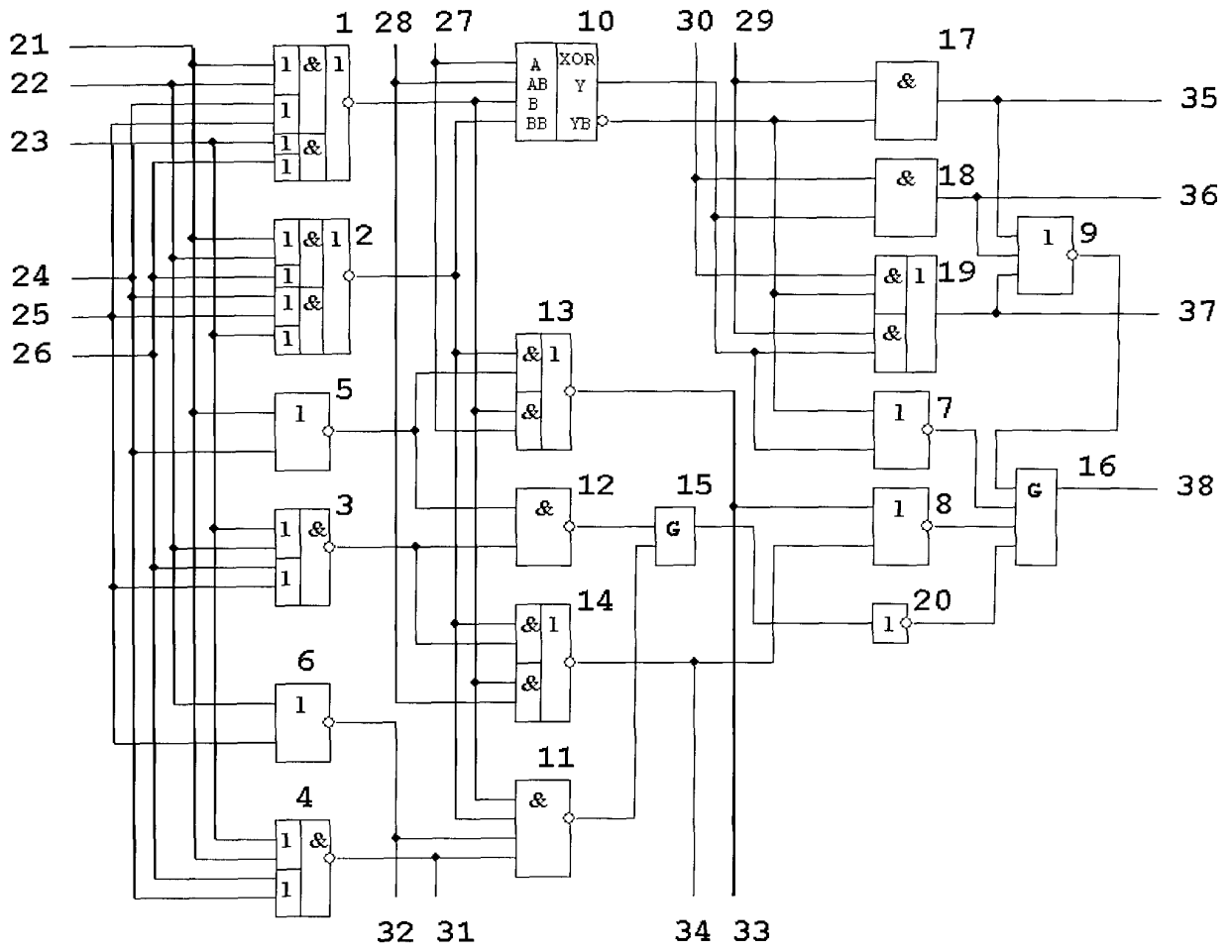
(54) САМОСИНХРОННЫЙ ОДНОЗАРЯДНЫЙ ТРОИЧНЫЙ СУММАТОР

(57) Реферат:

Изобретение относится к импульсной и вычислительной технике и может использоваться при построении самосинхронных комбинационных и вычислительных устройств, систем цифровой обработки информации. Технический результат заключается в обеспечении самосинхронной работы однозарядного сумматора, характеризующегося отсутствием сквозного переноса при реализации на нем многозарядного сумматора. Технический результат достигается за счет того, что в схему, содержащую два элемента И-НЕ и элемент неравнозначности, положительные и отрицательные компоненты двух слагаемых,

прямой компонент первого входа переноса, прямой и инверсный компоненты второго входа переноса, прямой компонент первого выхода переноса, прямой и инверсный компоненты второго выхода переноса, положительный и отрицательный компоненты суммы, введены два элемента ИЛИ-И-ИЛИ-НЕ, два элемента ИЛИ-И-НЕ, пять элементов ИЛИ-НЕ, два элемента И-ИЛИ-НЕ, два элемента И, один элемент И-ИЛИ, два гистерезисных триггера, инвертор, нулевые компоненты входов слагаемых и выхода суммы, инверсный компонент первого входа переноса, инверсный компонент первого выхода переноса и индикаторный выход. 1 ил., 2 табл.

RU 2574818 C1



Фиг. 1

RU 2574818 C1



FEDERAL SERVICE
FOR INTELLECTUAL PROPERTY

(12) **ABSTRACT OF INVENTION**

(21)(22) Application: 2014141554/08, 15.10.2014
 (24) Effective date for property rights:
15.10.2014
 Priority:
 (22) Date of filing: 15.10.2014
 (45) Date of publication: 10.02.2016 Bull. № 4
 Mail address:
119333, Moskva, ul. Vavilova, 44, korp. 2, FITs IU
RAN

(72) Inventor(s):
Rozhdestvenskij Jurij Vladimirovich (RU),
Stepchenkov Jurij Afanas'evich (RU),
Bobkov Sergej Gennad'evich (RU),
D'jachenko Jurij Georgievich (RU)
 (73) Proprietor(s):
Federal'noe gosudarstvennoe uchrezhdenie
"Federal'nyj issledovatel'skij tsentr "Informatika
i upravlenie" Rossijskoj akademii nauk" (FITs
IU RAN) (RU)

(54) **SELF-SYNCHRONOUS SINGLE-CHARGE TERNARY ADDER**

(57) Abstract:

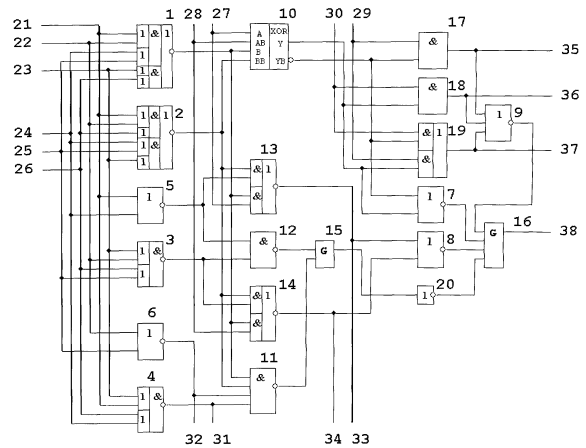
FIELD: electricity.

SUBSTANCE: to the scheme comprised of two AND-NOT elements and a nonequivalent element, positive and negative components of two summands, a direct component of the first carry input, direct and inverse components of the second carry input, a direct component of the first carry output, direct and inverse components of the second carry output, positive and negative components of the sum, there are additional two OR-AND-OR-NOT elements, two OR-AND-NOT elements, five OR-NOT elements, two AND-OR-NOT elements, two AND elements, one AND-OR element, two hysteresis triggers, an inverter, zero components of summand inputs and sum output, an inverse component of the first carry input, a component of the first carry output and an indicating output are brought.

EFFECT: self-synchronous operation of a single-charge ternary adder characterised by the non-available

high-speed carry while a multi-digit adder is implemented on it.

1 dwg, 2 tbl



Фиг. 1

RU 2 574 818 C1

RU 2 574 818 C1

Изобретение относится к импульсной и вычислительной технике и может использоваться при построении самосинхронных комбинационных и вычислительных устройств, систем цифровой обработки информации.

Известен самосинхронный одноразрядный двоичный сумматор [1, рис.4.6], состоящий из четырех элементов И-ИЛИ-НЕ и двух элементов ИЛИ-НЕ и имеющий парафазные входы и выходы.

Недостаток известного устройства - большая задержка формирования выходного переноса при построении многоразрядного сумматора.

Наиболее близким к предлагаемому решению по технической сущности и принятым в качестве прототипа является одноразрядный сумматор с избыточным кодированием входов и выходов [2, Fig. 4a], содержащий шесть элементов И-НЕ, два элемента неравнозначности и мультиплексор.

Недостаток прототипа - невозможность его использования в самосинхронном режиме работы.

Задача, решаемая в изобретении, заключается в обеспечении самосинхронной работы одноразрядного сумматора, характеризующегося отсутствием сквозного переноса при реализации на нем многоразрядного сумматора.

Это достигается тем, что в одноразрядный троичный сумматор, содержащий два элемента И-НЕ и элемент неравнозначности, положительные и отрицательные компоненты двух слагаемых, прямой компонент первого входа переноса, прямой и инверсный компоненты второго входа переноса, прямой компонент первого выхода переноса, прямой и инверсный компоненты второго выхода переноса, положительный и отрицательный компоненты суммы, введены два элемента ИЛИ-И-ИЛИ-НЕ, два элемента ИЛИ-И-НЕ, пять элементов ИЛИ-НЕ, два элемента И-ИЛИ-НЕ, два элемента И, один элемент И-ИЛИ, два гистерезисных триггера, инвертор, нулевые компоненты входов слагаемых и выхода суммы, инверсный компонент первого входа переноса, инверсный компонент первого выхода переноса и индикаторный выход, элемент неравнозначности имеет два парафазных входа и один парафазный выход, первый и второй входы переноса и первый и второй выходы переноса являются парафазными сигналами, причем положительный компонент первого слагаемого подключен к первому входу первой группы ИЛИ входов первого и второго элементов ИЛИ-И-ИЛИ-НЕ, ко второму входу первой группы ИЛИ входов второго элемента ИЛИ-И-НЕ и первому входу первого элемента ИЛИ-НЕ, отрицательный компонент первого слагаемого подключен ко второму входу первой группы ИЛИ входов первого и второго элементов ИЛИ-И-ИЛИ-НЕ, ко второму входу первой группы ИЛИ входов первого элемента ИЛИ-И-НЕ и первому входу второго элемента ИЛИ-НЕ, нулевой компонент первого слагаемого соединен с входом третьей группы ИЛИ входов первого элемента ИЛИ-И-ИЛИ-НЕ, входом четвертой группы ИЛИ входов второго элемента ИЛИ-И-ИЛИ-НЕ и первыми входами первых групп ИЛИ первого и второго элементов ИЛИ-И-НЕ, положительный компонент второго слагаемого подключен к первому входу второй группы ИЛИ входов первого элемента ИЛИ-И-ИЛИ-НЕ, к первому входу третьей группы ИЛИ входов второго элемента ИЛИ-И-ИЛИ-НЕ, ко второму входу первого элемента ИЛИ-НЕ и второму входу второй группы ИЛИ входов второго элемента ИЛИ-И-НЕ, отрицательный компонент второго слагаемого подключен ко второму входу второй группы ИЛИ входов первого элемента ИЛИ-И-ИЛИ-НЕ, ко второму входу третьей группы ИЛИ входов второго элемента ИЛИ-И-ИЛИ-НЕ, ко второму входу второй группы ИЛИ входов первого элемента ИЛИ-И-НЕ и второму входу второго элемента ИЛИ-НЕ, нулевой компонент второго слагаемого соединен с входом

четвертой группы ИЛИ входов первого элемента ИЛИ-И-ИЛИ-НЕ, входом второй группы ИЛИ входов второго элемента ИЛИ-И-ИЛИ-НЕ и первыми входами вторых групп ИЛИ входов первого и второго элементов ИЛИ-И-НЕ, первая и вторая группы ИЛИ входов первого и второго элементов ИЛИ-И-ИЛИ-НЕ объединяются в первую группу И второго каскада соответствующего элемента, третья и четвертая группы ИЛИ входов первого и второго элементов ИЛИ-И-ИЛИ-НЕ объединяются во вторую группу И второго каскада соответствующего элемента, прямой и инверсный компоненты первого входа переноса подключены к первому и второму входам элемента неравнозначности, составляющим первый парафазный вход элемента неравнозначности, и ко вторым входам вторых групп И входов первого и второго элементов И-ИЛИ-НЕ соответственно, выход первого элемента ИЛИ-И-ИЛИ-НЕ соединен с третьим входом элемента неравнозначности, который вместе с четвертым входом элемента неравнозначности составляет второй парафазный вход элемента неравнозначности, первым входом первого элемента И-НЕ и первыми входами вторых групп И входов первого и второго элементов И-ИЛИ-НЕ, выход второго элемента ИЛИ-И-ИЛИ-НЕ подключен к четвертому входу элемента неравнозначности, второму входу первого элемента И-НЕ и первым входам первых групп И входов первого и второго элементов И-ИЛИ-НЕ, выход первого элемента ИЛИ-НЕ соединен со вторым входом первой группы И входов первого элемента И-ИЛИ-НЕ и первым входом второго элемента И-НЕ, выход первого элемента ИЛИ-И-НЕ подключен ко второму входу второго элемента И-НЕ и второму входу первой группы И входов второго элемента И-ИЛИ-НЕ, выход второго элемента ИЛИ-НЕ соединен с третьим входом первого элемента И-НЕ и инверсным компонентом первого выхода переноса, выход второго элемента ИЛИ-И-НЕ подключен к четвертому входу первого элемента И-НЕ и прямому компоненту первого парафазного выхода переноса, прямой компонент парафазного выхода элемента неравнозначности соединен со вторыми входами второго элемента И, третьего элемента ИЛИ-НЕ и второй группы И входов элемента И-ИЛИ, инверсный компонент парафазного выхода элемента неравнозначности подключен ко второму входу первого элемента И, второму входу первой группы И входов элемента И-ИЛИ и первому входу третьего элемента ИЛИ-НЕ, выходы первого и второго элементов И-НЕ соединены со вторым и первым входами первого гистерезисного триггера соответственно, выход которого соединен с входом инвертора, выход первого элемента И-ИЛИ-НЕ подключен к первому входу четвертого элемента ИЛИ-НЕ и прямому компоненту второго выхода переноса, выход второго элемента И-ИЛИ-НЕ подключен ко второму входу четвертого элемента ИЛИ-НЕ и инверсному компоненту второго выхода переноса, прямой компонент второго входа переноса соединен с первым входом первого элемента И и первым входом второй группы И входов элемента И-ИЛИ, инверсный компонент второго входа переноса соединен с первым входом второго элемента И и первым входом первой группы И входов элемента И-ИЛИ, выход первого элемента И подключен к первому входу пятого элемента ИЛИ-НЕ и положительному компоненту троичного выхода суммы, выход второго элемента И подключен ко второму входу пятого элемента ИЛИ-НЕ и отрицательному компоненту троичного выхода суммы, выход элемента И-ИЛИ соединен с третьим входом пятого элемента ИЛИ-НЕ и нулевым компонентом троичного выхода суммы, выходы пятого, третьего и четвертого элементов ИЛИ-НЕ подключены к первому, второму и третьему входам второго гистерезисного триггера, четвертый вход которого соединен с выходом инвертора, а выход соединен с индикаторным выходом сумматора.

Предлагаемое устройство удовлетворяет критерию "существенные отличия".

Действительно, положительные и отрицательные компоненты слагаемых и суммы, элементы ИЛИ-НЕ и неравнозначности есть и в прототипе. Но их использование не обеспечивает самосинхронной работы троичного сумматора. Только добавление нулевых компонентов слагаемых и суммы, ряда других элементов, использование

5 элемента неравнозначности с парафазными входами и выходом и самосинхронного кодирования троичных входов и выходов позволило достичь эффекта, выраженного целью изобретения.

Поскольку введенные конструктивные связи в аналогичных технических решениях не известны, устройство может считаться имеющим существенные отличия.

10 Понятие "парафазный", используемое в тексте данной заявки, определяется следующим образом. Парафазным считается сигнал, представленный двумя составляющими - парой переменных $\{X, XB\}$, которые в активной фазе имеют взаимоинверсные значения: $\{X=0, XB=1\}$ или $\{X=1, XB=0\}$. Переход парафазного сигнала из одного статического рабочего состояния в противоположное рабочее

15 состояние может осуществляться двумя способами.

Первый способ предполагает использование парафазного сигнала со спейсером: когда переходу в следующее рабочее состояние обязательно предшествует переход в

третье статическое состояние - спейсерное (нерабочее состояние или состояние гашения). Если используется состояние $\{1, 1\}$, то говорят, что используется парафазный сигнал с единичным спейсером, а если состояние $\{0, 0\}$, то - парафазный сигнал с нулевым

20 спейсером. Спейсерное состояние - статическое состояние, установка которого в самосинхронной схемотехнике должна фиксироваться индикатором окончания переходного процесса, в данном случае - окончания установки спейсерного состояния.

Второй способ предполагает использование парафазного сигнала без спейсера. При этом переход из одного рабочего статического состояния в другое осуществляется

25 через динамическое (кратковременное) состояние: $\{1, 1\}$ или $\{0, 0\}$, называемое транзитным состоянием.

В материалах данной заявки речь идет об использовании в качестве первого входа переноса и первого выхода переноса парафазного сигнала с единичным спейсером и

30 об использовании в качестве второго входа переноса и второго выхода переноса парафазного сигнала с нулевым спейсером.

Самосинхронное кодирование троичного сигнала раскрывается в таблице 1. Здесь Р, N, М - положительный, нулевой и отрицательный компоненты троичного сигнала соответственно, символ "*" означает любое значение компоненты сигнала.

35 Таблица 1. Самосинхронное кодирование троичного сигнала

Р	N	М	Эквивалентное значение
0	0	0	спейсер
1	0	0	+1
0	1	0	0
0	0	1	-1
1	1	*	запрещено
1	*	1	запрещено
*	1	1	запрещено

45 На фиг. 1 представлена схема одноразрядного троичного сумматора, содержащего два элемента ИЛИ-И-ИЛИ-НЕ 1-2, два элемента ИЛИ-И-НЕ 3-4, пять элементов ИЛИ-НЕ 5-9, элемент неравнозначности 10, два элемента И-НЕ 11-12, два элемента И-ИЛИ-НЕ 13-14, два гистерезисных триггера 15-16, два элемента И 17-18, один элемент И-

ИЛИ 19, инвертор 20, положительный 21, отрицательный 22 и нулевой 23 компоненты первого слагаемого, положительный 24, отрицательный 25 и нулевой 26 компоненты второго слагаемого, прямой 27 и инверсный 28 компоненты первого входа переноса, прямой 29 и инверсный 30 компоненты второго входа переноса, прямой 31 и инверсный 32 компоненты первого выхода переноса, прямой 33 и инверсный 34 компоненты второго выхода переноса, положительный 35, отрицательный 36 и нулевой 37 компоненты суммы и индикаторный выход 38, причем элемент неравнозначности 10 имеет два парафазных входа и один парафазный выход, положительный компонент первого слагаемого 21 подключен к первому входу первой группы ИЛИ входов элементов ИЛИ-И-ИЛИ-НЕ 1-2, ко второму входу первой группы ИЛИ входов элемента ИЛИ-И-НЕ 4 и первому входу элемента ИЛИ-НЕ 5, отрицательный компонент первого слагаемого 22 подключен ко второму входу первой группы ИЛИ входов элементов ИЛИ-И-ИЛИ-НЕ 1-2, ко второму входу первой группы ИЛИ входов элемента ИЛИ-И-НЕ 3 и первому входу элемента ИЛИ-НЕ 6, нулевой компонент первого слагаемого 23 соединен с входом третьей группы ИЛИ входов элемента ИЛИ-И-ИЛИ-НЕ 1, входом четвертой группы ИЛИ входов элемента ИЛИ-И-ИЛИ-НЕ 2 и первыми входами первых групп ИЛИ первого и второго элементов ИЛИ-И-НЕ 3-4, положительный компонент второго слагаемого 24 подключен к первому входу второй группы ИЛИ входов элемента ИЛИ-И-ИЛИ-НЕ 1, к первому входу третьей группы ИЛИ входов элемента ИЛИ-И-ИЛИ-НЕ 2, ко второму входу элемента ИЛИ-НЕ 5 и второму входу второй группы ИЛИ входов элемента ИЛИ-И-НЕ 4, отрицательный компонент второго слагаемого 25 подключен ко второму входу второй группы ИЛИ входов элемента ИЛИ-И-ИЛИ-НЕ 1, ко второму входу третьей группы ИЛИ входов элемента ИЛИ-И-ИЛИ-НЕ 2, ко второму входу второй группы ИЛИ входов элемента ИЛИ-И-НЕ 3 и второму входу элемента ИЛИ-НЕ 6, нулевой компонент второго слагаемого 26 соединен с входом четвертой группы ИЛИ входов элемента ИЛИ-И-ИЛИ-НЕ 1, входом второй группы ИЛИ входов элемента ИЛИ-И-ИЛИ-НЕ 2 и первыми входами вторых групп ИЛИ элементов ИЛИ-И-НЕ 3-4, первая и вторая группы ИЛИ входов элементов ИЛИ-И-ИЛИ-НЕ 1-2 объединяются в первую группу И второго каскада соответствующего элемента, третья и четвертая группы ИЛИ входов элементов ИЛИ-И-ИЛИ-НЕ 1-2 объединяются во вторую группу И второго каскада соответствующего элемента, прямой 27 и инверсный 28 компоненты первого входа переноса подключены к первому и второму входам элемента неравнозначности 10, составляющим первый парафазный вход элемента неравнозначности 10, и ко вторым входам вторых групп И входов первого 13 и второго 14 элементов И-ИЛИ-НЕ соответственно, выход элемента ИЛИ-И-ИЛИ-НЕ 1 соединен с третьим входом элемента неравнозначности 10, который вместе с четвертым входом элемента неравнозначности 10 составляет второй парафазный вход элемента неравнозначности 10, первым входом элемента И-НЕ 11 и первыми входами вторых групп И входов элементов И-ИЛИ-НЕ 13-14, выход элемента ИЛИ-И-ИЛИ-НЕ 2 подключен к четвертому входу элемента неравнозначности 10, второму входу элемента И-НЕ 11 и первым входам первых групп И входов элементов И-ИЛИ-НЕ 13-14, выход элемента ИЛИ-НЕ 5 соединен со вторым входом первой группы И входов элемента И-ИЛИ-НЕ 13 и первым входом элемента И-НЕ 12, выход элемента ИЛИ-И-НЕ 3 подключен ко второму входу элемента И-НЕ 12 и второму входу первой группы И входов элемента И-ИЛИ-НЕ 14, выход элемента ИЛИ-НЕ 6 соединен с третьим входом элемента И-НЕ 11 и инверсным компонентом 32 первого выхода переноса, выход элемента ИЛИ-И-НЕ 4 подключен к четвертому входу первого элемента И-НЕ 11 и прямому компоненту 31 первого выхода переноса, прямой

компонент парафазного выхода элемента неравнозначности 10 соединен со вторыми входами элементов И 18 и ИЛИ-НЕ 7 и второй группы И входов элемента И-ИЛИ 19, инверсный компонент парафазного выхода элемента неравнозначности 10 подключен ко второму входу элемента И 17, второму входу первой группы И входов элемента И-ИЛИ 19 и первому входу элемента ИЛИ-НЕ 7, выходы элементов И-НЕ 11 и 12 соединены со вторым и первым входами гистерезисного триггера 15 соответственно, выход которого соединен с входом инвертора 20, выход элемента И-ИЛИ-НЕ 13 подключен к первому входу элемента ИЛИ-НЕ 8 и прямому компоненту 33 второго выхода переноса, выход элемента И-ИЛИ-НЕ 14 подключен ко второму входу элемента ИЛИ-НЕ 8 и инверсному компоненту 34 второго выхода переноса, прямой компонент 29 второго входа переноса соединен с первым входом элемента И 17 и первым входом второй группы И входов элемента И-ИЛИ 19, инверсный компонент 30 второго входа переноса соединен с первым входом элемента И 18 и первым входом первой группы И входов элемента И-ИЛИ 19, выход элемента И 17 подключен к первому входу элемента ИЛИ-НЕ 9 и положительному компоненту 35 троичного выхода суммы, выход элемента И 18 подключен ко второму входу элемента ИЛИ-НЕ 9 и отрицательному компоненту 36 троичного выхода суммы, выход элемента И-ИЛИ 19 соединен с третьим входом элемента ИЛИ-НЕ 9 и нулевым компонентом 37 троичного выхода суммы, выходы элементов ИЛИ-НЕ 9, 7 и 8 подключены к первому, второму и третьему входам гистерезисного триггера 16, четвертый вход которого соединен с выходом инвертора 20, а выход соединен с индикаторным выходом 38 сумматора.

Элемент неравнозначности 10 имеет парафазные входы и выход и выполняет следующие функции:

$$\begin{aligned}
 Y &= \overline{A * B} + \overline{AB * BB}, \\
 YB &= \overline{A * BB} + \overline{AB * B},
 \end{aligned}
 \tag{1}$$

где {А, АВ} - первый парафазный вход, {В, ВВ} - второй парафазный вход, {У, УВ} - парафазный выход. Входы элемента неравнозначности имеют спейсер, противоположный по отношению к спейсеру его выхода.

Гистерезисный триггер 15 выполняет функцию:

$$Y = I0 * I1 + Y * (I0 + I1),
 \tag{2}$$

где I0, I1 - входы триггера, Y - выход триггера.

Гистерезисный триггер 16 выполняет функцию:

$$Y = I0 * I1 * I2 * I3 + Y * (I0 + I1 + I2 + I3),
 \tag{3}$$

где I0-I3 - входы триггера, Y - выход триггера.

Схема работает следующим образом. Аналогично любому другому самосинхронному устройству, данный сумматор постоянно переключается из спейсера в разрешенное рабочее состояние и обратно. Переключение из одного рабочего состояния в другое обязательно происходит через спейсерное состояние всех входов и выходов сумматора. В спейсерной фазе все входы и выходы сумматора находятся в своем спейсере, причем тип спейсера слагаемых, второго входа переноса, суммы и второго выхода переноса - нулевой, а тип спейсера первого входа переноса, первого выхода переноса и индикаторного выхода - единичный. Выход суммы может перейти в рабочее состояние ("100", "010" или "001") только при условии, что все входы сумматора перешли в рабочее состояние. Действительно, если первое слагаемое 21-23 находится в нулевом спейсере ("000"), то выходы элементов 1 и 2 находятся в состоянии логической единицы, выходы элемента неравнозначности 10 в соответствии с формулами (1) находятся в состоянии

логического нуля, что заставляет и выходы элементов 17-19 находиться в состоянии логического нуля, то есть выход суммы 35-37 находится в нулевом спейсере ("000") независимо от состояния остальных входов сумматора. Если второе слагаемое 24-26 находится в нулевом спейсере ("000"), то выходы элементов 1 и 2 находятся в состоянии логической единицы, выходы элемента неравнозначности 10 в соответствии с формулами (1) находятся в состоянии логического нуля, что заставляет и выходы элементов 17-19 находиться в состоянии логического нуля, то есть выход суммы 35-37 находится в нулевом спейсере независимо от состояния остальных входов сумматора. Если в единичном спейсере ("11") находится первый парафазный вход переноса 27-28, то выходы элемента неравнозначности 10 в соответствии с формулами (1) находятся в состоянии логического нуля, что заставляет и выходы элементов 17-19 находиться в состоянии логического нуля, следовательно, выход суммы 35-37 находится в нулевом спейсере независимо от состояния остальных входов сумматора. Если в нулевом спейсере ("00") находится второй парафазный вход переноса 29-30, то выходы элементов 17-19 находятся также в состоянии логического нуля, следовательно, выход суммы 35-37 находится в нулевом спейсере независимо от состояния остальных входов сумматора.

Состояния выходов сумматора в зависимости от допустимых статических рабочих (отличных от спейсера) комбинаций его входов приведены в таблице 2.

20

25

30

35

40

45

Таблица 2. Таблица статических рабочих состояний сумматора

№№	Входы										Выходы								
	пп.	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38
5	1	0	0	1	0	0	1	0	1	0	1	0	1	0	1	0	0	1	0
	2	0	0	1	0	0	1	0	1	1	0	0	1	0	1	1	0	0	0
	3	0	0	1	0	0	1	1	0	0	1	0	1	0	1	0	1	0	0
10	4	0	0	1	0	0	1	1	0	1	0	0	1	0	1	0	0	1	0
	5	0	0	1	0	1	0	0	1	0	1	1	0	1	0	0	1	0	0
	6	0	0	1	0	1	0	0	1	1	0	1	0	1	0	0	0	1	0
	7	0	0	1	0	1	0	1	0	0	1	1	0	0	1	0	0	1	0
15	8	0	0	1	0	1	0	1	0	1	0	1	0	0	1	1	0	0	0
	9	0	0	1	1	0	0	0	1	0	1	0	1	1	0	0	1	0	0
	10	0	0	1	1	0	0	0	1	1	0	0	1	1	0	1	0	0	0
20	11	0	0	1	1	0	0	1	0	0	1	0	1	0	1	0	0	1	0
	12	0	0	1	1	0	0	1	0	1	0	0	1	0	1	1	0	0	0
	13	0	1	0	0	0	1	0	1	0	1	1	0	1	0	0	1	0	0
	14	0	1	0	0	0	1	0	1	1	0	1	0	1	0	0	0	1	0
25	15	0	1	0	0	0	1	1	0	0	1	1	0	0	1	0	0	1	0
	16	0	1	0	0	0	1	1	0	1	0	1	0	0	1	1	0	0	0
	17	0	1	0	0	1	0	0	1	0	1	1	0	0	1	0	0	1	0
	18	0	1	0	0	1	0	0	1	1	0	1	0	0	1	1	0	0	0
30	19	0	1	0	0	1	0	1	0	0	1	1	0	0	1	0	1	0	0
	20	0	1	0	0	1	0	1	0	1	0	1	0	0	1	0	0	1	0

35

40

45

Продолжение Таблицы 2.

№№	Входы										Выходы								
	пп.	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38
5	21	0	1	0	1	0	0	0	1	0	1	1	0	1	0	0	0	1	0
	22	0	1	0	1	0	0	0	1	1	0	1	0	1	0	1	0	0	0
	23	0	1	0	1	0	0	1	0	0	1	1	0	1	0	0	1	0	0
10	24	0	1	0	1	0	0	1	0	1	0	1	0	1	0	0	0	1	0
	25	1	0	0	0	0	1	0	1	0	1	0	1	1	0	0	1	0	0
	26	1	0	0	0	0	1	0	1	1	0	0	1	1	0	0	0	1	0
	27	1	0	0	0	0	1	1	0	0	1	0	1	0	1	0	0	1	0
15	28	1	0	0	0	0	1	1	0	1	0	0	1	0	1	1	0	0	0
	29	1	0	0	0	1	0	0	1	0	1	1	0	1	0	0	0	1	0
	30	1	0	0	0	1	0	0	1	1	0	1	0	1	0	1	0	0	0
	31	1	0	0	0	1	0	1	0	0	1	1	0	1	0	0	1	0	0
20	32	1	0	0	0	1	0	1	0	1	0	1	0	1	0	0	0	1	0
	33	1	0	0	1	0	0	0	1	0	1	0	1	1	0	0	0	1	0
	34	1	0	0	1	0	0	0	1	1	0	0	1	1	0	1	0	0	0
	35	1	0	0	1	0	0	1	0	0	1	0	1	1	0	0	1	0	0
25	36	1	0	0	1	0	0	1	0	1	0	0	1	1	0	0	0	1	0

Индикаторный выход 38 переключается в состояние логической единицы (спейсер), если все парафазные и троичные входы и выходы переключились в спейсер, и остается в этом состоянии, если хотя бы одно из троичных слагаемых находится в спейсере.

Индикаторный выход 38 переключается в состояние логического нуля (рабочее), если все входы сумматора и выход суммы закончили переключение в рабочее состояние.

Особенности данной схемы по сравнению с прототипом следующие.

Первый вход 27-28 и первый выход 31-32 переноса являются парафазными сигналами с единичным спейсером, а второй вход 29-30 и второй выход 33-34 переноса преобразованы в парафазные сигналы с нулевым спейсером. Кроме того, введены нулевые компоненты входов слагаемых и выхода суммы и элементы 7-9, 11, 12, 15, 16 и 20, индицирующие окончание переключения всех элементов схемы сумматора и всех его выходов в рабочую фазу и в спейсер. Это обеспечивает самосинхронность переключения одноразрядного троичного сумматора из рабочей фазы в спейсер и обратно.

Таким образом, предлагаемое устройство обеспечивает самосинхронную работу одноразрядного троичного сумматора. Цель изобретения достигнута.

Список литературы

[1] Плеханов Л.П. Основы самосинхронных электронных схем. - М.: БИНОМ. Лаборатория знаний, 2013. - 208 с.

[2] Makino H., Nakase Y., Suzuki H., Morinaka H., Shinohara H., and Mashiko K. An 8.8 ns 54×54 bit Multiplier with High Speed Redundant Binary Architecture / IEEE Journal of Solid-State Circuits, vol. 31, no. 6, June 1996. -pp. 773-783.

Формула изобретения

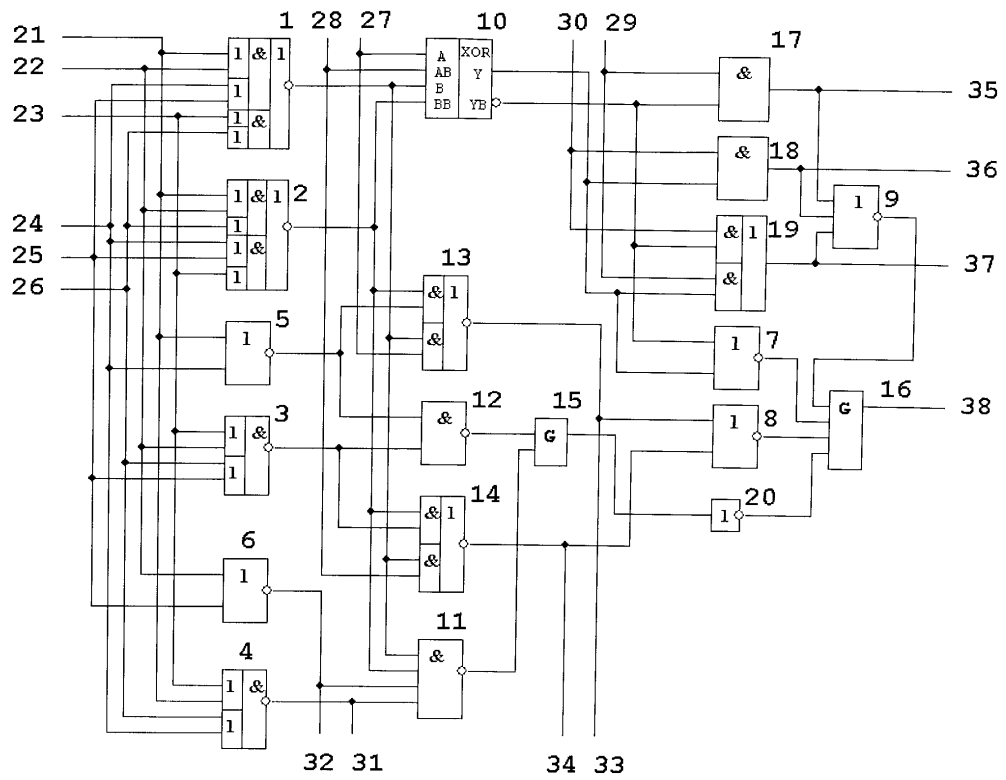
Самосинхронный одноразрядный троичный сумматор, содержащий два элемента И-НЕ и элемент неравнозначности, положительные и отрицательные компоненты двух слагаемых, прямой компонент первого входа переноса, прямой и инверсный компоненты второго входа переноса, прямой компонент первого выхода переноса, прямой и инверсный компоненты второго выхода переноса, положительный и отрицательный компоненты суммы, отличающийся тем, что в схему введены два элемента ИЛИ-И-ИЛИ-НЕ, два элемента ИЛИ-И-НЕ, пять элементов ИЛИ-НЕ, два элемента И-ИЛИ-НЕ, два элемента И, один элемент И-ИЛИ, два гистерезисных триггера, инвертор, нулевые компоненты входов слагаемых и выхода суммы, инверсный компонент первого входа переноса, инверсный компонент первого выхода переноса и индикаторный выход, элемент неравнозначности имеет два парафазных входа и один парафазный выход, первый и второй входы переноса и первый и второй выходы переноса являются парафазными сигналами, причем положительный компонент первого слагаемого подключен к первому входу первой группы ИЛИ входов первого и второго элементов ИЛИ-И-ИЛИ-НЕ, ко второму входу первой группы ИЛИ входов второго элемента ИЛИ-И-НЕ и первому входу первого элемента ИЛИ-НЕ, отрицательный компонент первого слагаемого подключен ко второму входу первой группы ИЛИ входов первого и второго элементов ИЛИ-И-ИЛИ-НЕ, ко второму входу первой группы ИЛИ входов первого элемента ИЛИ-И-НЕ и первому входу второго элемента ИЛИ-НЕ, нулевой компонент первого слагаемого соединен с входом третьей группы ИЛИ входов первого элемента ИЛИ-И-ИЛИ-НЕ, входом четвертой группы ИЛИ входов второго элемента ИЛИ-И-ИЛИ-НЕ и первыми входами первых групп ИЛИ первого и второго элементов ИЛИ-И-НЕ, положительный компонент второго слагаемого подключен к первому входу второй группы ИЛИ входов первого элемента ИЛИ-И-ИЛИ-НЕ, к первому входу третьей группы ИЛИ входов второго элемента ИЛИ-И-ИЛИ-НЕ, ко второму входу первого элемента ИЛИ-НЕ и второму входу второй группы ИЛИ входов второго элемента ИЛИ-И-ИЛИ-НЕ, отрицательный компонент второго слагаемого подключен ко второму входу второй группы ИЛИ входов первого элемента ИЛИ-И-ИЛИ-НЕ, ко второму входу третьей группы ИЛИ входов второго элемента ИЛИ-И-ИЛИ-НЕ, ко второму входу второй группы ИЛИ входов первого элемента ИЛИ-И-НЕ и второму входу второго элемента ИЛИ-НЕ, нулевой компонент второго слагаемого соединен с входом четвертой группы ИЛИ входов первого элемента ИЛИ-И-ИЛИ-НЕ, входом второй группы ИЛИ входов второго элемента ИЛИ-И-ИЛИ-НЕ и первыми входами вторых групп ИЛИ входов первого и второго элементов ИЛИ-И-НЕ, первая и вторая группы ИЛИ входов первого и второго элементов ИЛИ-И-ИЛИ-НЕ объединяются в первую группу И второго каскада соответствующего элемента, третья и четвертая группы ИЛИ входов первого и второго элементов ИЛИ-И-ИЛИ-НЕ объединяются во вторую группу И второго каскада соответствующего элемента, прямой и инверсный компоненты первого входа переноса подключены к первому и второму входам элемента неравнозначности, составляющим первый парафазный вход элемента неравнозначности, и ко вторым входам вторых групп И входов первого и второго элементов И-ИЛИ-НЕ соответственно, выход первого элемента ИЛИ-И-ИЛИ-НЕ соединен с третьим входом элемента неравнозначности, который вместе с четвертым входом элемента неравнозначности составляет второй парафазный вход элемента неравнозначности, первым входом первого элемента И-НЕ и первыми входами вторых групп И входов первого и второго элементов И-ИЛИ-НЕ, выход второго элемента ИЛИ-И-ИЛИ-НЕ

подключен к четвертому входу элемента неравнозначности, второму входу первого элемента И-НЕ и первым входам первых групп И входов первого и второго элементов И-ИЛИ-НЕ, выход первого элемента ИЛИ-НЕ соединен со вторым входом первой группы И входов первого элемента И-ИЛИ-НЕ и первым входом второго элемента И-НЕ, выход первого элемента ИЛИ-И-НЕ подключен ко второму входу второго элемента И-НЕ и второму входу первой группы И входов второго элемента И-ИЛИ-НЕ, выход второго элемента ИЛИ-НЕ соединен с третьим входом первого элемента И-НЕ и инверсным компонентом первого выхода переноса, выход второго элемента ИЛИ-И-НЕ подключен к четвертому входу первого элемента И-НЕ и прямому компоненту первого выхода переноса, прямой компонент парафазного выхода элемента неравнозначности соединен со вторыми входами второго элемента И, третьего элемента ИЛИ-НЕ и второй группы И входов элемента И-ИЛИ, инверсный компонент парафазного выхода элемента неравнозначности подключен ко второму входу первого элемента И, второму входу первой группы И входов элемента И-ИЛИ и первому входу третьего элемента ИЛИ-НЕ, выходы первого и второго элементов И-НЕ соединены со вторым и первым входами первого гистерезисного триггера соответственно, выход которого соединен с входом инвертора, выход первого элемента И-ИЛИ-НЕ подключен к первому входу четвертого элемента ИЛИ-НЕ и прямому компоненту второго выхода переноса, выход второго элемента И-ИЛИ-НЕ подключен ко второму входу четвертого элемента ИЛИ-НЕ и инверсному компоненту второго выхода переноса, прямой компонент второго входа переноса соединен с первым входом первого элемента И и первым входом второй группы И входов элемента И-ИЛИ, инверсный компонент второго входа переноса соединен с первым входом второго элемента И и первым входом первой группы И входов элемента И-ИЛИ, выход первого элемента И подключен к первому входу пятого элемента ИЛИ-НЕ и положительному компоненту троичного выхода суммы, выход второго элемента И подключен ко второму входу пятого элемента ИЛИ-НЕ и отрицательному компоненту троичного выхода суммы, выход элемента И-ИЛИ соединен с третьим входом пятого элемента ИЛИ-НЕ и нулевым компонентом троичного выхода суммы, выходы пятого, третьего и четвертого элементов ИЛИ-НЕ подключены к первому, второму и третьему входам второго гистерезисного триггера, четвертый вход которого соединен с выходом инвертора, а выход соединен с индикаторным выходом сумматора.

35

40

45



Фиг. 1