



ФЕДЕРАЛЬНАЯ СЛУЖБА  
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ

## (12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

(21)(22) Заявка: 2011129015/08, 13.07.2011

(24) Дата начала отсчета срока действия патента:  
13.07.2011

Приоритет(ы):

(22) Дата подачи заявки: 13.07.2011

(45) Опубликовано: 20.02.2013 Бюл. № 5

(56) Список документов, цитированных в отчете о  
поиске: RU 2362267 C1, 20.07.2009. RU 2319297 C1,  
10.03.2008. US 6323710 B1, 27.11.2001. JP  
2280411 A, 16.11.1990.

Адрес для переписки:

119333, Москва, ул. Вавилова, 44, корп.2,  
Учреждение Российской академии наук  
Институт проблем информатики РАН (ИПИ  
РАН)

(72) Автор(ы):

Степченков Юрий Афанасьевич (RU),  
Дьяченко Юрий Георгиевич (RU),  
Петрухин Владимир Сергеевич (RU),  
Волчек Виктор Николаевич (RU),  
Зеленов Роман Альбертович (RU)

(73) Патентообладатель(и):

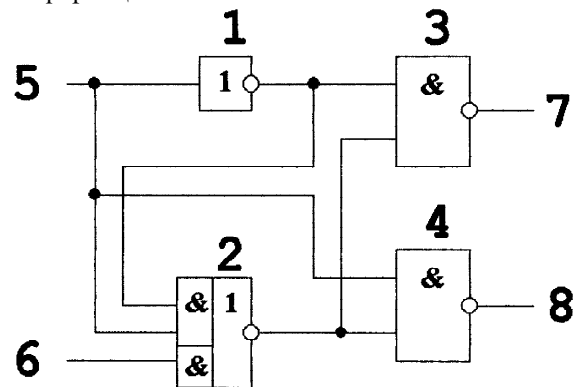
Учреждение Российской академии наук  
Институт проблем информатики РАН (ИПИ  
РАН) (RU)

## (54) ФОРМИРОВАТЕЛЬ ПАРАФАЗНОГО СИГНАЛА С НИЗКИМ АКТИВНЫМ УРОВНЕМ ВХОДА УПРАВЛЕНИЯ

(57) Реферат:

Изобретение относится к области импульсной и вычислительной техники и может быть использовано при построении самосинхронных вычислительных устройств, систем цифровой обработки информации. Техническим результатом является обеспечение самосинхронной реализации формирования парафазного сигнала с низким активным уровнем входа управления, гарантирующей работоспособность устройства при любых задержках составляющих его элементов. Устройство содержит инвертор, элемент И-ИЛИ-НЕ, два элемента И-НЕ, выходы которых формируют парафазный

информационный сигнал. 3 ил.



Фиг. 1



FEDERAL SERVICE  
FOR INTELLECTUAL PROPERTY

(51) Int. Cl.  
*H03K 3/037* (2006.01)

**(12) ABSTRACT OF INVENTION**

(21)(22) Application: 2011129015/08, 13.07.2011

(24) Effective date for property rights:  
13.07.2011

Priority:

(22) Date of filing: 13.07.2011

(45) Date of publication: 20.02.2013 Bull. 5

Mail address:

119333, Moskva, ul. Vavilova, 44, korp.2,  
Uchrezhdenie Rossijskoj akademii nauk Institut  
problem informatiki RAN (IPI RAN)

(72) Inventor(s):

Stepchenkov Jurij Afanas'evich (RU),  
D'jachenko Jurij Georgievich (RU),  
Petrukhin Vladimir Sergeevich (RU),  
Volchek Viktor Nikolaevich (RU),  
Zelenov Roman Al'bertovich (RU)

(73) Proprietor(s):

Uchrezhdenie Rossijskoj akademii nauk Institut  
problem informatiki RAN (IPI RAN) (RU)

**(54) SHAPER OF PARAPHASE SIGNAL WITH LOW ACTIVE LEVEL OF CONTROL INPUT**

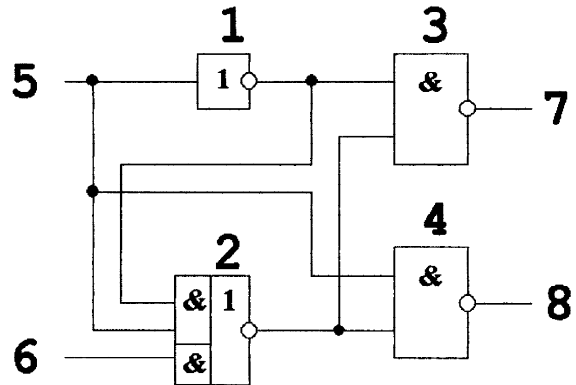
(57) Abstract:

FIELD: radio engineering, communication.

SUBSTANCE: device comprises an inverter, an AND-OR-NOT element, two AND-NOT elements, outputs of which generate a paraphase information signal.

EFFECT: provision of self-synchronous implementation of paraphase signal generation with a low active level of a control input, guaranteeing serviceability of a device in case of any delays in its components.

3 dwg



Фиг. 1

RU 2 475 952 C1

RU 2 475 952 C1

Формирователь парафазного сигнала с низким активным уровнем входа управления относится к импульсной и вычислительной технике и может использоваться при построении самосинхронных комбинационных, триггерных, регистровых и вычислительных устройств, систем цифровой обработки информации.

Известна многоразрядная схема преобразования унарного информационного сигнала в парафазный [1] Автоматное управление асинхронными процессами в ЭВМ и дискретных системах. Под ред. В.И.Варшавского. М.: Наука, 1986. - 400 с.(рис.11.19), содержащая элементы И-ИЛИ-НЕ, И-НЕ, инверторы и гистерезисный триггер.

Недостаток известного устройства - большая сложность схемы и связанное с этим низкое быстродействие.

Наиболее близким к предлагаемому решению по технической сущности и принятым в качестве прототипа является самосинхронный одноканальный D-триггер с низким активным уровнем сигнала управления [2] Патент RU №2362267. Опублик. 20.07 2009 г. Бюл. №20. МПК H03K 3/00 (фиг.1), содержащий инвертор элемент И-ИЛИ-НЕ, бистабильную ячейку на элементах И-ИЛИ-НЕ и индикаторный элемент И-ИЛИ-НЕ.

Недостаток прототипа - формирование бифазного кода на информационном выходе, являющемся выходом бистабильной ячейки, что не позволяет использовать прототип в качестве приемника унарного информационного сигнала на входе комбинационной самосинхронной схемы.

Целью настоящего изобретения является обеспечение самосинхронной реализации формирователя парафазного сигнала с низким активным уровнем входа управления, гарантирующей работоспособность формирователя при любых задержках составляющих его элементов.

Поставленная цель достигается за счет того, что в формирователе, содержащем инвертор, элемент И-ИЛИ-НЕ, информационный унарный вход, подключенный к входу инвертора, управляющий вход, подключенный к входу второй группы входов И элемента И-ИЛИ-НЕ, и две составляющие информационного выхода, вход инвертора соединен со вторым входом первой группы входов И элемента И-ИЛИ-НЕ, выход инвертора подключен к первому входу первой группы входов И элемента И-ИЛИ-НЕ, введены два элемента И-НЕ, первые входы первого и второго элементов И-НЕ соединены с выходом и входом инвертора соответственно, вторые входы первого и второго элементов И-НЕ подключены к выходу элемента И-ИЛИ-НЕ, а выходы первого и второго элементов И-НЕ формируют парафазный сигнал и подключены к первой и второй составляющим информационного выхода формирователя соответственно.

Предлагаемое устройство удовлетворяет критерию "существенные отличия". Использование элемента И-ИЛИ-НЕ и инвертора в качестве входного блока при реализации самосинхронного одноканального D-триггера с унарным информационным входом известно. Однако использование их в данном случае позволило достичь эффекта, выраженного целью изобретения.

Поскольку введенные конструктивные связи в аналогичных технических решениях не известны, устройство может считаться имеющим существенные отличия.

Понятие "парафазный", используемое в тексте данной заявки, определяется следующим образом. Парафазным считается сигнал, представленный двумя составляющими - парой переменных  $\{X, XB\}$ , которые в активной фазе имеют взаимоинверсные значения:  $\{X=0, XB=1\}$  или  $\{X=1, XB=0\}$ . Переход парафазного сигнала из одного статического рабочего состояния в противоположное рабочее состояние может осуществляться двумя способами.

Первый способ предполагает использование парафазного сигнала со спейсером: когда переходу в следующее рабочее состояние обязательно предшествует переход в третье статическое состояние-спейсерное (нерабочее состояние или состояние гашения). Если используется состояние  $\{1,1\}$ , то говорят, что используется парафазный сигнал с единичным спейсером, а если состояние  $\{0,0\}$ , то парафазный сигнал с нулевым спейсером. Спейсерное состояние - статическое состояние, установка которого в самосинхронной схемотехнике должна фиксироваться индикатором окончания переходного процесса, в данном случае - окончания установки спейсерного состояния.

Второй способ предполагает использование парафазного сигнала без спейсера. При этом переход из одного рабочего статического состояния в другое осуществляется через динамическое (кратковременное) состояние:  $\{1,1\}$  или  $\{0,0\}$ , называемое транзитным состоянием.

В материалах данной заявки речь идет о формировании на выходе преобразователя парафазного сигнала с единичным спейсером, в дальнейшем - просто парафазного сигнала.

Унарный сигнал - обычный одиночный информационный сигнал, имеющий два возможных значения: 0 или 1. Вход управления переключением в состояние "0" отражает факт появления на информационном унарном входе нового значения, которое может и совпадать с предшествующим значением.

На фиг.1 изображена схема формирователя парафазного сигнала с низким активным уровнем входа управления.

Схема формирователя содержит инвертор 1, элемент И-ИЛИ-НЕ 2, элементы И-НЕ 3-4, информационный унарный вход 5, вход управления 6, первую 7 и вторую 8 составляющие парафазного выхода, информационный унарный вход 5 подключен к входу инвертора 1, второму входу первой группы входов И элемента И-ИЛИ-НЕ 2 и первому входу второго элемента И-НЕ 4, выход инвертора 1 соединен с первым входом первого элемента И-НЕ 3 и первым входом первой группы входов И элемента И-ИЛИ-НЕ 2, вход управления 6 соединен с входом второй группы входов И элемента И-ИЛИ-НЕ 2, выход которого подключен ко вторым входам первого 3 и второго 4 элементов И-НЕ, выходы первого 3 и второго 4 элементов И-НЕ подключены к первой 7 и второй 8 составляющим парафазного выхода формирователя соответственно.

Схема работает следующим образом. В исходном состоянии при неактивном состоянии входа управления 6 (высокий логический уровень) выход элемента 2 находится в состоянии логического "0" и обе составляющие парафазного выхода 7 и 8 находятся в состоянии "1" (в спейсере). Появление на информационном унарном входе 5 нового значения подтверждается подачей на управляющий вход 6 активного низкого уровня. Выход элемента 2 переключается в состояние логической "1", разрешая тем самым трансляцию значения унарного информационного входа и его инверсии на выходы элементов 3 и 4. Если при этом на информационном входе 5 высокий уровень, элемент 3 останется в состоянии "1", а элемент 4 переключится в состояние "0". Если на информационном входе 5 низкий уровень, элемент 3 переключится в состояние "0", а элемент 4 останется в состоянии "1".

На первый взгляд использование элемента И-ИЛИ-НЕ является избыточным, так как, с точки зрения булевой алгебры, выполняемая им функция упрощается до инверсии входа управления из-за того, что входами первой группы входов И являются взаимоинверсные сигналы. Однако именно такое использование элемента И-ИЛИ-НЕ

обеспечивает самосинхронность предлагаемой схемы формирователя.

Особенности данной схемы по сравнению с прототипом следующие.

Информационный выход является парафазным с единичным спейсером, что позволяет использовать формирователь в качестве элемента интерфейса между синхронной схемой и самосинхронной комбинационной схемой. Парафазный выход формирователя своим состоянием индицирует окончание переходных процессов в схеме формирователя в любой фазе его работы, обеспечивая его самосинхронность.

Таким образом, предлагаемое устройство обеспечивает самосинхронную работу формирователя парафазного сигнала с низким активным уровнем входа управления. Цель изобретения достигнута.

Источники информации

[1] Автоматное управление асинхронными процессами в ЭВМ и дискретных системах. Под ред. В.И.Варшавского. М.: Наука, 1986. (рис.11.19)

[2] Патент №2362267 RU. Опубликовано: 20.07 2009 г. Бюл. №20. МПК H03K 3/00 (фиг.1)

Приведенное выше описание работы формирователя парафазного сигнала с низким активным уровнем входа управления самодостаточно. Однако текстовая форма описания не очень компактна и наглядна. Как правило, в таких случаях текстовая форма описания дополняется таблицами истинности работы составных элементов или устройства в целом, логическими уравнениями, временными диаграммами, блок-схемами алгоритма их работы.

В данном случае мы имеем дело с самосинхронным элементом, т.е. элементом, правильная работа которого не зависит от задержек его составных элементов. Задержка каждого элемента, в том числе и инвертора, может быть сколь угодно большой, но конечной величиной. Указанная особенность самосинхронных схем и является основой их многочисленных преимуществ перед традиционными синхронными схемами, главными из которых являются:

- устойчивая работа при любых задержках и любых возможных условиях эксплуатации;
- безопасная работа: прекращение всех переключений в момент появления неисправностей элементов (константных).

Указанные преимущества могут иметь место только тогда, когда схема действительно является самосинхронной, т.е. ее поведение не зависит от задержек ее компонентов. Для подтверждения этого свойства указанных выше средств описания (схема, временная диаграмма и т.д.) недостаточно. Поскольку в основе работы самосинхронных схем лежит событийная модель, то адекватным средством описания их функционирования являются сигнальные графы (СГ). СГ одновременно являются формальным средством спецификации разрабатываемого устройства, наглядным средством описания функционирования и визуальным средством подтверждения самосинхронного характера устройства.

Самосинхронность схемы проверяется путем ее замыкания - добавления элементов, обеспечивающих надлежащее изменение входов анализируемой схемы при изменении ее выходов. На фиг.2 показана схема проверки формирователя парафазного сигнала на самосинхронность. Помимо самого формирователя она включает одноразрядный самосинхронный счетчик 9, формирующий входы формирователя, и индикатор окончания переходных процессов в формирователе 10 при его переключении из одной фазы работы в другую (элемент И). Информационный выход счетчика задает унарный информационный вход формирователя, индикаторный выход счетчика

задает вход управления формирователя. Это позволяет перебрать все возможные сочетания входов формирователя.

На фиг.3 приведен сигнальный граф работы схемы фиг.2. Замыкание формирователя обеспечивает непрерывное чередование фаз его работы: сразу же после окончания переключения в рабочую фазу (низкий уровень сигнала СТИ) схема замыкания инициирует переключение формирователя в фазу гашения (переход в спейсер парафазного выхода О7, О8). Символ '+' перед именем переменной используется для обозначения установки высокого уровня сигнала, а знак '-' - низкого уровня. Имена переменных соответствуют нумерации элементов и выводов в описании заявки. Буквы "Г" и "О" в имени обозначают входы и выходы формирователя. Имена СУ, СУВ, RR, СТО - внутренние сигналы счетчика 9.

Начальное состояние схемы: СТИ=15=1, 16=0, О2=07=1, О8=0. Оно неустойчивое, так как элемент И 10 стремится переключиться в состояние "0". С этого переключения и начинается работа схемы, иллюстрируемая графом на фиг.3. Как видно из фиг.3, это приводит к установке высокого уровня на управляющем входе (+16,1), что вызывает изменения состояния элемента И-ИЛИ-НЕ 2 (выход О2). Когда переходной процесс в нем закончится (на его выходе сформируется низкий уровень), инициируется изменение состояния элемента И-НЕ 4 (выход О8), он переходит в состояние "1" и на парафазном выходе {7, 8} формируется спейсер. Напомним еще раз, что на время переходного процесса любого элемента не накладывается ограничений.

Единичный спейсер {1, 1} на входах элемента 10 приводит к переключению его выхода в состояние "Г". Это вызывает переключение счетчика, изменяется информационный унарный вход 15 (15=0), что инициирует параллельное переключение двух цепочек элементов в счетчике и формирователе (разветвление на графе). Дальнейшее функционирование формирователя происходит в соответствии с фиг.3. Зацикливание графа отражает поведение самосинхронного формирователя парафазного сигнала: при надлежащем замыкании его переключения продолжают бесконечно, при этом он проходит по одной и той же последовательности своих состояний.

Из фиг.3 видно, что индикаторный сигнал СТИ - выход элемента 10, - изменяется только тогда, когда переходные процессы во всех элементах самосинхронного формирователя уже завершены. Это является визуальным подтверждением самосинхронного характера рассматриваемого формирователя.

Таким образом, приведенный сигнальный граф подтверждает самосинхронность предлагаемого решения формирователя.

#### Формула изобретения

Формирователь парафазного сигнала с низким активным уровнем входа управления, содержащий инвертор, элемент И-ИЛИ-НЕ, информационный унарный вход, подключенный к входу инвертора, управляющий вход, подключенный к входу второй группы входов И элемента И-ИЛИ-НЕ, и две составляющие информационного выхода, вход инвертора соединен со вторым входом первой группы входов И элемента И-ИЛИ-НЕ, выход инвертора подключен к первому входу первой группы входов И элемента И-ИЛИ-НЕ, отличающийся тем, что в схему введены два элемента И-НЕ, первые входы первого и второго элементов И-НЕ соединены с выходом и входом инвертора соответственно, вторые входы первого и второго элементов И-НЕ подключены к выходу элемента И-ИЛИ-НЕ, а выходы первого и второго элементов И-НЕ формируют парафазный сигнал и подключены к

первой и второй составляющим информационного выхода формирователя соответственно.

5

10

15

20

25

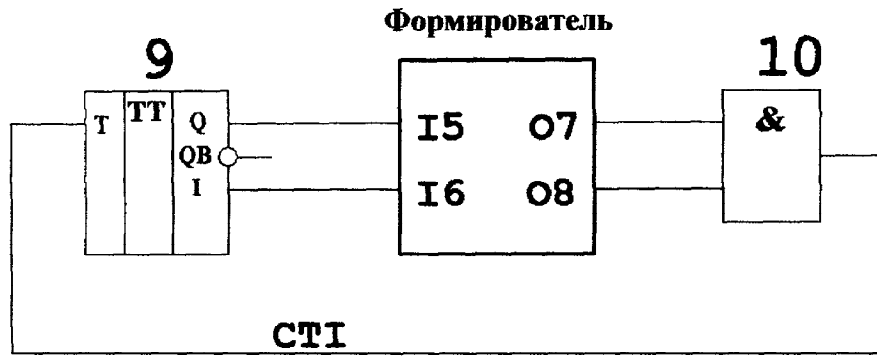
30

35

40

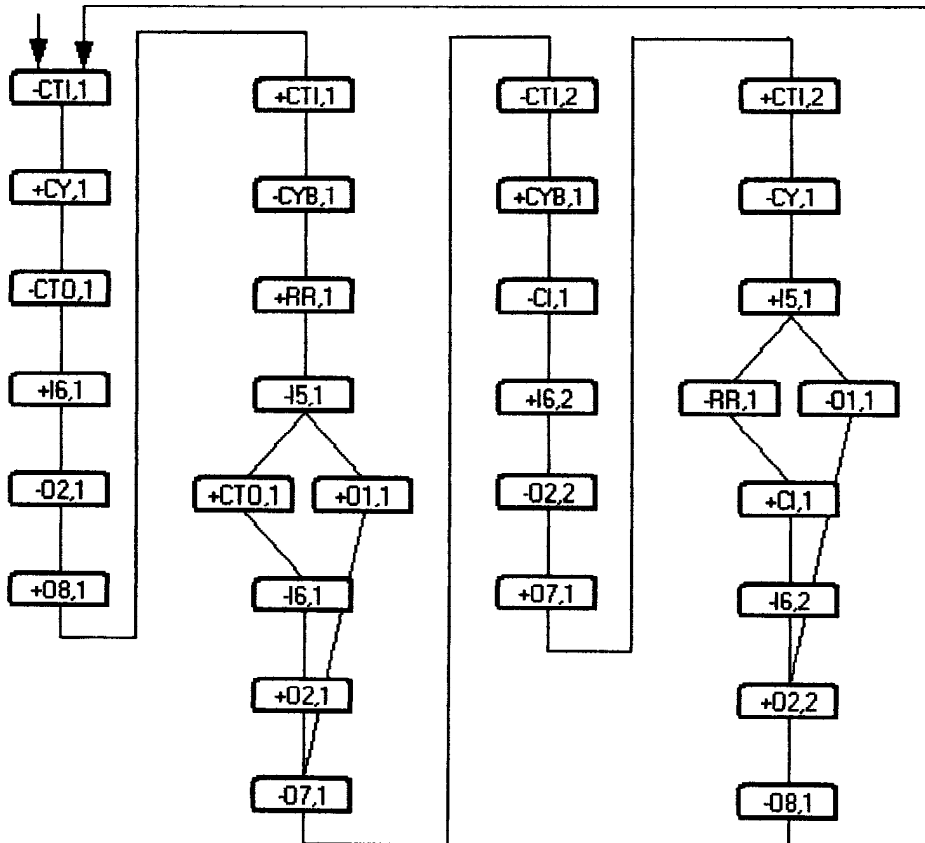
45

50



**Формирователь паразитного сигнала с окружением.**

**Фиг. 2**



**Сигнальный граф работы формирователя**

**Фиг. 3**