



ФЕДЕРАЛЬНАЯ СЛУЖБА
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ,
ПАТЕНТАМ И ТОВАРНЫМ ЗНАКАМ

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

(21), (22) Заявка: 2008135093/09, 01.09.2008

(24) Дата начала отсчета срока действия патента:
01.09.2008

(45) Опубликовано: 20.05.2010 Бюл. № 14

(56) Список документов, цитированных в отчете о
поиске: RU 2319232 C1, 10.03.2008. JP 11163686 A,
18.06.1999. EP 1865601 A1, 12.12.2007. SU
1629962 A1, 23.02.1991.

Адрес для переписки:

119333, Москва, ул. Вавилова, 44, корп.2,
Учреждение Российской академии наук
Институт проблем информатики РАН (ИПИ
РАН)

(72) Автор(ы):

Степченков Юрий Афанасьевич (RU),
Дьяченко Юрий Георгиевич (RU),
Захаров Виктор Николаевич (RU),
Гринфельд Фрума Исааковна (RU)

(73) Патентообладатель(и):

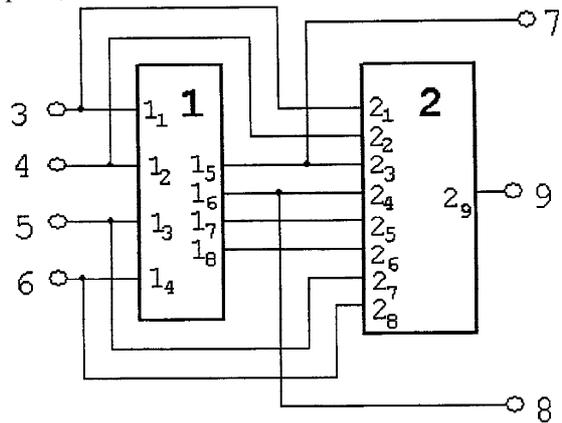
Учреждение Российской академии наук
Институт проблем информатики РАН (ИПИ
РАН) (RU)

(54) ДВУХТАКТНЫЙ САМОСИНХРОННЫЙ RS-ТРИГГЕР С ПРЕДУСТАНОВКОЙ И ВХОДОМ УПРАВЛЕНИЯ

(57) Реферат:

Изобретение относится к импульсной и вычислительной технике и может использоваться при построении самосинхронных триггерных, регистровых и вычислительных устройств, систем цифровой обработки информации. Достижимый технический результат - обеспечение реализации синхронной и самосинхронной предустановки в двухтактном самосинхронном RS-триггере с входом управления и парафазным информационным входом со спейсером. Устройство содержит блок памяти и блок индикации. Устройство в зависимости от типа спейсера парафазного информационного входа выполнено на

элементах И-ИЛИ-НЕ или ИЛИ-И-НЕ. 11 з.п.
ф-лы, 12 ил.



Фиг. 1



FEDERAL SERVICE
FOR INTELLECTUAL PROPERTY,
PATENTS AND TRADEMARKS

(51) Int. Cl.
H03K 3/00 (2006.01)

(12) ABSTRACT OF INVENTION

(21), (22) Application: **2008135093/09, 01.09.2008**

(24) Effective date for property rights:
01.09.2008

(45) Date of publication: **20.05.2010 Bull. 14**

Mail address:
**119333, Moskva, ul. Vavilova, 44, korp.2,
Uchrezhdenie Rossijskoj akademii nauk Institut
problem informatiki RAN (IPI RAN)**

(72) Inventor(s):
**Stepchenkov Jurij Afanas'evich (RU),
D'jachenko Jurij Georgievich (RU),
Zakharov Viktor Nikolaevich (RU),
Grinfel'd Fruma Isaakovna (RU)**

(73) Proprietor(s):
**Uchrezhdenie Rossijskoj akademii nauk Institut
problem informatiki RAN (IPI RAN) (RU)**

(54) TWO-CYCLE SELF-CLOCKED RS FLIP-FLOP WITH PRESET AND CONTROL INPUT

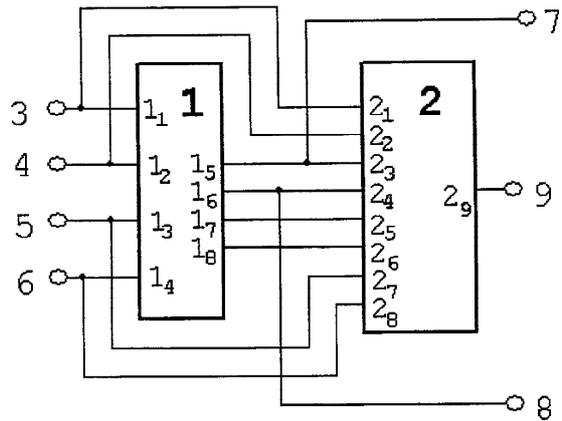
(57) Abstract:

FIELD: information technology.

SUBSTANCE: device has a memory unit and a display unit. Depending on the type of spacer of the paraphase data input, the device is made from AND-OR-Invert or OR-AND-Invert elements.

EFFECT: realisation of clocked and self-clocked preset in a two-cycle self-clocked RS flip-flop with a control input and a paraphase data input with a spacer.

12 cl, 12 dwg



Фиг. 1

RU 2 3 9 0 0 9 3 C 1

RU 2 3 9 0 0 9 3 C 1

Двухтактный самосинхронный RS-триггер с предустановкой и входом управления относится к импульсной и вычислительной технике и может использоваться при построении самосинхронных триггерных, регистровых и вычислительных устройств, систем цифровой обработки информации.

Известен RS-триггер [1], содержащий два элемента ИЛИ-НЕ.

Недостаток известного устройства - отсутствие средств предустановки и индикации окончания переходных процессов.

Наиболее близким к предлагаемому решению по технической сущности и принятым в качестве прототипа является двухтактный самосинхронный RS-триггер [2], содержащий блок памяти на двух бистабильных ячейках, индикаторный элемент, парафазный информационный вход, вход управления, первый и второй информационные выходы и индикаторный выход.

Недостаток прототипа - отсутствие предустановки, что не позволяет обеспечить его начальную установку в определенное состояние и индикацию окончания предустановки. Под предустановкой понимается процедура предварительного сброса прямого выхода триггера в состояние логического нуля или предварительной установки его в состояние логической единицы.

Задача, решаемая в изобретении, заключается в обеспечении синхронной и самосинхронной реализации предустановки двухтактного самосинхронного RS-триггера с парафазным информационным входом и входом управления.

Это достигается тем, что в двухтактный самосинхронный RS-триггер с входом управления, содержащий блок памяти, блок индикации, первую и вторую составляющие парафазного информационного входа, вход управления, первый и второй информационные выходы и индикаторный выход, причем первая составляющая парафазного информационного входа соединена с первыми входами блоков памяти и индикации, вторая составляющая парафазного информационного входа соединена со вторыми входами блоков памяти и индикации, первый информационный выход подключен к первому выходу блока памяти и третьему входу блока индикации, второй информационный выход подключен ко второму выходу блока памяти и четвертому входу блока индикации, третий и четвертый выходы блока памяти соединены с пятым и шестым входами блока индикации соответственно, вход управления соединен с третьим входом блока памяти и седьмым входом блока индикации, индикаторный выход триггера соединен с выходом блока индикации, введены вход предустановки триггера, четвертый вход блока памяти и восьмой вход блока индикации, вход предустановки триггера соединен с четвертым входом блока памяти и восьмым входом блока индикации.

Предлагаемое устройство удовлетворяет критерию "существенные отличия". Использование входа предустановки в синхронных триггерах известно. Однако использование его в самосинхронном RS-триггере с учетом специфики работы самосинхронных устройств позволило достичь эффекта, выраженного целью изобретения. Существенное отличие предлагаемой реализации предустановки от аналогичных решений в синхронной схемотехнике заключается в том, что в данном случае для успешной предустановки вход управления должен находиться в спейсерном состоянии, обеспечивающем хранение информации в триггере. Это позволяет упростить предустановку и обеспечить ее самосинхронность при использовании дополнительного элемента фиксации окончания предустановки, как описано ниже.

Поскольку введенные конструктивные связи в аналогичных технических решениях не известны, устройство может считаться имеющим существенные отличия.

На фиг.1 изображена схема двухтактного самосинхронного RS-триггера с синхронной предустановкой и входом управления. Схема содержит блок памяти 1, блок индикации 2, первую 3 и вторую 4 составляющие парафазного информационного входа, вход управления 5, вход предустановки 6, первый 7 и второй 8 информационные выходы, индикаторный выход 9, первая 3 составляющая парафазного информационного входа соединена с первым 1_1 входом блока памяти 1 и с первым 2_1 входом блока индикации 2, вторая 4 составляющая парафазного информационного входа соединена со вторым 1_2 входом блока памяти 1 и со вторым 2_2 входом блока индикации 2, первый 1_5 выход блока памяти 1 подключен к третьему 2_3 входу блока индикации 2 и первому 7 информационному выходу триггера, второй 1_6 выход блока памяти 1 подключен к четвертому 2_4 входу блока индикации 2 и второму 8 информационному выходу триггера, третий 1_7 и четвертый 1_8 выходы блока памяти 1 соединены с пятым 2_5 и шестым 2_6 входами блока индикации 2 соответственно, вход управления 5 соединен с третьим входом 1_3 блока памяти 1 и седьмым входом 2_7 блока индикации 2, вход предустановки 6 подключен к четвертому входу 1_4 блока памяти 1 и восьмому 2_8 входу блока индикации, выход 2_9 блока индикации 2 подключен к индикаторному выходу 9 триггера.

Схема работает следующим образом. Установка начального состояния происходит при пассивном (спейсерном) значении управляющего входа 5 триггера, обеспечивающем хранение информации в первой (входной) бистабильной ячейке блока памяти и перезапись состояния первой бистабильной ячейки во вторую бистабильную ячейку блока памяти, подачей активного уровня на вход предустановки 6. В результате сначала второй информационный выход 8 триггера переключается в требуемое состояние, а затем первый информационный выход 7. Наличие спейсерного состояния на входе управления требуется для обеспечения неизменного состояния на индикаторном выходе 9 в процессе предустановки, что является необходимым условием правильного функционирования самосинхронного триггера, а также для успешной записи начального состояния в обе бистабильные ячейки блока памяти. Конкретные значения входа управления 5 и входа предустановки 6, обеспечивающие самосинхронную предустановку, определяются базисом реализации триггера и типом предустановки и раскрываются ниже.

Особенности данной схемы по сравнению с прототипом следующие.

Триггер имеет вход предустановки, позволяющий установить триггер в определенное состояние и создающий предпосылки для построения схемы индикации окончания предустановки самосинхронного триггера.

Таким образом, предлагаемое устройство обеспечивает предустановку двухтактного самосинхронного RS-триггера с входом управления. Цель изобретения достигнута.

Конкретная техническая реализация предлагаемого двухтактного самосинхронного RS-триггера с предустановкой и входом управления и его составных блоков зависит от типа спейсера входа управления: высокий или низкий его уровень обеспечивает хранение состояния триггера, - и от типа предустановки триггера. Тип спейсера влияет на базис реализации бистабильных ячеек блока памяти: И-ИЛИ-НЕ или ИЛИ-И-НЕ, - и элемента фиксации окончания предустановки в вариантах с самосинхронной предустановкой: И-НЕ или ИЛИ-НЕ. Тип предустановки в совокупности с типом спейсера определяет спецификацию первой и второй составляющих парафазного информационного входа и первого и второго информационных выходов триггера.

На фиг.2 представлена реализация двухтактного самосинхронного RS-триггера с синхронной предустановкой и входом управления с нулевым спейсером. Схема отличается от схемы на фиг.1 тем, что блок памяти 1 реализован на первом 10 и втором 11 элементах И-ИЛИ-НЕ и первом 12 и втором 13 элементах ИЛИ-И-НЕ, блок индикации 2 реализован на третьем элементе И-ИЛИ-НЕ 14, первые входы

 5 первых групп входов И первого 10 и второго 11 элементов И-ИЛИ-НЕ подключены к первому и второму входам блока памяти 1 соответственно, вторые входы первых групп входов И первого 10 и второго 11 элементов И-ИЛИ-НЕ и первых групп

 10 входов ИЛИ первого 12 и второго 13 элементов ИЛИ-И-НЕ соединены с третьим входом блока памяти 1, выход первого элемента И-ИЛИ-НЕ 10 подключен к первому входу первой группы входов ИЛИ первого элемента ИЛИ-И-НЕ 12, входу второй группы входов И второго элемента И-ИЛИ-НЕ 11 и третьему выходу блока памяти 1, выход второго элемента И-ИЛИ-НЕ 11 подключен к первому входу первой группы

 15 входов ИЛИ второго элемента ИЛИ-И-НЕ 13, первому входу второй группы входов И первого элемента И-ИЛИ-НЕ 10 и четвертому выходу блока памяти 1, выход первого элемента ИЛИ-И-НЕ 12 соединен с входом второй группы входов ИЛИ второго элемента ИЛИ-И-НЕ 13 и первым выходом блока памяти 1, выход второго элемента ИЛИ-И-НЕ 13 соединен с входом второй группы входов ИЛИ первого

 20 элемента ИЛИ-И-НЕ 12 и вторым выходом блока памяти 1, второй вход второй группы входов И первого элемента И-ИЛИ-НЕ 10 подключен к четвертому входу блока памяти 1, первые входы первой и второй групп входов И третьего элемента И-ИЛИ-НЕ 14 соединены с первым и вторым входами блока индикации 2

 25 соответственно, первые входы третьей и четвертой групп входов И третьего элемента И-ИЛИ-НЕ 14 подключены к третьему и четвертому входам блока индикации 2 соответственно, вторые входы первой и четвертой групп входов И третьего элемента И-ИЛИ-НЕ 14 соединены с шестым входом блока индикации 2, вторые входы второй

 30 и третьей групп входов И третьего элемента И-ИЛИ-НЕ 14 подключены к пятому входу блока индикации 2, третьи входы первой и второй групп входов И третьего элемента И-ИЛИ-НЕ 14 соединены с седьмым входом блока индикации 2, третьи входы третьей и четвертой групп входов И третьего элемента И-ИЛИ-НЕ 14 соединены с восьмым входом блока индикации 2, выход третьего элемента И-ИЛИ-НЕ 14 является выходом блока индикации 2.

Схема работает следующим образом. При высоком уровне сигнала на входах управления 5 и предустановки 6 триггер воспринимает и запоминает состояние парафазного информационного входа 3, 4 - (0, 1) или (1, 0) - в бистабильной ячейке

 40 первого каскада на элементах 10 и 11, а окончание запоминания нового состояния фиксируется блоком индикации на элементе 14, выход которого (и соответственно индикаторный выход 9) переключается в логический 0 только после окончания переключения элементов 10 и 11. При этом входы второй бистабильной ячейки на

 45 элементах 12 и 13 заблокированы высоким уровнем на входе управления 5. Переход в спейсер входа управления 5 (логический 0) обеспечивает хранение информации на выходах бистабильной ячейки первого каскада на элементах 10, 11 и разрешает перезапись этого состояния в бистабильную ячейку второго каскада на элементах 12

 50 и 13, выходы которых подключены к первому 7 и второму 8 информационным выходам триггера соответственно. Окончание перезаписи информации в бистабильную ячейку второго каскада разрешает переключение выхода индикаторного элемента 14 (и соответственно индикаторного выхода 9) в высокий уровень (логическую 1), индицируя тем самым завершение обновления состояния

первого 7 и второго 8 информационных выходов триггера.

Предустановка осуществляется после подтверждения перезаписи информации в бистабильную ячейку второго каскада (появление высокого уровня на индикаторном выходе 9) подачей на вход предустановки 6 низкого уровня при поддержке также низкого (спейсерного) уровня и на входе управления 5. При этом элемент 10 переключается в логическую 1, заставляя элемент 11 перейти в состояние логического 0, что, в свою очередь, инициирует переключение элемента 13 в логическую 1, а вслед за этим и переключение элемента 12 в логический 0, завершая тем самым предустановку. На первом информационном выходе 7 триггера формируется низкий уровень, подтверждая окончание предустановки. При этом выход индикаторного элемента 14 (и соответственно индикаторный выход 9) не изменяется на всем протяжении установки, поскольку его группы входов блокированы низкими уровнями на входах управления 5 и предустановки 6. По окончании предустановки на вход предустановки 6 подается высокий уровень и схема триггера готова к продолжению работы.

Таким образом, индикаторный элемент 14 фиксирует окончание переходных процессов в элементах триггера при записи в него нового состояния с парафазного информационного входа, что обеспечивает самосинхронный режим его работы.

В схеме на фиг.2 возможны два варианта спецификации входов и выходов триггера:

1) вход предустановки является входом установки нуля, первая и вторая составляющие парафазного информационного входа являются соответственно прямой и инверсной информационными составляющими, а первый и второй информационные выходы триггера являются прямым и инверсным информационными выходами соответственно,

2) вход предустановки является входом установки единицы, первая и вторая составляющие парафазного информационного входа являются соответственно инверсной и прямой информационными составляющими, а первый и второй информационные выходы триггера являются инверсным и прямым информационными выходами соответственно.

На фиг.3 представлена реализация двухтактного самосинхронного RS-триггера с синхронной предустановкой и входом управления с единичным спейсером. Схема отличается от схемы на фиг.1 тем, что блок памяти 1 реализован на первом 15 и втором 16 элементах ИЛИ-И-НЕ и первом 17 и втором 18 элементах И-ИЛИ-НЕ и блок индикации 2 реализован на третьем элементе ИЛИ-И-НЕ 19, первые входы первых групп входов ИЛИ первого 15 и второго 16 элементов ИЛИ-И-НЕ подключены к первому и второму входам блока памяти 1 соответственно, вторые входы первых групп входов ИЛИ первого 15 и второго 16 элементов ИЛИ-И-НЕ и первых групп входов И первого 17 и второго 18 элементов И-ИЛИ-НЕ соединены с третьим входом блока памяти 1, выход первого элемента ИЛИ-И-НЕ 15 подключен к первому входу первой группы входов И первого элемента И-ИЛИ-НЕ 17, входу второй группы входов ИЛИ второго элемента ИЛИ-И-НЕ 16 и третьему выходу блока памяти 1, выход второго элемента ИЛИ-И-НЕ 16 подключен к первому входу первой группы входов И второго элемента И-ИЛИ-НЕ 18, первому входу второй группы входов ИЛИ первого элемента ИЛИ-И-НЕ 15 и четвертому выходу блока памяти 1, выход первого элемента И-ИЛИ-НЕ 17 соединен с входом второй группы входов И второго элемента И-ИЛИ-НЕ 18 и первым выходом блока памяти 1, выход второго элемента И-ИЛИ-НЕ 18 соединен с входом второй группы входов И первого элемента И-ИЛИ-НЕ 17 и вторым выходом блока памяти 1, второй вход второй

группы входов ИЛИ первого элемента ИЛИ-И-НЕ 15 подключен к четвертому входу блока памяти 1, первые входы первой и второй групп входов ИЛИ третьего элемента ИЛИ-И-НЕ 19 соединены с первым и вторым входами блока индикации 2 соответственно, первые входы третьей и четвертой групп входов ИЛИ третьего элемента ИЛИ-И-НЕ 19 подключены к третьему и четвертому входам блока индикации 2 соответственно, вторые входы первой и четвертой групп входов ИЛИ третьего элемента ИЛИ-И-НЕ 19 соединены с шестым входом блока индикации 2, вторые входы второй и третьей групп входов ИЛИ третьего элемента ИЛИ-И-НЕ 19 подключены к пятому входу блока индикации 2, третьи входы первой и второй групп входов ИЛИ третьего элемента ИЛИ-И-НЕ 19 соединены с седьмым входом блока индикации 2, третьи входы третьей и четвертой групп входов ИЛИ третьего элемента ИЛИ-И-НЕ 19 соединены с восьмым входом блока индикации 2, выход третьего элемента ИЛИ-И-НЕ 19 является выходом блока индикации 2.

Данная схема в значительной мере совпадает со схемой RS-триггера [3], часть элементов которой после проведения эквивалентных логических преобразований представляется в базисе ИЛИ-И-НЕ.

Схема на фиг.3 работает следующим образом. При низком уровне сигналов на входах управления 5 и предустановки 6 триггер воспринимает и запоминает состояние парафазного информационного входа 3, 4 - (0, 1) или (1, 0) - в бистабильной ячейке первого каскада на элементах 15 и 16, а окончание запоминания нового состояния фиксируется блоком индикации на элементе 19, выход которого (и соответственно индикаторный выход 9) переключается в логическую 1 только после окончания переключения элементов 15 и 16. При этом входы второй бистабильной ячейки на элементах 17 и 18 заблокированы низким уровнем на входе управления 5. Переход в спейсер входа управления 5 (логическая 1) обеспечивает хранение информации на выходах бистабильной ячейки первого каскада на элементах 15 и 16 и разрешает перезапись этого состояния в бистабильную ячейку второго каскада на элементах 17 и 18, выходы которых подключены к первому 7 и второму 8 информационным выходам триггера соответственно. Окончание перезаписи информации в бистабильную ячейку второго каскада разрешает переключение выхода индикаторного элемента 19 (и соответственно индикаторного выхода 9) в низкий уровень (логический 0), индицируя тем самым завершение обновления состояния первого 7 и второго 8 информационных выходов триггера.

Предустановка осуществляется после подтверждения перезаписи информации в бистабильную ячейку второго каскада (появление низкого уровня на индикаторном выходе 9) подачей на вход предустановки 6 высокого уровня при поддержке также высокого (спейсерного) уровня и на входе управления 5. При этом элемент 15 переключается в логический 0, заставляя элемент 16 перейти в состояние логической 1, что, в свою очередь, инициирует переключение элемента 18 в логический 0, а вслед за этим и переключение элемента 17 в логическую 1, завершая тем самым предустановку. На первом информационном выходе 7 триггера формируется высокий уровень, появление которого подтверждает окончание предустановки. При этом выход индикаторного элемента 19 (и соответственно индикаторный выход 9) не изменяется на всем протяжении установки, поскольку его группы входов заблокированы высокими уровнями на входах управления 5 и предустановки 6. По окончании предустановки на вход предустановки 6 подается низкий уровень и схема триггера готова к продолжению работы.

Таким образом, индикаторный элемент 19 фиксирует окончание переходных

процессов в элементах триггера при записи в него нового состояния с парафазного информационного входа, что обеспечивает самосинхронный режим его работы.

В схеме на фиг.3 возможны два варианта спецификации входов и выходов триггера:

5 1) вход предустановки является входом установки единицы, первая и вторая составляющие парафазного информационного входа являются прямой и инверсной информационными составляющими соответственно, а первый и второй информационные выходы триггера являются прямым и инверсным информационными выходами соответственно,

10 2) вход предустановки является входом установки нуля, первая и вторая составляющие парафазного информационного входа являются соответственно инверсной и прямой информационными составляющими, а первый и второй информационные выходы триггера являются инверсным и прямым информационными выходами соответственно.

15 На фиг.4 представлена реализация двухтактного самосинхронного RS-триггера с самосинхронной предустановкой и входом управления, в которой успешное завершение предустановки фиксируется на выходе дополнительного элемента. Схема отличается от схемы на фиг.1 тем, что в нее введены элемент фиксации окончания 20 предустановки 20, входы которого подключены к первому информационному выходу 7 триггера и входу предустановки 6, и второй индикаторный выход 21, соединенный с выходом элемента фиксации окончания предустановки.

25 Схема на фиг.4 работает аналогично схеме на фиг.1. Но теперь окончание предустановки (переключение первого выхода 7 триггера в состояние, соответствующее типу предустановки) фиксируется элементом 20: после переключения первого информационного выхода 7 триггера в требуемое состояние элемент фиксации окончания предустановки 20 переключает второй индикаторный выход 21 в активное состояние, подтверждая тем самым окончание предустановки триггера.

30 На фиг.5 показана схема двухтактного самосинхронного RS-триггера с самосинхронной предустановкой для случая с нулевым спейсером входа управления. Она отличается от схемы на фиг.2 тем, что в нее введены элемент фиксации окончания предустановки 20, входы которого подключены к первому информационному выходу 7 триггера и входу предустановки 6 соответственно, и второй индикаторный 35 выход 21, соединенный с выходом элемента фиксации окончания предустановки 20, причем элемент фиксации окончания предустановки 20 реализован на элементе ИЛИ-НЕ 22, входы которого являются входами элемента фиксации окончания предустановки 20, а выход - выходом элемента фиксации окончания предустановки 20.

40 Схема на фиг.5 работает так же, как и схема на фиг.2. Но теперь переключение первого информационного выхода триггера 7 в устанавливаемое состояние индицируется элементом фиксации окончания предустановки 20. При пассивном (логической 1) значении сигнала на входе предустановки 6 выход элемента фиксации окончания предустановки 20 находится в состоянии логического 0. В режиме 45 предустановки низкий уровень на входе предустановки 6 и появляющийся в результате предустановки низкий уровень на первом информационном выходе триггера 7 заставляют элемент 22 переключиться в логическую 1. Появление высокого уровня на выходе элемента фиксации окончания предустановки 20 (и соответственно на втором индикаторном выходе 21) свидетельствует об успешном окончании 50 предустановки. Последующая подача пассивного (единичного) уровня на вход предустановки 6 переводит элемент фиксации окончания предустановки 20 в состояние логического 0, подтверждающее выход триггера из режима предустановки.

В схеме на фиг.5 также возможны два варианта спецификации входов и выходов триггера:

1) вход предустановки является входом установки нуля, первая и вторая составляющие парафазного информационного входа являются соответственно прямой и инверсной информационными составляющими, а первый и второй информационные выходы триггера являются прямым и инверсным информационными выходами соответственно,

2) вход предустановки является входом установки единицы, первая и вторая составляющие парафазного информационного входа являются соответственно инверсной и прямой информационными составляющими, а первый и второй информационные выходы триггера являются инверсным и прямым информационными выходами соответственно.

На фиг.6 показана схема двухтактного самосинхронного RS-триггера с самосинхронной предустановкой для случая с единичным спейсером входа управления. Она отличается от схемы на фиг.3 тем, что в нее введены элемент фиксации окончания предустановки 20, входы которого подключены к первому информационному выходу 7 триггера и входу предустановки 6 соответственно, и второй индикаторный выход 21, соединенный с выходом элемента фиксации окончания предустановки 20, причем элемент фиксации окончания предустановки 20 реализован на элементе И-НЕ 23, входы которого являются входами элемента фиксации окончания предустановки 20, а выход - выходом элемента фиксации окончания предустановки 20.

Схема на фиг.6 работает так же, как и схема на фиг.3. Но теперь переключение первого информационного выхода триггера 7 в устанавливаемое состояние индицируется элементом фиксации окончания предустановки 20. При пассивном (нулевом) значении сигнала на входе предустановки 6 выход элемента фиксации окончания предустановки 20 находится в состоянии логической 1. В режиме предустановки высокий уровень на входе предустановки 6 и появляющийся в результате предустановки высокий уровень на первом информационном выходе триггера 7 заставляют элемент 23 переключиться в логический 0. Появление низкого уровня на выходе элемента фиксации окончания предустановки 20 (и соответственно на втором индикаторном выходе 21) свидетельствует об успешном окончании предустановки. Последующая подача пассивного (нулевого) уровня на вход предустановки 6 переводит элемент фиксации окончания предустановки 20 в состояние логической 1, подтверждающее выход триггера из режима предустановки.

В схеме на фиг.6 также возможны два варианта спецификации входов и выходов триггера:

1) вход предустановки является входом установки единицы, первая и вторая составляющие парафазного информационного входа являются прямой и инверсной информационными составляющими соответственно, а первый и второй информационные выходы триггера являются прямым и инверсным информационными выходами соответственно,

2) вход предустановки является входом установки нуля, первая и вторая составляющие парафазного информационного входа являются соответственно инверсной и прямой информационными составляющими, а первый и второй информационные выходы триггера являются инверсным и прямым информационными выходами соответственно.

В рассмотренных реализациях двухтактного самосинхронного RS-триггера с

самосинхронной предустановкой и входом управления успешное окончание предустановки индицируется отдельно от индикации окончания обновления состояния триггера под воздействием парафазного информационного входа, что в ряде случаев требует неоправданного усложнения схемы управления самосинхронного устройства, в составе которого используется данный триггер. Этот недостаток может быть устранен путем объединения в одном блоке индикации свойств индикации всех режимов работы триггера.

На фиг.7 представлена реализация двухтактного самосинхронного RS-триггера с входом управления и самосинхронной предустановкой, в которой успешное завершение предустановки фиксируется на выходе блока индикации. Схема отличается от схемы на фиг.1 тем, что в нее введены элемент фиксации окончания предустановки 20, первый и второй входы которого подключены к первому информационному выходу 7 триггера и входу предустановки 6 триггера соответственно, а в блок индикации 2 введен девятый вход, подключенный к выходу элемента фиксации окончания предустановки 20. В такой реализации блок индикации 2 обеспечивает индикацию как предустановки триггера, так и окончания перехода в фазу хранения или обновления состояния триггера.

Схема на фиг.7 работает аналогично схеме на фиг.4 с тем лишь отличием, что блок индикации фиксирует теперь окончание переключений элементов триггера во всех режимах его работы, включая и предустановку.

На фиг.8 показана схема двухтактного самосинхронного RS-триггера с самосинхронной предустановкой и объединенным индикатором для случая с нулевым спейсером входа управления. Она отличается от схемы на фиг.2 тем, что в нее введены девятый вход блока индикации 2 и элемент фиксации окончания предустановки 20, содержащий элемент ИЛИ-НЕ 22, а во второй элемент И-ИЛИ-НЕ 14 введена пятая группа входов И, вход которой подключен к девятому входу блока индикации 2, первый вход элемента фиксации окончания предустановки 20 подключен к первому информационному выходу 7 триггера и к первому входу элемента ИЛИ-НЕ 22, второй вход элемента фиксации окончания предустановки 20 подключен к входу предустановки 6 триггера и ко второму входу элемента ИЛИ-НЕ 22, а выход элемента фиксации окончания предустановки 20 соединен с выходом элемента ИЛИ-НЕ 22 и с девятым входом блока индикации 2.

Схема на фиг.8 работает так же, как и схема на фиг.5, с тем отличием, что окончание предустановки фиксируется блоком индикации 2. При пассивном (логической 1) значении сигнала на входе предустановки 6 выход элемента фиксации окончания предустановки 20 находится в состоянии логического 0 и не влияет на работу элемента И-ИЛИ-НЕ 14 в блоке индикации 2. В режиме предустановки, при спейсере (нуле) на входе управления 5, низкий уровень на входе предустановки 6 и появляющийся в результате предустановки низкий уровень на первом информационном выходе триггера 7 заставляют элемент 22 переключиться в логическую 1, которая, в свою очередь, инициирует переключение элемента 14 (и соответственно первый индикаторный выход 9) в логический 0, что свидетельствует об успешном окончании предустановки. Последующая подача пассивного (логической 1) уровня на вход предустановки 6 при сохранении спейсера на входе управления 5 переводит элемент фиксации окончания предустановки 20 в состояние логического 0, а элемент 14 - в состояние логической 1, подтверждающее выход триггера из режима предустановки.

В схеме на фиг.8 также возможны два варианта спецификации входов и выходов

триггера:

1) вход предустановки является входом установки нуля, первая и вторая составляющие парафазного информационного входа являются соответственно прямой и инверсной информационными составляющими, а первый и второй информационные выходы триггера являются прямым и инверсным информационными выходами соответственно,

2) вход предустановки является входом установки единицы, первая и вторая составляющие парафазного информационного входа являются соответственно инверсной и прямой информационными составляющими, а первый и второй информационные выходы триггера являются инверсным и прямым информационными выходами соответственно.

На фиг.9 показана схема двухтактного самосинхронного RS-триггера с самосинхронной предустановкой и объединенным индикатором для случая с единичным спейсером входа управления. Она отличается от схемы на фиг.3 тем, что в нее введены девятый вход блока индикации 2 и элемент фиксации окончания предустановки 20, содержащий элемент И-НЕ 23, а во второй элемент ИЛИ-И-НЕ 19 введена пятая группа входов ИЛИ, вход которой подключен к девятому входу блока индикации 2, первый вход элемента фиксации окончания предустановки 20 подключен к первому информационному выходу 7 триггера и к первому входу элемента И-НЕ 23, второй вход элемента фиксации окончания предустановки 20 подключен к входу предустановки 6 триггера и ко второму входу элемента И-НЕ 23, а выход элемента фиксации окончания предустановки 20 соединен с выходом элемента И-НЕ 23 и с девятым входом блока индикации 2.

Схема на фиг.9 работает так же, как и схема на фиг.6, с тем отличием, что окончание предустановки фиксируется блоком индикации 2. При пассивном (нулевом) значении сигнала на входе предустановки 6 выход элемента фиксации окончания предустановки 20 находится в состоянии логической 1 и не влияет на работу элемента ИЛИ-И-НЕ 19 в блоке индикации 2. В режиме предустановки, при спейсере (логической 1) на входе управления 5, высокий уровень на входе предустановки 6 и появляющийся в результате предустановки высокий уровень на первом информационном выходе триггера 7 заставляют элемент И-НЕ 23 переключиться в логический 0, который, в свою очередь, инициирует переключение элемента 19 в логическую 1, что свидетельствует об успешном окончании предустановки. Последующая подача пассивного (нулевого) уровня на вход предустановки 6 при сохранении спейсера на входе управления 5 переводит элемент фиксации окончания предустановки 20 в состояние логической 1, а элемент 19 - в состояние логического 0, подтверждающее выход триггера из режима предустановки.

В схеме на фиг.9 возможны два варианта спецификации входов и выходов триггера:

1) вход предустановки является входом установки единицы, первая и вторая составляющие парафазного информационного входа являются прямой и инверсной информационными составляющими соответственно, а первый и второй информационные выходы триггера являются прямым и инверсным информационными выходами соответственно,

2) вход предустановки является входом установки нуля, первая и вторая составляющие парафазного информационного входа являются соответственно инверсной и прямой информационными составляющими, а первый и второй информационные выходы триггера являются инверсным и прямым информационными выходами соответственно.

На фиг.10 представлена реализация двухтактного самосинхронного RS-триггера с входом управления и самосинхронной предустановкой, объединенным индикатором и вторым индикаторным выходом. Схема отличается от схемы на фиг.7 тем, что в нее введен второй индикаторный выход 21, подключенный к выходу элемента фиксации окончания предустановки 20.

Второй индикаторный выход 21 может использоваться в ряде практических применений для ускорения взаимодействия между составными частями самосинхронного устройства.

На фиг.11 представлена реализация двухтактного самосинхронного RS-триггера с самосинхронной предустановкой, объединенным индикатором, входом управления с нулевым спейсером и вторым индикаторным выходом. Схема отличается от схемы на фиг.8 тем, что в нее введен второй индикаторный выход 21, подключенный к выходу элемента фиксации окончания предустановки 20.

Схема на фиг.11 работает так же, как и схема на фиг.8. Но теперь выход элемента фиксации окончания предустановки 20 может использоваться для ускорения запрос-ответных взаимодействий между устройствами в общей самосинхронной схеме в режиме предустановки.

На фиг.12 представлена реализация двухтактного самосинхронного RS-триггера с самосинхронной предустановкой, объединенным индикатором, входом управления с единичным спейсером и вторым индикаторным выходом. Схема отличается от схемы на фиг.9 тем, что в нее введен второй индикаторный выход 21, подключенный к выходу элемента фиксации окончания предустановки 20.

Схема на фиг.12 работает так же, как и схема на фиг.9. Но теперь выход элемента фиксации окончания предустановки 20 может использоваться для ускорения запрос-ответных взаимодействий между устройствами в общей самосинхронной схеме в режиме предустановки.

Таким образом, представленные варианты двухтактного самосинхронного RS-триггера с самосинхронной предустановкой и входом управления позволяют получить следующие реализации (при соответствующей спецификации входов и выходов триггера):

1) двухтактный самосинхронный RS-триггер с нулевым спейсером входа управления и синхронным начальным сбросом - предустановкой низкого уровня на прямом информационном выходе триггера (фиг.2),

2) двухтактный самосинхронный RS-триггер с единичным спейсером входа управления и синхронной установкой единицы - предустановкой высокого уровня на прямом информационном выходе триггера (фиг.3),

3) двухтактный самосинхронный RS-триггер с нулевым спейсером входа управления и синхронной установкой единицы - предустановкой высокого уровня на прямом информационном выходе триггера (фиг.2),

4) двухтактный самосинхронный RS-триггер с единичным спейсером входа управления и синхронным начальным сбросом - предустановкой низкого уровня на прямом информационном выходе триггера (фиг.3),

5) двухтактный самосинхронный RS-триггер с нулевым спейсером входа управления и самосинхронным начальным сбросом - предустановкой низкого уровня на прямом информационном выходе триггера (фиг.5, 8 и 11),

6) двухтактный самосинхронный RS-триггер с единичным спейсером входа управления и самосинхронной установкой единицы - предустановкой высокого уровня на прямом информационном выходе триггера (фиг.6, 9 и 12),

7) двухтактный RS-триггер с нулевым спейсером входа управления и самосинхронной установкой единицы - предустановкой высокого уровня на прямом информационном выходе триггера (фиг.5, 8 и 11),

8) двухтактный RS-триггер с единичным спейсером входа управления и самосинхронным начальным сбросом - предустановкой низкого уровня на прямом информационном выходе триггера (фиг.6, 9 и 12).

Источники информации

1. Шило В.Л. Популярные цифровые микросхемы: Справочник. 2-е изд., испр.- Челябинск: Металлургия, Челябинское отд., 1989. - рис.1.54а.

2. Астахановский А.Г., Варшавский В.И., Мараховский В.Б. и др. Аперiodические автоматы. // Под ред. В.И.Варшавского. - М.: Наука, 1976, рис. рис.2.16(а).

3. Астахановский А.Г., Варшавский В.И., Мараховский В.Б. и др. Аперiodические автоматы. // Под ред. В.И.Варшавского. - М.: Наука, 1976, рис. рис.2.16(б).

Формула изобретения

1. Двухтактный самосинхронный RS-триггер с входом управления, содержащий блок памяти, блок индикации, первую и вторую составляющие парафазного информационного входа, вход управления, первый и второй информационные выходы и индикаторный выход, причем первая составляющая парафазного информационного входа соединена с первыми входами блоков памяти и индикации, вторая составляющая парафазного информационного входа соединена со вторыми входами блоков памяти и индикации, первый информационный выход подключен к первому выходу блока памяти и третьему входу блока индикации, второй информационный выход подключен ко второму выходу блока памяти и четвертому входу блока индикации, третий и четвертый выходы блока памяти соединены с пятым и шестым входами блока индикации соответственно, вход управления соединен с третьим входом блока памяти и седьмым входом блока индикации, индикаторный выход триггера соединен с выходом блока индикации, отличающийся тем, что в него введены вход предустановки триггера, четвертый вход блока памяти и восьмой вход блока индикации, вход предустановки триггера соединен с четвертым входом блока памяти и восьмым входом блока индикации, а предустановка является синхронной.

2. Двухтактный самосинхронный RS-триггер с входом управления по п.1, отличающийся тем, что блок памяти реализован на первом и втором элементах И-ИЛИ-НЕ и первом и втором элементах ИЛИ-И-НЕ, блок индикации реализован на третьем элементе И-ИЛИ-НЕ, первые входы первых групп входов И первого и второго элементов И-ИЛИ-НЕ подключены к первому и второму входам блока памяти соответственно, вторые входы первых групп входов И первого и второго элементов И-ИЛИ-НЕ и первых групп входов ИЛИ первого и второго элементов ИЛИ-И-НЕ соединены с третьим входом блока памяти, выход первого элемента И-ИЛИ-НЕ подключен к первому входу первой группы входов ИЛИ первого элемента ИЛИ-И-НЕ, входу второй группы входов И второго элемента И-ИЛИ-НЕ и третьему выходу блока памяти, выход второго элемента И-ИЛИ-НЕ подключен к первому входу первой группы входов ИЛИ второго элемента ИЛИ-И-НЕ, первому входу второй группы входов И первого элемента И-ИЛИ-НЕ и четвертому выходу блока памяти, выход первого элемента ИЛИ-И-НЕ соединен с входом второй группы входов ИЛИ второго элемента ИЛИ-И-НЕ и первым выходом блока памяти, выход второго элемента ИЛИ-И-НЕ соединен с входом второй группы входов ИЛИ первого элемента ИЛИ-И-НЕ и вторым выходом блока памяти, первые входы первой и

второй групп входов И третьего элемента И-ИЛИ-НЕ соединены с первым и вторым входами блока индикации соответственно, первые входы третьей и четвертой групп входов И третьего элемента И-ИЛИ-НЕ подключены к третьему и четвертому входам блока индикации соответственно, вторые входы первой и четвертой групп входов И третьего элемента И-ИЛИ-НЕ соединены с шестым входом блока индикации, вторые входы второй и третьей групп входов И третьего элемента И-ИЛИ-НЕ подключены к пятому входу блока индикации, третьи входы первой и второй групп входов И третьего элемента И-ИЛИ-НЕ соединены с седьмым входом блока индикации, выход третьего элемента И-ИЛИ-НЕ является выходом блока индикации, во вторую группу входов И первого элемента И-ИЛИ-НЕ введен второй вход, соединенный с четвертым входом блока памяти, в третьем элементе И-ИЛИ-НЕ введены третьи входы в третью и четвертую группы входов И, соединенные с восьмым входом блока индикации.

3. Двухтактный самосинхронный RS-триггер с входом управления по п.1, отличающийся тем, что блок памяти реализован на первом и втором элементах ИЛИ-И-НЕ и первом и втором элементах И-ИЛИ-НЕ, блок индикации реализован на третьем элементе ИЛИ-И-НЕ, первые входы первых групп входов ИЛИ первого и второго элементов ИЛИ-И-НЕ подключены к первому и второму входам блока памяти соответственно, вторые входы первых групп входов ИЛИ первого и второго элементов ИЛИ-И-НЕ и первых групп входов И первого и второго элементов И-ИЛИ-НЕ соединены с третьим входом блока памяти, выход первого элемента ИЛИ-И-НЕ подключен к первому входу первой группы входов И первого элемента И-ИЛИ-НЕ, входу второй группы входов ИЛИ второго элемента ИЛИ-И-НЕ и третьему выходу блока памяти, выход второго элемента ИЛИ-И-НЕ подключен к первому входу первой группы входов И второго элемента И-ИЛИ-НЕ, первому входу второй группы входов ИЛИ первого элемента ИЛИ-И-НЕ и четвертому выходу блока памяти, выход первого элемента И-ИЛИ-НЕ соединен с входом второй группы входов И второго элемента И-ИЛИ-НЕ и первым выходом блока памяти, выход второго элемента И-ИЛИ-НЕ соединен с входом второй группы входов И первого элемента И-ИЛИ-НЕ и вторым выходом блока памяти, первые входы первой и второй групп входов ИЛИ третьего элемента ИЛИ-И-НЕ соединены с первым и вторым входами блока индикации соответственно, первые входы третьей и четвертой групп входов ИЛИ третьего элемента ИЛИ-И-НЕ подключены к третьему и четвертому входам блока индикации соответственно, вторые входы первой и четвертой групп входов ИЛИ третьего элемента ИЛИ-И-НЕ соединены с шестым входом блока индикации, вторые входы второй и третьей групп входов ИЛИ третьего элемента ИЛИ-И-НЕ подключены к пятому входу блока индикации, третьи входы первой и второй групп входов ИЛИ третьего элемента ИЛИ-И-НЕ соединены с седьмым входом блока индикации, выход третьего элемента ИЛИ-И-НЕ является выходом блока индикации, во вторую группу входов ИЛИ первого элемента ИЛИ-И-НЕ введен второй вход, соединенный с четвертым входом блока памяти, в третьем элементе ИЛИ-И-НЕ введены третьи входы в третью и четвертую группы входов ИЛИ, соединенные с восьмым входом блока индикации.

4. Двухтактный самосинхронный RS-триггер с входом управления по п.1, отличающийся тем, что в него введены элемент фиксации окончания предустановки, первый и второй входы которого подключены к первому информационному выходу триггера и входу предустановки соответственно, и второй индикаторный выход, соединенный с выходом элемента фиксации окончания предустановки, а предустановка является самосинхронной.

5. Двухтактный самосинхронный RS-триггер с входом управления по п.2, отличающийся тем, что в него введены элемент фиксации окончания предустановки, входы которого подключены к первому информационному выходу триггера и входу предустановки соответственно, и второй индикаторный выход, соединенный с выходом элемента фиксации окончания предустановки, причем элемент фиксации окончания предустановки реализован на элементе ИЛИ-НЕ, входы которого являются входами элемента фиксации окончания предустановки, а выход - выходом элемента фиксации окончания предустановки, предустановка является самосинхронной.

6. Двухтактный самосинхронный RS-триггер с входом управления по п.3, отличающийся тем, что в него введены элемент фиксации окончания предустановки, входы которого подключены к первому информационному выходу триггера и входу предустановки соответственно, и второй индикаторный выход, соединенный с выходом элемента фиксации окончания предустановки, причем элемент фиксации окончания предустановки реализован на элементе И-НЕ, входы которого являются входами элемента фиксации окончания предустановки, а выход - выходом элемента фиксации окончания предустановки, предустановка является самосинхронной.

7. Двухтактный самосинхронный RS-триггер с входом управления по п.1, отличающийся тем, что в него введены элемент фиксации окончания предустановки, первый и второй входы которого подключены к первому информационному выходу и входу предустановки триггера соответственно, а в блок индикации введен девятый вход, подключенный к выходу элемента фиксации окончания предустановки, предустановка является самосинхронной.

8. Двухтактный самосинхронный RS-триггер с входом управления по п.2, отличающийся тем, что в него введены элемент фиксации окончания предустановки, первый и второй входы которого подключены к первому информационному выходу и входу предустановки триггера соответственно, причем элемент фиксации окончания предустановки реализован на элементе ИЛИ-НЕ, входы которого являются входами элемента фиксации окончания предустановки, а выход - выходом элемента фиксации окончания предустановки, в блок индикации введен девятый вход, подключенный к выходу элемента фиксации окончания предустановки, а во второй элемент И-ИЛИ-НЕ введена пятая группа входов И, чей вход подключен к девятому входу блока индикации, предустановка является самосинхронной.

9. Двухтактный самосинхронный RS-триггер с входом управления по п.3, отличающийся тем, что в него введены элемент фиксации окончания предустановки, первый и второй входы которого подключены к первому информационному выходу и входу предустановки триггера соответственно, причем элемент фиксации окончания предустановки реализован на элементе И-НЕ, входы которого являются входами элемента фиксации окончания предустановки, а выход - выходом элемента фиксации окончания предустановки, в блок индикации введен девятый вход, подключенный к выходу элемента фиксации окончания предустановки, а во второй элемент ИЛИ-И-НЕ введена пятая группа входов ИЛИ, чей вход подключен к девятому входу блока индикации, предустановка является самосинхронной.

10. Двухтактный самосинхронный RS-триггер с входом управления по п.7, отличающийся тем, что в него введен второй индикаторный выход, подключенный к выходу элемента фиксации окончания предустановки.

11. Двухтактный самосинхронный RS-триггер с входом управления по п.8, отличающийся тем, что в него введен второй индикаторный выход, подключенный к

выходу элемента фиксации окончания предустановки.

12. Двухтактный самосинхронный RS-триггер с входом управления по п.9, отличающийся тем, что в него введен второй индикаторный выход, подключенный к выходу элемента фиксации окончания предустановки.

5

10

15

20

25

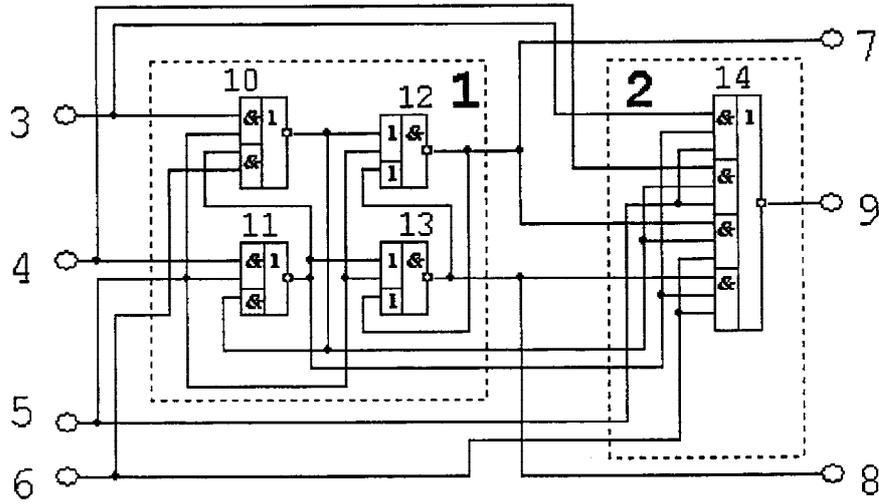
30

35

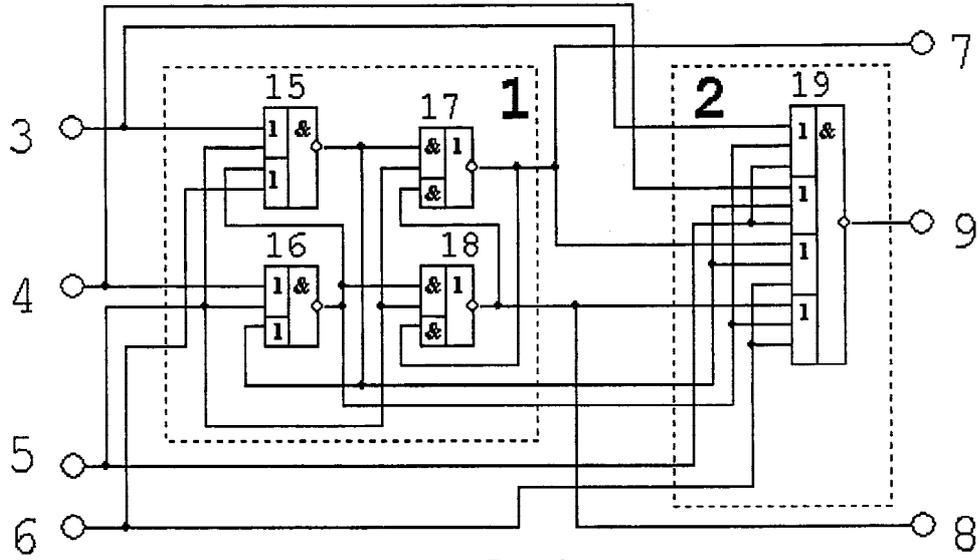
40

45

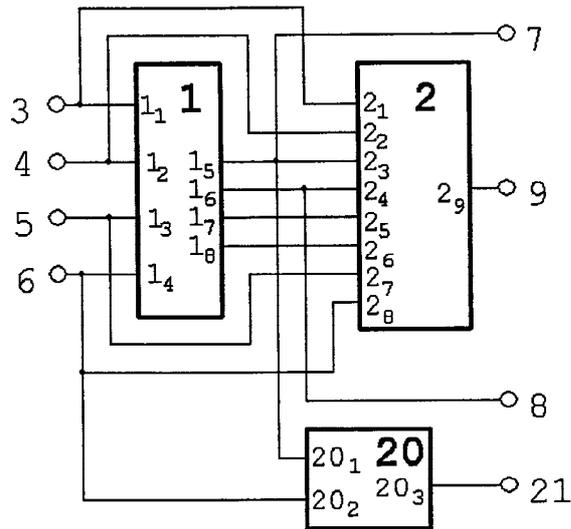
50



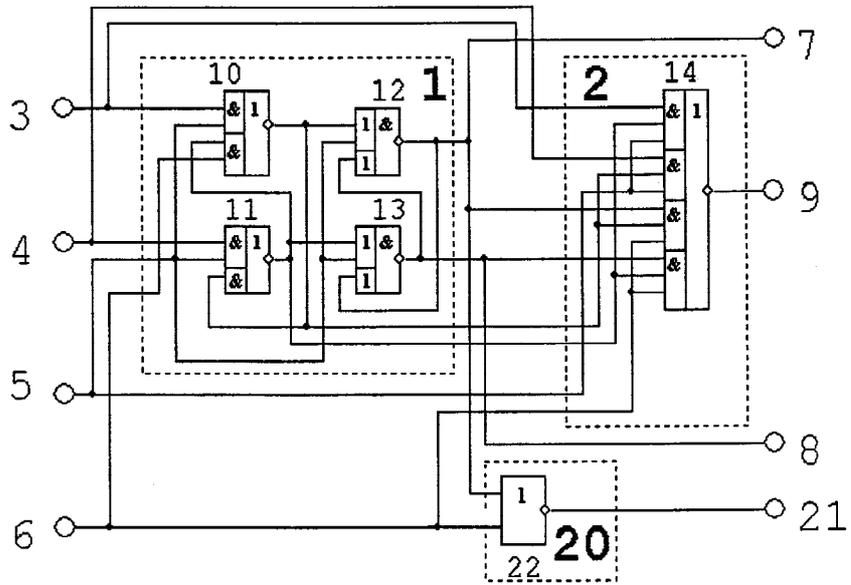
Фиг. 2



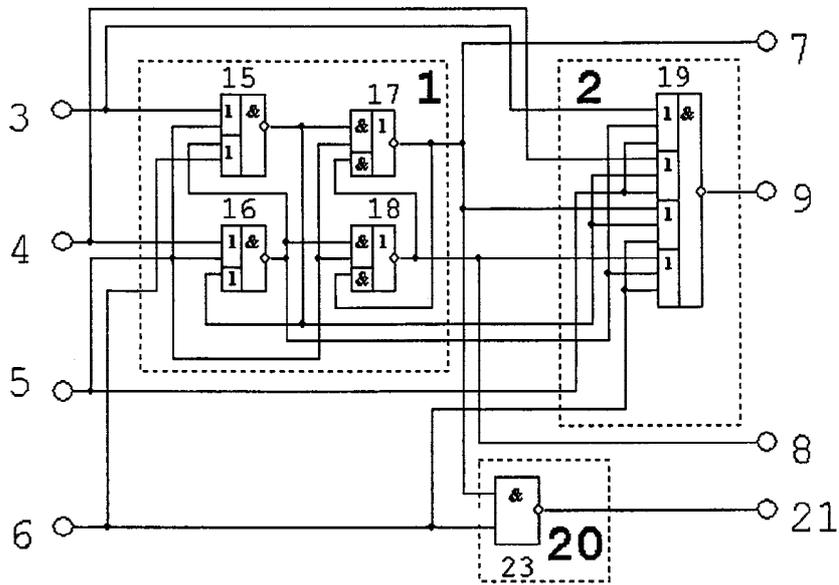
Фиг. 3



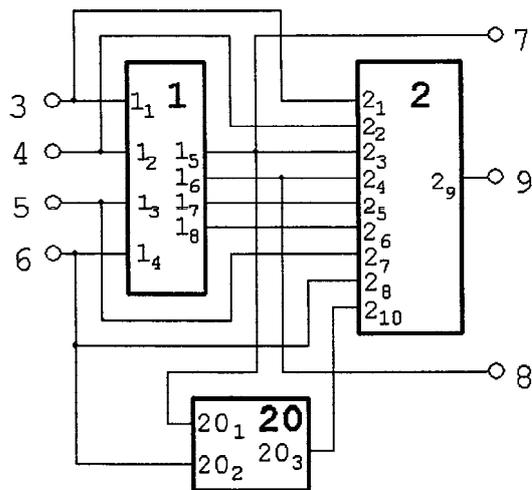
Фиг. 4



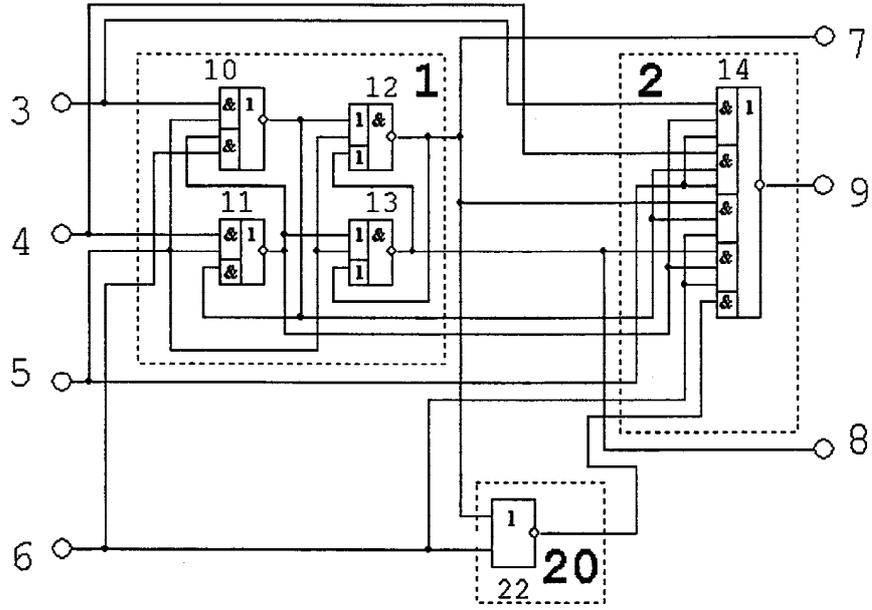
Фиг. 5



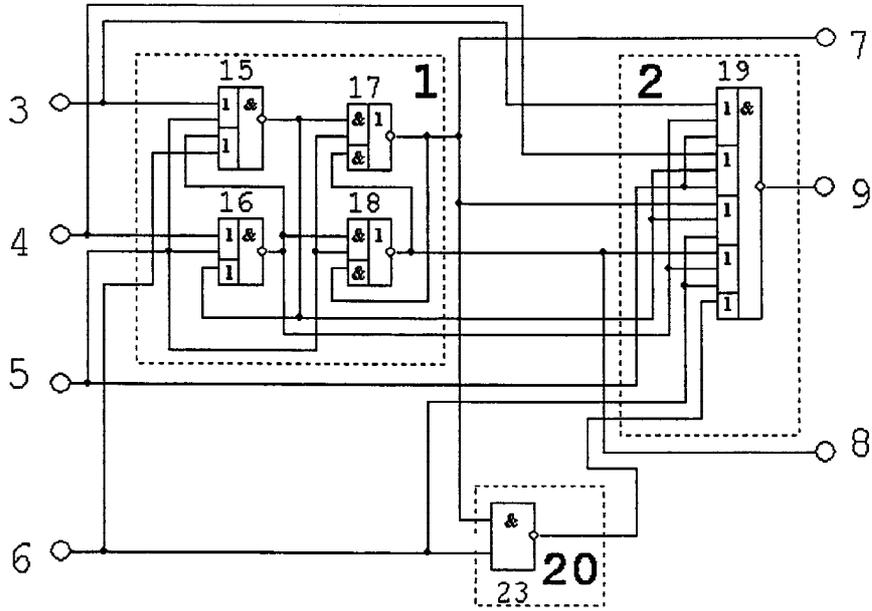
Фиг. 6



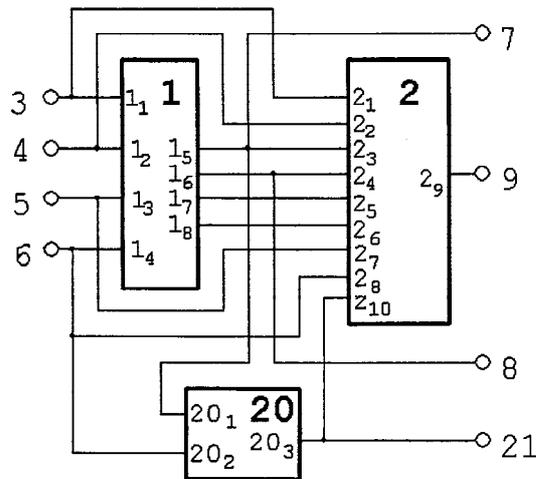
Фиг. 7



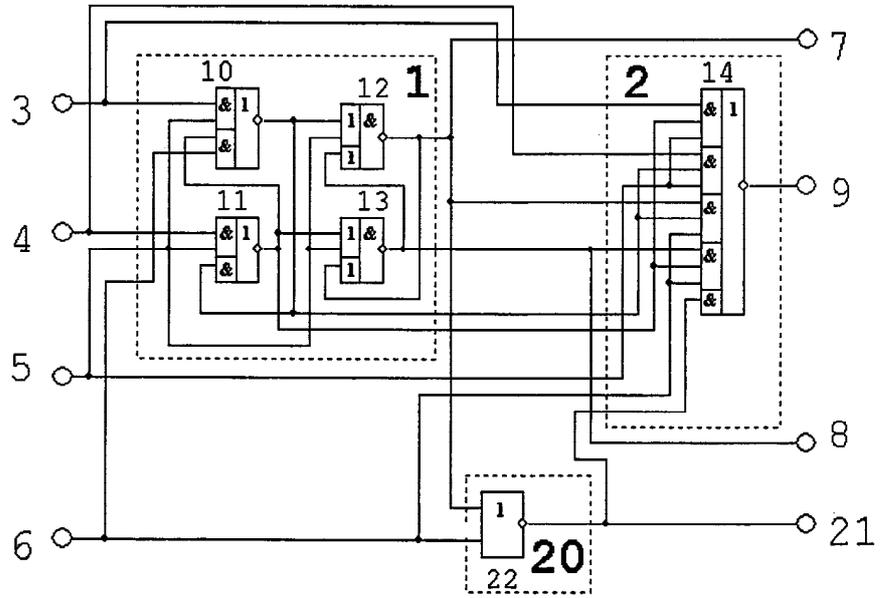
Фиг. 8



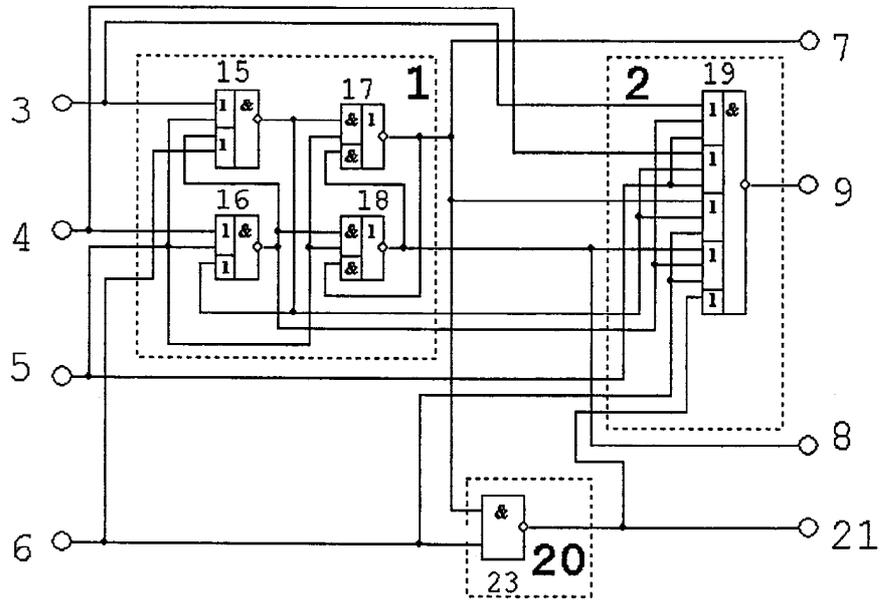
Фиг. 9



Фиг. 10



Фиг. 11



Фиг. 12