



ФЕДЕРАЛЬНАЯ СЛУЖБА
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ,
ПАТЕНТАМ И ТОВАРНЫМ ЗНАКАМ

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

(21), (22) Заявка: 2007137779/09, 12.10.2007

(24) Дата начала отсчета срока действия патента:
12.10.2007

(45) Опубликовано: 10.07.2009 Бюл. № 19

(56) Список документов, цитированных в отчете о
поиске: **Апериодические автоматы. Под ред.**
Варшавского В.И. - М.: Наука, 1976, с.424.
SU 1420647 A1, 30.08.1988. US 6239640 B1,
29.05.2001. US 2002047736 A1, 25.04.2002.

Адрес для переписки:

119333, Москва, ул. Вавилова, 44, к.2,
Институт проблем информатики Российской
академии наук (ИПИ РАН)

(72) Автор(ы):

Степченков Юрий Афанасьевич (RU),
Дьяченко Юрий Георгиевич (RU),
Захаров Виктор Николаевич (RU),
Гринфельд Фрума Исааковна (RU),
Степченков Дмитрий Юрьевич (RU)

(73) Патентообладатель(и):

Институт проблем информатики Российской
академии наук (ИПИ РАН) (RU)

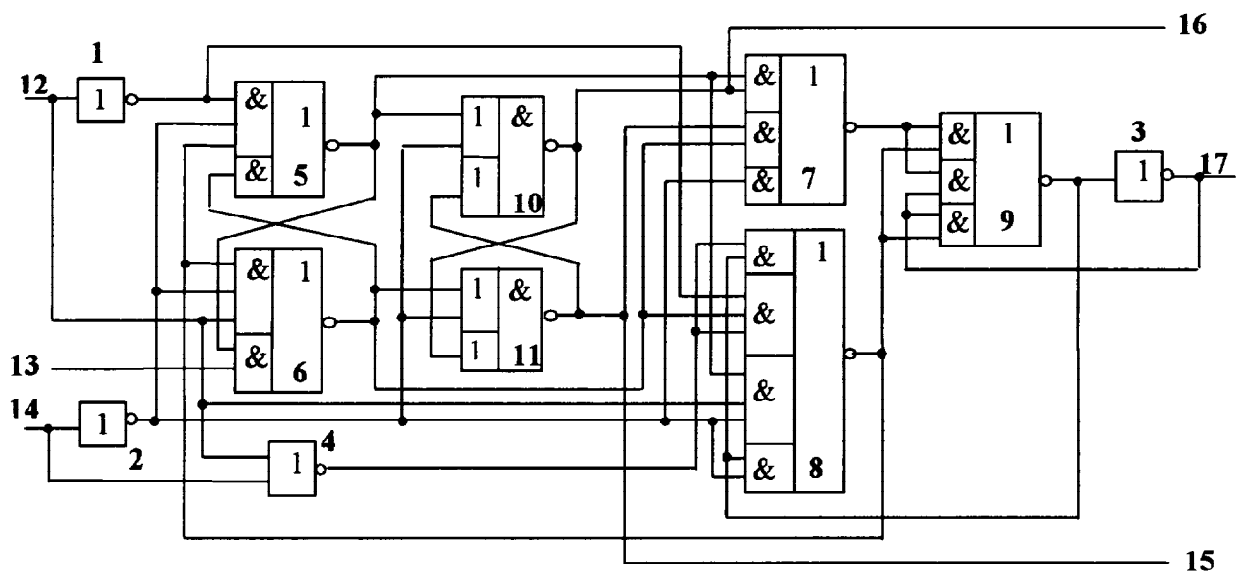
(54) САМОСИНХРОННЫЙ D-ТРИГГЕР

(57) Реферат:

Изобретение относится к импульсной и вычислительной технике и может быть использовано при построении самосинхронных триггерных, регистровых и вычислительных устройств, систем цифровой обработки информации. Техническим результатом изобретения является обеспечение самосинхронности D-триггера с однофазным кодированием информационного входа и

парафазным кодированием информационного выхода. Этот результат достигается тем, что в схему, содержащую два однотактных триггера, введены инверторы на входах: информационном и управляющем, а также добавлено устройство индикации окончания переходных процессов в триггере, реализованное на трех элементах И-ИЛИ-НЕ, элементе ИЛИ-НЕ и инверторе. 1 ил.

RU 2 3 6 1 3 5 9 С 1



RU 2 3 6 1 3 5 9 С 1



FEDERAL SERVICE
FOR INTELLECTUAL PROPERTY,
PATENTS AND TRADEMARKS

(12) ABSTRACT OF INVENTION

(21), (22) Application: **2007137779/09, 12.10.2007**

(24) Effective date for property rights:
12.10.2007

(45) Date of publication: **10.07.2009 Bull. 19**

Mail address:
**119333, Moskva, ul. Vavilova, 44, k.2, Institut
problem informatiki Rossijskoj akademii nauk (IPI
RAN)**

(72) Inventor(s):
**Stepchenkov Jurij Afanas'evich (RU),
D'jachenko Jurij Georgievich (RU),
Zakharov Viktor Nikolaevich (RU),
Grinfel'd Fruma Isaakovna (RU),
Stepchenkov Dmitrij Jur'evich (RU)**

(73) Proprietor(s):
**Institut problem informatiki Rossijskoj akademii
nauk (IPI RAN) (RU)**

(54) SELF-SYNCHRONISING D-FLIP-FLOP

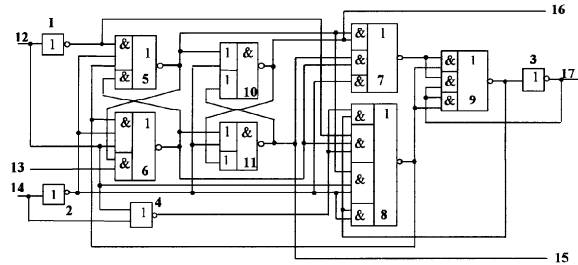
(57) Abstract:

FIELD: information technologies.

SUBSTANCE: invention relates to pulse and computer engineering and can be used in composing self-synchronising trigger, register and computing devices and systems of digital information processing. To this effect invert circuits are installed at data and driving inputs of scheme containing two step-type flip-flops; also flip-flop transient closing display device is realised on three AND-OR inverters, NOT-OR circuit and invert circuit.

EFFECT: ensuring self-synchronising of D-flip-flop with data input single-phase encoding and data output paraphrase encoding.

1 dwg



Самосинхронный D-триггер относится к импульсной и вычислительной технике и может использоваться при построении самосинхронных триггерных, регистровых и вычислительных устройств, систем цифровой обработки информации.

Известен D-триггер [1], содержащий шесть элементов И-НЕ.

Недостаток известного устройства - отсутствие средств индикации окончания переходных процессов.

Наиболее близким к предлагаемому решению по технической сущности и принятым в качестве прототипа является D-триггер [2], содержащий два одноклапных триггера с парафазным кодированием информационных входов и выходов.

Недостаток прототипа - работа только с данными, представленными в парафазном коде, что не позволяет использовать его в качестве элемента интерфейса между синхронными и самосинхронными схемами

Задача, решаемая в изобретении, заключается в обеспечении самосинхронной реализации D-триггера с однофазным входом данных и парафазным выходом без спейсера, хранящим свое состояние до следующей операции записи в него нового состояния.

Это достигается тем, что в D-триггере, содержащем два одноклапных триггера, информационный вход, управляющий вход, вход обнуления, прямой и инверсный информационные выходы и индикаторный выход, введены инверторы на входах: информационном и управляющем, а также изменено устройство индикации окончания переходных процессов в триггере, реализованное на трех элементах И-ИЛИ-НЕ, элементе ИЛИ-НЕ и инверторе, первый одноклапный триггер реализован на двух элементах И-ИЛИ-НЕ, а второй одноклапный триггер реализован на двух элементах ИЛИ-И-НЕ, информационный вход подключен ко входу первого инвертора, третьему входу первой группы входов И второго элемента И-ИЛИ-НЕ, первому входу элемента ИЛИ-НЕ и второму входу третьей группы входов И четвертого элемента И-ИЛИ-НЕ, управляющий вход подключен ко входу второго инвертора и второму входу элемента ИЛИ-НЕ, вход обнуления подключен ко второму входу второй группы входов И второго элемента И-ИЛИ-НЕ, выход первого инвертора подключен к первому входу первой группы входов И первого элемента И-ИЛИ-НЕ и первому входу второй группы входов И четвертого элемента И-ИЛИ-НЕ, выход второго инвертора подключен ко вторым входам первых групп И первого и второго элементов И-ИЛИ-НЕ, вторым входам первых групп ИЛИ первого и второго элементов ИЛИ-И-НЕ, входу третьей группы входов И третьего элемента И-ИЛИ-НЕ, третьему входу третьей группы входов И четвертого элемента И-ИЛИ-НЕ и второму входу четвертой группы входов И четвертого элемента И-ИЛИ-НЕ, выход элемента ИЛИ-НЕ подключен к первому входу первой группы входов И и третьему входу второй группы входов И четвертого элемента И-ИЛИ-НЕ, выход первого элемента И-ИЛИ-НЕ подключен к первому входу первой группы входов ИЛИ первого элемента ИЛИ-И-НЕ, первому входу второй группы входов И второго элемента И-ИЛИ-НЕ, первому входу первой группы входов И третьего элемента И-ИЛИ-НЕ и первому входу третьей группы входов И четвертого элемента И-ИЛИ-НЕ, выход второго элемента И-ИЛИ-НЕ подключен к входу второй группы входов И первого элемента И-ИЛИ-НЕ, первому входу первой группы входов ИЛИ второго элемента ИЛИ-И-НЕ, второму входу второй группы входов И третьего элемента И-ИЛИ-НЕ и второму входу второй группы входов И четвертого элемента И-ИЛИ-НЕ, выход первого элемента ИЛИ-И-НЕ подключен к инверсному информационному выходу триггера, входу второй группы входов ИЛИ второго

элемента ИЛИ-И-НЕ и второму входу первой группы входов И третьего элемента И-ИЛИ-НЕ, выход второго элемента ИЛИ-И-НЕ подключен к прямому информационному выходу триггера, входу второй группы входов ИЛИ первого элемента ИЛИ-И-НЕ и первому входу второй группы входов И третьего элемента И-ИЛИ-НЕ, выход третьего элемента И-ИЛИ-НЕ подключен к первым входам первой и второй групп входов И пятого элемента И-ИЛИ-НЕ, выход четвертого элемента И-ИЛИ-НЕ подключен ко вторым входам первой и третьей групп входов И пятого элемента И-ИЛИ-НЕ, третьему входу первой группы входов И первого элемента И-ИЛИ-Е и первому входу первой группы входов И второго элемента И-ИЛИ-НЕ, выход пятого элемента И-ИЛИ-НЕ подключен к входу третьего инвертора, второму входу первой группы входов И и первому входу четвертой группы входов И четвертого элемента И-ИЛИ-НЕ, выход третьего инвертора подключен к индикаторному выходу и второму и первому входам второй и третьей групп входов И пятого элемента И-ИЛИ-НЕ соответственно.

Предлагаемое устройство удовлетворяет критерию "существенные отличия". Использование элементов И-ИЛИ-НЕ, ИЛИ-И-НЕ, ИЛИ-НЕ и инверторов для реализации D-триггера известно. Однако использование их в данном случае позволило достичь эффекта, выраженного целью изобретения.

Поскольку введенные конструктивные связи в аналогичных технических решениях не известны, устройство может считаться имеющим существенные отличия.

На чертеже изображена схема самосинхронного D-триггера.

Схема D-триггера содержит три инвертора 1-3, элемент ИЛИ-НЕ 4, пять элементов И-ИЛИ-НЕ 5-9, два элемента ИЛИ-И-НЕ 10-11, информационный вход 12, вход обнуления 13, управляющий вход 14, прямой информационный выход 15, инверсный информационный выход 16 и индикаторный выход 17, информационный вход 12 подключен ко входу инвертора 1, третьему входу первой группы входов И элемента 6, первому входу элемента 4 и второму входу третьей группы входов И элемента 8, вход обнуления 13 подключен ко второму входу второй группы входов элемента 6, управляющий вход 14 подключен ко входу инвертора 2 и второму входу элемента 4, выход инвертора 1 подключен к первому входу первой группы входов И элемента 5 и первому входу второй группы входов И элемента 8, выход инвертора 2 подключен ко вторым входам первых групп И элементов 5 и 6, вторым входам первых групп ИЛИ элементов 10 и 11, входу третьей группы входов И элемента 7, третьему входу третьей группы входов И элемента 8 и второму входу четвертой группы входов И элемента 8, выход элемента 4 подключен к первому входу первой группы входов И и третьему входу второй группы входов И элемента 8, выход элемента 5 подключен к первому входу первой группы входов ИЛИ элемента 10, первому входу второй группы входов И элемента 6, первому входу первой группы входов И элемента 7 и первому входу третьей группы входов И элемента 8, выход элемента 6 подключен ко входу второй группы входов И элемента 5, первому входу первой группы входов ИЛИ элемента 11, второму входу второй группы входов И элемента 7 и второму входу второй группы входов И элемента 8, выход элемента 10 подключен к инверсному информационному выходу триггера 16, входу второй группы входов ИЛИ элемента 11 и второму входу первой группы входов И элемента 7, выход элемента 11 подключен к прямому информационному выходу триггера 15, входу второй группы входов ИЛИ элемента 10 и первому входу второй группы входов И элемента 7, выход элемента 7 подключен к первым входам первой и второй групп входов И элемента 9, выход элемента 8 подключен ко вторым входам первой и третьей групп входов И элемента

9, третьему входу первой группы входов И элемента 5 и первому входу первой группы входов И элемента 6, выход элемента 9 подключен ко входу инвертора 3, второму входу первой группы входов И и первому входу четвертой группы входов И элемента 8, выход инвертора 3 подключен к индикаторному выходу 17 и второму и первому входам второй и третьей групп входов И элемента 9 соответственно.

5
10
15
20
25
30
35
40
45
50
55
60
65
70
75
80
85
90
95
100
105
110
115
120
125
130
135
140
145
150
155
160
165
170
175
180
185
190
195
200
205
210
215
220
225
230
235
240
245
250
255
260
265
270
275
280
285
290
295
300
305
310
315
320
325
330
335
340
345
350
355
360
365
370
375
380
385
390
395
400
405
410
415
420
425
430
435
440
445
450
455
460
465
470
475
480
485
490
495
500
505
510
515
520
525
530
535
540
545
550
555
560
565
570
575
580
585
590
595
600
605
610
615
620
625
630
635
640
645
650
655
660
665
670
675
680
685
690
695
700
705
710
715
720
725
730
735
740
745
750
755
760
765
770
775
780
785
790
795
800
805
810
815
820
825
830
835
840
845
850
855
860
865
870
875
880
885
890
895
900
905
910
915
920
925
930
935
940
945
950
955
960
965
970
975
980
985
990
995

Схема работает следующим образом. Установка начального состояния происходит при подаче низкого уровня на вход 13 и высокого уровня сигнала на вход управления 14. При этом выход 16 устанавливается в «1» (высокий уровень), а выход 15 - в «0» (низкий уровень). Запись нового состояния с информационного входа 12 в первый одноклапный триггер, образованный элементами 5 и 6, обеспечивается подачей на вход 14 низкого уровня. При этом на выходе инвертора 2 формируется высокий логический уровень, разрешающий запись в первый одноклапный триггер и запирающий по входам второй одноклапный триггер, образованный элементами 10 и 11. Перезапись информации из первого одноклапного триггера во второй осуществляется при подаче на управляющий вход 14 высокого уровня сигнала. В этом случае первый одноклапный триггер запирается по входам и хранит состояние своих выходов, которое и переписывается во второй одноклапный триггер. Элементы 3, 4, 7-9 выполняют функцию индикатора окончания переходных процессов в D-триггере и регулятора фаз переключения D-триггера, при этом элемент 7 анализирует на соответствие состояния первого и второго одноклапных триггеров, а элемент 8 индицирует соответствие состояния выходов первого одноклапного триггера значению информационного входа 12 и выхода инвертора 1.

В предлагаемой схеме используется синхронная установка нуля: переход выходов триггера в устанавливаемое состояние специально не индицируется. Как правило, сброс в D-триггерах используется только для приведения триггера в исходное состояние сразу после включения питания. При этом время сброса выбирается большим, достаточным для приведения в исходное состояние всех элементов системы, частью которой является D-триггер. Реализация самосинхронного сброса в таких условиях была бы излишней и аппаратно избыточной.

Особенности данной схемы по сравнению с прототипом следующие.

Информационный вход триггера является однофазным, что позволяет использовать D-триггер в качестве элемента интерфейса между синхронной и самосинхронной схемами. Информационные выходы триггера имеют парафазное (взаимоинверсное) кодирование без спейсера. Благодаря этому информационные выходы сохраняют свое значение между моментами обновления, что облегчает их использование последующими устройствами. Уточненный индикаторный выход фиксирует момент окончания переходных процессов во всех элементах триггера, как тех, которые были в составе прототипа, так и вновь введенных, что обеспечивает индикацию всех элементов в составе самосинхронной схемы.

Таким образом, предлагаемое устройство обеспечивает самосинхронность D-триггера и улучшение его потребительских характеристик за счет однофазности информационного входа и парафазности информационного выхода без спейсера. Цель изобретения достигнута.

Кроме того, предлагаемый D-триггер позволяет вдвое сократить число информационных связей между многоуровневым источником входной информации и регистром на базе данного самосинхронного D-триггера.

Понятия «однофазный» и «парафазный» определяются следующим образом. «Однофазным» считается сигнал, если он одиночный и требует использования

инвертора для получения противоположного (инверсного) значения. «Парафазным» считается сигнал, представленный парой переменных (сигналов). В статическом состоянии, после окончания динамических процессов переключения элементов в схеме, две составляющие парафазного сигнала имеют взаимоинверсные состояния. В результате в статическом состоянии парафазный сигнал {X, XB} может принимать одно из двух рабочих состояний: {X=0, XB=1} или {X=1, XB=0}. Переход из одного статического состояния в противоположное осуществляется через одно и то же динамическое состояние, {1,1} или {0,0}, определяемое типом элементов, формирующих парафазный сигнал. Типичным представителем устройства с парафазным выходом является обычный синхронный триггер с перекрестными обратными связями, например RS-триггер.

Источники информации

[1] Шило В.Л. Популярныe цифровые микросхемы: Справочник. 2-е изд., испр. - Челябинск, Металлургия, Челябинское отд., 1989 - рис.1.54а.

[2] Аперидические автоматы. Под ред. В.И.Варшавского. М.: Наука, 1976. - 424 с. - рис.2.16а.

Формула изобретения

Самосинхронный D-триггер, содержащий два одноктактных триггера, информационный вход, управляющий вход, вход обнуления, прямой и инверсный информационные выходы, индикаторный выход, отличающийся тем, что в схему введены инверторы на входах: информационном и управляющем, первый одноктактный триггер реализован на двух элементах И-ИЛИ-НЕ - первом и втором, а второй одноктактный триггер реализован на двух элементах ИЛИ-И-НЕ - первом и втором, а также добавлено устройство индикации окончания переходных процессов в триггере, реализованное на трех элементах И-ИЛИ-НЕ - третьем, четвертом и пятом, элементе ИЛИ-НЕ и инверторе, информационный вход подключен ко входу первого инвертора, третьему входу первой группы входов И второго элемента И-ИЛИ-НЕ, первому входу элемента ИЛИ-НЕ и второму входу третьей группы входов И четвертого элемента И-ИЛИ-НЕ, управляющий вход подключен ко входу второго инвертора и второму входу элемента ИЛИ-НЕ, вход обнуления подключен ко второму входу второй группы И входов второго элемента И-ИЛИ-НЕ, выход первого инвертора подключен к первому входу первой группы входов И первого элемента И-ИЛИ-НЕ и первому входу второй группы входов И четвертого элемента И-ИЛИ-НЕ, выход второго инвертора подключен ко вторым входам первых групп И первого и второго элементов И-ИЛИ-НЕ, вторым входам первых групп входов ИЛИ первого и второго элементов ИЛИ-И-НЕ, входу третьей группы входов И третьего элемента И-ИЛИ-НЕ, третьему входу третьей группы входов И четвертого элемента И-ИЛИ-НЕ и второму входу четвертой группы входов И четвертого элемента И-ИЛИ-НЕ, выход элемента ИЛИ-НЕ подключен к первому входу первой группы входов И и третьему входу второй группы входов И четвертого элемента И-ИЛИ-НЕ, выход первого элемента И-ИЛИ-НЕ подключен к первому входу первой группы входов ИЛИ первого элемента ИЛИ-И-НЕ, первому входу второй группы входов И второго элемента И-ИЛИ-НЕ, первому входу первой группы входов И третьего элемента И-ИЛИ-НЕ и первому входу третьей группы входов И четвертого элемента И-ИЛИ-НЕ, выход второго элемента И-ИЛИ-НЕ подключен к входу второй группы входов И первого элемента И-ИЛИ-НЕ, первому входу первой группы входов ИЛИ второго элемента ИЛИ-И-НЕ, второму входу второй группы входов И третьего

элемента И-ИЛИ-НЕ и второму входу второй группы входов И четвертого элемента И-ИЛИ-НЕ, выход первого элемента ИЛИ-И-НЕ подключен к инверсному информационному выходу триггера, входу второй группы входов ИЛИ второго элемента ИЛИ-И-НЕ и второму входу первой группы входов И третьего элемента И-ИЛИ-НЕ, выход второго элемента ИЛИ-И-НЕ подключен к прямому информационному выходу триггера, входу второй группы входов ИЛИ первого элемента ИЛИ-И-НЕ и первому входу второй группы входов И третьего элемента И-ИЛИ-НЕ, выход третьего элемента И-ИЛИ-НЕ подключен к первым входам первой и второй групп входов И пятого элемента И-ИЛИ-НЕ, выход четвертого элемента И-ИЛИ-НЕ подключен ко вторым входам первой и третьей групп входов И пятого элемента И-ИЛИ-НЕ, третьему входу первой группы входов И первого элемента И-ИЛИ-НЕ и первому входу первой группы входов И второго элемента И-ИЛИ-НЕ, выход пятого элемента И-ИЛИ-НЕ подключен ко входу третьего инвертора, второму входу первой группы входов И и первому входу четвертой группы входов И четвертого элемента И-ИЛИ-НЕ, выход третьего инвертора подключен к индикаторному выходу и второму и первому входам второй и третьей групп входов И пятого элемента И-ИЛИ-НЕ соответственно.

20

25

30

35

40

45

50