



ФЕДЕРАЛЬНАЯ СЛУЖБА
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ,
ПАТЕНТАМ И ТОВАРНЫМ ЗНАКАМ

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

(21), (22) Заявка: 2006128928/09, 09.08.2006

(24) Дата начала отсчета срока действия патента:
09.08.2006

(45) Опубликовано: 10.03.2008 Бюл. № 7

(56) Список документов, цитированных в отчете о
поиске: SU 1372361 A1, 07.02.1988. RU 2220502
C2, 27.12.2001. GB 1452306 A, 13.10.1976. US
2006171501 A1, 03.08.2006.

Адрес для переписки:

119333, Москва, ул. Вавилова, 44, к.2, ИПИ РАН

(72) Автор(ы):

Степченков Юрий Афанасьевич (RU),
Дьяченко Юрий Георгиевич (RU),
Рождественский Юрий Владимирович (RU),
Рождественскене Аста Винценти (RU)

(73) Патентообладатель(и):

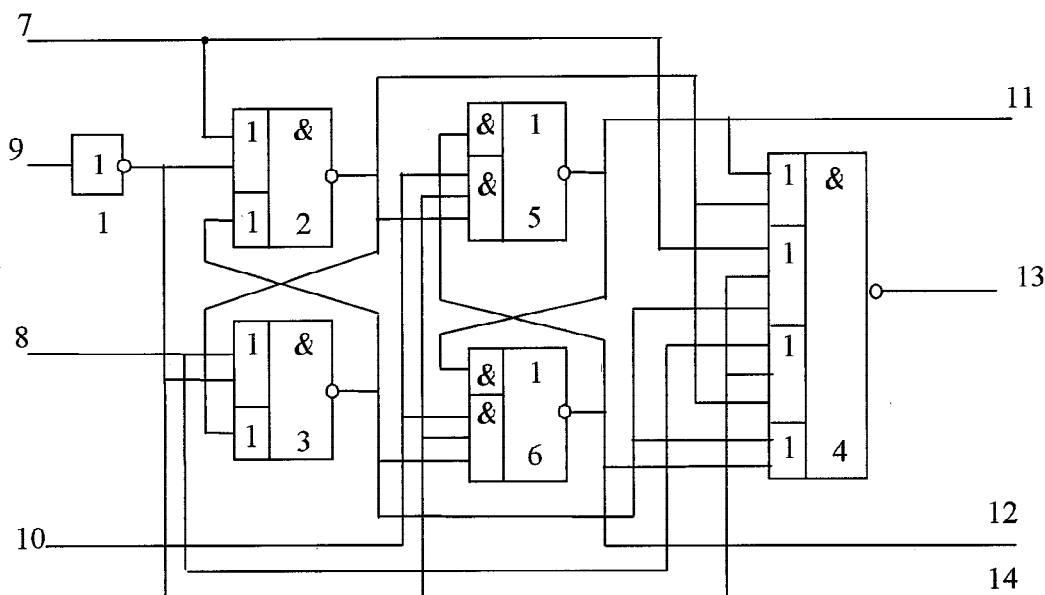
Институт проблем информатики Российской
академии наук (ИПИ РАН) (RU)

(54) РАЗРЯД САМОСИНХРОННОГО РЕГИСТРА СДВИГА

(57) Реферат:

Изобретение относится к импульсной и вычислительной технике и может использоваться при построении самосинхронных триггерных, регистровых и вычислительных устройств, систем цифровой обработки информации. Техническим результатом является упрощение реализации разряда самосинхронного регистра сдвига.

Указанный технический результат достигается тем, что в схему, содержащую два элемента И-ИЛИ-НЕ, прямой и инверсный информационные входы и прямой и инверсный информационный выходы, введены два управляющих входа, индикаторный выход, выход разрешения сдвига, инвертор, три элемента ИЛИ-И-НЕ и новые конструктивные связи. 1 ил.





FEDERAL SERVICE
FOR INTELLECTUAL PROPERTY,
PATENTS AND TRADEMARKS

(12) **ABSTRACT OF INVENTION**

(21), (22) Application: **2006128928/09, 09.08.2006**

(24) Effective date for property rights: **09.08.2006**

(45) Date of publication: **10.03.2008 Bull. 7**

Mail address:
119333, Moskva, ul. Vavilova, 44, k.2, IPI RAN

(72) Inventor(s):
**Stepchenkov Jurij Afanas'evich (RU),
D'jachenko Jurij Georgievich (RU),
Rozhdestvenskij Jurij Vladimirovich (RU),
Rozhdestvenskene Asta Vintsento (RU)**

(73) Proprietor(s):
**Institut problem informatiki Rossijskoj
akademii nauk (IPI RAN) (RU)**

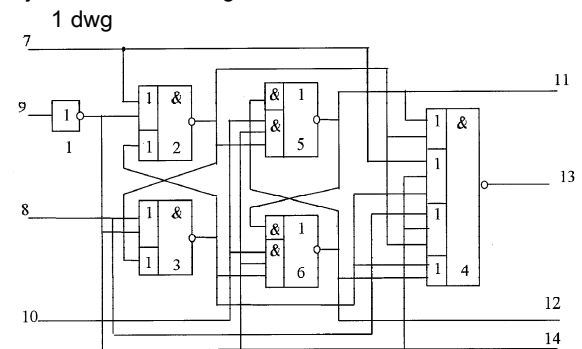
(54) **BIT OF SELF-SYNCHRONOUS SHIFT REGISTER**

(57) Abstract:

FIELD: impulse and computer engineering, possible use for building self-synchronous triggering, registering and computing devices, systems for digital processing of information.

SUBSTANCE: in accordance to the invention, into the circuit which contains two AND-OR-NOT elements, direct and inverse information inputs and direct and inverse information outputs, two control inputs are introduced, an indicator output, shift permission output, inverter, three OR-AND-NOT elements and new structural connections.

EFFECT: simplified realization of bit of self-synchronous shift register.



RU 2 3 1 9 2 3 2 C 1

RU 2 3 1 9 2 3 2 C 1

Разряд самосинхронного регистра сдвига относится к импульсной и вычислительной технике и может использоваться при построении самосинхронных триггерных, регистровых и вычислительных устройств, систем цифровой обработки информации.

Известен разряд регистра сдвига [1], содержащий синхронный D-триггер с установкой нуля.

Недостаток известного устройства - отсутствие средств индикации окончания переходных процессов, что не позволяет использовать его в составе самосинхронного регистра сдвига.

Наиболее близким к предлагаемому решению по технической сущности и принятым в качестве прототипа является разряд асинхронного буферного регистра [2], содержащий четыре элемента И-ИЛИ-НЕ.

Недостаток прототипа - большая сложность реализации.

Задача, решаемая в изобретении, заключается в упрощении разряда самосинхронного регистра сдвига.

Это достигается тем, что в разряде регистра сдвига, содержащем два элемента И-ИЛИ-НЕ, прямой и инверсный информационные входы и прямой и инверсный информационные выходы, причем выход первого элемента И-ИЛИ-НЕ подключен к прямому информационному выходу и входу первой группы входов И второго элемента И-ИЛИ-НЕ, а выход второго элемента И-ИЛИ-НЕ подключен к инверсному информационному выходу и входу первой группы входов И первого элемента И-ИЛИ-НЕ, введены два управляющих входа, индикаторный выход, выход разрешения сдвига, инвертор и три элемента ИЛИ-И-НЕ, причем первый управляющий вход подключен ко входу инвертора, второй управляющий вход подключен к первым входам вторых групп входов И первого и второго элементов И-ИЛИ-НЕ, прямой информационный вход подключен к первому входу первой группы входов ИЛИ первого элемента ИЛИ-И-НЕ и первому входу второй группы входов ИЛИ третьего элемента ИЛИ-И-НЕ, инверсный информационный вход подключен к первому входу первой группы входов ИЛИ второго элемента ИЛИ-И-НЕ и первому входу третьей группы входов ИЛИ третьего элемента ИЛИ-И-НЕ, выход инвертора соединен со вторыми входами первых групп входов ИЛИ первого и второго элементов ИЛИ-И-НЕ, вторыми входами вторых групп входов И первого и второго элементов И-ИЛИ-НЕ, вторыми входами второй и третьей групп входов ИЛИ третьего элемента ИЛИ-И-НЕ и выходом разрешения сдвига, выход первого элемента ИЛИ-И-НЕ подключен ко входу второй группы входов ИЛИ второго элемента ИЛИ-И-НЕ, третьему входу второй группы входов И первого элемента И-ИЛИ-НЕ, второму входу первой группы входов ИЛИ и третьему входу третьей группы входов ИЛИ третьего элемента ИЛИ-И-НЕ, выход второго элемента ИЛИ-И-НЕ подключен ко входу второй группы входов ИЛИ первого элемента ИЛИ-И-НЕ, третьему входу второй группы входов И второго элемента И-ИЛИ-НЕ, первому входу четвертой группы входов ИЛИ и третьему входу второй группы входов ИЛИ третьего элемента ИЛИ-И-НЕ, выход первого элемента И-ИЛИ-НЕ подключен к первому входу первой группы входов ИЛИ третьего элемента ИЛИ-И-НЕ, выход второго элемента И-ИЛИ-НЕ подключен ко второму входу четвертой группы входов ИЛИ третьего элемента ИЛИ-И-НЕ, выход третьего элемента ИЛИ-И-НЕ подключен к индикаторному выходу.

Предлагаемое устройство удовлетворяет критерию "существенные отличия".

Использование элементов И-ИЛИ-НЕ, ИЛИ-И-НЕ и инвертора для реализации разряда регистра сдвига известно. Однако использование их в данном случае позволило достичь эффекта, выраженного целью изобретения.

Поскольку введенные конструктивные связи в аналогичных технических решениях не известны, устройство может считаться имеющим существенные отличия.

На чертеже изображена схема разряда самосинхронного регистра сдвига.

Схема разряда самосинхронного регистра сдвига содержит инвертор 1, три элемента ИЛИ-И-НЕ 2-4, два элемента И-ИЛИ-НЕ 5-6, прямой 7 и инверсный 8 информационные входы, первый 9 и второй 10 управляющие входы, прямой информационный выход 11, инверсный информационный выход 12, индикаторный выход 13, выход разрешения сдвига

14, управляющий вход 9 подключен ко входу инвертора 1, управляющий вход 10 подключен к первым входам вторых групп входов И элементов И-ИЛИ-НЕ 5 и 6, прямой информационный вход 7 подключен к первому входу первой группы входов ИЛИ элемента ИЛИ-И-НЕ 2 и первому входу второй группы входов ИЛИ элемента ИЛИ-И-НЕ 4, инверсный информационный вход 8 подключен к первому входу первой группы входов ИЛИ элемента ИЛИ-И-НЕ 3 и первому входу третьей группы входов ИЛИ элемента ИЛИ-И-НЕ 4, выход инвертора 1 соединен со вторыми входами первых групп входов ИЛИ элементов ИЛИ-И-НЕ 2 и 3, вторыми входами второй и третьей групп входов ИЛИ элемента ИЛИ-И-НЕ 4 и выходом разрешения сдвига 14, выход элемента ИЛИ-И-НЕ 2 подключен ко входу второй группы входов ИЛИ элемента ИЛИ-И-НЕ 3, третьему входу второй группы входов И элемента И-ИЛИ-НЕ 5, второму входу первой группы входов ИЛИ и третьему входу третьей группы входов ИЛИ элемента ИЛИ-И-НЕ 4, выход элемента ИЛИ-И-НЕ 3 подключен ко входу второй группы входов ИЛИ элемента ИЛИ-И-НЕ 2, третьему входу второй группы входов И элемента И-ИЛИ-НЕ 6, первому входу четвертой группы входов ИЛИ и третьему входу второй группы входов ИЛИ элемента ИЛИ-И-НЕ 4, выход элемента И-ИЛИ-НЕ 5 подключен к первому входу первой группы входов ИЛИ элемента ИЛИ-И-НЕ 4, входу первой группы входов И элемента И-ИЛИ-НЕ 6 и прямому информационному выходу 11, выход элемента И-ИЛИ-НЕ 6 подключен ко второму входу четвертой группы входов ИЛИ элемента ИЛИ-И-НЕ 4, входу первой группы входов И элемента И-ИЛИ-НЕ 5 и инверсному информационному выходу 12, выход элемента ИЛИ-И-НЕ 4 подключен к индикаторному выходу 13.

Схема работает следующим образом. При высоком уровне сигнала на первом управляющем входе 9 выход инвертора 1 формирует низкий логический уровень, разрешающий запись нового состояния в первую бистабильную ячейку, образованную элементами 2 и 3, и блокирующий запись во вторую бистабильную ячейку, образованную элементами 5 и 6. В результате состояние информационных входов 7 и 8 записывается в первую бистабильную ячейку, а индикаторный элемент 4, анализируя состояние на выходе первой бистабильной ячейки и на входах 7 и 8 (вторая и третья группы входов ИЛИ элемента 4), формирует на своем выходе высокий уровень по окончании переключения первой бистабильной ячейки. При этом значение второго управляющего сигнала 10 роли не играет. При появлении на первом управляющем входе 9 низкого уровня, а на втором управляющем входе высокого уровня блокируется запись в первую бистабильную ячейку и разрешается перезапись ее состояния во вторую бистабильную ячейку. Первая и четвертая группы входов ИЛИ элемента 4 анализируют состояния на выходах обеих бистабильных ячеек (вторая и третья группы входов блокированы при этом высоким уровнем сигнала на выходе инвертора 1), формируя на выходе элемента 4 низкий уровень только после окончания переключения второй бистабильной ячейки в новое состояние. При построении многоразрядного регистра сдвига выход разрешения сдвига 14 данного разряда регистра подключается к управляющему входу 10 предыдущего разряда, запрещая тем самым изменение состояния на выходах второй бистабильной ячейки предыдущего разряда до того, как первая бистабильная ячейка окажется заблокированной по входам. Тем самым обеспечивается правильная последовательность переключений бистабильных ячеек в составе разрядов регистра сдвига и бессбойная передача информации между соседними разрядами регистра.

Особенности данной схемы по сравнению с прототипом следующие.

Предлагаемый разряд самосинхронного регистра сдвига реализован на шести логических элементах, общее число входов которых равно 25, в то время как схема прототипа содержит 4 элемента, общее число входов которых равно 36. Следовательно, предлагаемый разряд регистра сдвига имеет меньшую сложность. Кроме того, предлагаемое решение имеет управляющие входы, позволяющие ускорить переключение всего регистра за счет практически одновременного, а не последовательного, переключения разрядов в многоразрядном регистре сдвига.

Второй управляющий вход 10 обеспечивает самосинхронность разряда регистра. В

регистре сдвига этот вход подключается к выходу разрешения сдвига последующего разряда, а в последнем разряде кольцевого регистра сдвига - к выходу разрешения сдвига первого разряда.

5 Таким образом, предлагаемое устройство характеризуется меньшей сложностью реализации и меньшей задержкой переключения. Цель изобретения достигнута.

Источники информации

1. Шило В.Л. Популярныe цифровые микросхемы: Справочник. 2-е изд., испр. - Челябинск: Металлургия, Челябинское отд., 1989. - рис.1.84.

10 2. А.с. №1372361 СССР, МКИ G11C 19/00. Асинхронный последовательный регистр / В.И.Варшавский, В.Б.Мараховский, Б.С.Цирлин // - 1988. БИ №5.

Формула изобретения

Разряд самосинхронного регистра сдвига, содержащий два элемента И-ИЛИ-НЕ, прямой и инверсный информационные входы и прямой и инверсный информационные выходы, 15 причем выход первого элемента И-ИЛИ-НЕ подключен к прямому информационному выходу и входу первой группы входов И второго элемента И-ИЛИ-НЕ, а выход второго элемента И-ИЛИ-НЕ подключен к инверсному информационному выходу и входу первой группы входов И первого элемента И-ИЛИ-НЕ, отличающийся тем, что в схему введены два 20 управляющих входа, индикаторный выход, выход разрешения сдвига, инвертор и три элемента ИЛИ-И-НЕ, причем первый управляющий вход подключен ко входу инвертора, второй управляющий вход подключен к первым входам вторых групп входов И первого и второго элементов И-ИЛИ-НЕ, прямой информационный вход подключен к первому входу первой группы входов ИЛИ первого элемента ИЛИ-И-НЕ и первому входу второй группы входов ИЛИ третьего элемента ИЛИ-И-НЕ, инверсный информационный вход подключен к 25 первому входу первой группы входов ИЛИ второго элемента ИЛИ-И-НЕ и первому входу третьей группы входов ИЛИ третьего элемента ИЛИ-И-НЕ, выход инвертора соединен со вторыми входами первых групп входов ИЛИ первого и второго элементов ИЛИ-И-НЕ, вторыми входами вторых групп входов И первого и второго элементов И-ИЛИ-НЕ, вторыми входами второй и третьей групп входов ИЛИ третьего элемента ИЛИ-И-НЕ и выходом 30 разрешения сдвига, выход первого элемента ИЛИ-И-НЕ подключен ко входу второй группы входов ИЛИ второго элемента ИЛИ-И-НЕ, третьему входу второй группы входов И первого элемента И-ИЛИ-НЕ, второму входу первой группы входов ИЛИ и третьему входу третьей группы входов ИЛИ третьего элемента ИЛИ-И-НЕ, выход второго элемента ИЛИ-И-НЕ подключен ко входу второй группы входов ИЛИ первого элемента ИЛИ-И-НЕ, третьему входу 35 входу второй группы входов И второго элемента И-ИЛИ-НЕ, первому входу четвертой группы входов ИЛИ и третьему входу второй группы входов ИЛИ третьего элемента ИЛИ-И-НЕ, выход первого элемента И-ИЛИ-НЕ подключен к первому входу первой группы входов ИЛИ третьего элемента ИЛИ-И-НЕ, выход второго элемента И-ИЛИ-НЕ подключен ко второму входу четвертой группы входов ИЛИ третьего элемента ИЛИ-И-НЕ, выход третьего 40 элемента ИЛИ-И-НЕ подключен к индикаторному выходу.

45

50