

САМОСИНХРОННАЯ СХЕМОТЕХНИКА – ПЕРСПЕКТИВНЫЙ ПУТЬ РЕАЛИЗАЦИИ АППАРАТУРЫ

И.А.Соколов, Ю.А.Степченков, В.С.Петрухин, Ю.Г.Дьяченко, В.Н.Захаров

Аннотация

Методология проектирования самосинхронной (СС) цифровой аппаратуры была областью активных теоретических исследований с середины 1950-ых годов, и в последнее время ее элементы все чаще используются в коммерческих изделиях. В настоящей статье приводятся результаты разработки и сравнительных испытаний тестовых образцов двух вариантов реализации ядра микроконтроллера: традиционного (синхронного) и строго самосинхронного (ССС). Результаты испытаний показывают, что принадлежность аппаратуры к классу СССР-схем позволяет наиболее полно реализовать возможности СС-схемотехники: максимальный диапазон работоспособности, высокое быстродействие и относительно низкую мощность потребления.

1. Синхронные и самосинхронные цифровые системы

Синхронизация – одна из важнейших задач в цифровых системах, решающая проблему координации событий (сигналов, операций или процессов) в аппаратуре и связанная, в основном, с обеспечением интерфейса между *физическим* (естественным) и *логическим* (искусственным) временем [1]. Координация событий отражает причинно-следственные связи между ними и обычно определяется последовательностью множества событий, происходящих в системе. Это близко к понятию *логического* времени, течение которого отмечается событиями. При этом любая система функционирует в непрерывном *физическом* времени.

В середине 1950-ых годов активно исследовались две альтернативные методологии синхронизации элементов в аппаратуре: *синхронная (С)* и *самосинхронная (СС)*. В С-методологии интерфейс между физическим и логическим (системным) временем определяется системными часами, которые удаляют физическое время из поведения модели. События во внешних часах отделены от модели системного поведения и не имеют завершеного причинно-следственного отношения к событиям в системе. Все события в синхронной системе могут происходить (иницироваться) только на импульсах сигнала времени внешних часов; иначе говоря, они синхронизируются метками физического времени. Действительная длительность инициированных событий никак не отслеживается. Чтобы синхронизируемая аппаратура работала корректно, период

синхроимпульсов выбирается из расчета на *худший случай* – максимально возможное время переключения отдельных элементов при неблагоприятных сочетаниях условий функционирования (напряжения питания, температуры, параметров и характера распределения нагрузки и т.п.). Таким образом, цена корректной работы синхронной аппаратуры – недоиспользование ее возможностей по быстрдействию (до 50-70 % по сравнению с номинально возможным быстродействием).

Механизмы, обеспечивающие системное время в СС-подходе, включены в модель системного поведения и должны быть разработаны вместе с созданием начальной поведенческой спецификации. Корректные СС-системы базируются на механизме фиксации действительного окончания переходных процессов, т.е. на определении момента завершения вычислений. При этом обеспечивается правильное функционирование таких схем независимо от задержек составляющих их элементов.

Основные преимущества СС-схем:

- устойчивая работа без сбоев при любых возможных условиях эксплуатации;
- безопасная работа: прекращение всех переключений в момент появления неисправностей элементов (константных).

Практические следствия этих основных преимуществ СС-схем:

- а) естественная устойчивость к параметрическим отказам, вызываемым старением элементов и изменением их параметров;
- б) естественная стопроцентная самопроверяемость и самодиагностируемость по отношению к множественным константным неисправностям;
- в) безопасность функционирования на основе бестестовой локализации неисправностей, т.е. прекращение работы в момент отказа элемента, исключающее выдачу недостоверной информации, с одновременной индикацией места события;
- г) высокая эффективность создания надёжных изделий;
- д) максимально возможная область эксплуатации (диапазон работоспособности), определяемая только физическим сохранением переключательных свойств элементов базиса реализации.

Однако при всех потенциальных преимуществах СС-схем до сих пор преобладают синхронные системы. Дело в том, что самосинхронные схемы также имеют некоторые недостатки. Изначальная ориентация СС-подхода на динамическую (поведенческую) модель схемы предопределила большую трудоемкость проектирования по сравнению со статической моделью аналогичной синхронной схемы. Это утверждение было справедливым в середине 50-ых годов, что и определило выбор в пользу С-методологии.

Однако за это время ситуация кардинально изменилась. В частности, переход к

субмикронной технологии и необходимость ориентации перспективных САПР СБИС на поведенческий стиль проектирования приводит к выравниванию сложности проектирования СС-СБИС и всех прочих СБИС и необходимости использования моделей и результатов, полученных для СС-схем в САПР СБИС общего назначения. Основным аргументом, предопределившим в середине 50-х годов ориентацию на синхронный стиль проектирования, перестал быть справедливым.

Естественно, эволюционный путь развития синхронной схемотехники еще не исчерпан. Инженерная смекалка и современные технологические возможности позволят еще определенное время решать текущие схемотехнические проблемы в рамках синхронной методологии. Однако можно утверждать, что потенциал синхронного стиля проектирования исчерпывается, и современные проблемы разработки СБИС-систем могут быть решены более эффективно при переходе на СС-проектирование.

Анализ зарубежных источников позволяет сделать вывод, что всеми ведущими западными университетами и многими крупными фирмами сделана "ставка на самосинхронность". За последние 1,5-2 года отмечается лавинообразный рост числа публикаций по этой тематике. Вопросы проектирования ССС-схем обсуждаются на таких известных конференциях, как ICCD, DAC, EDAC, FTSC, ICCAD, AR_VLSI, ISAS и т.п. Перечень работ, в которых освещаются научные проблемы и практические результаты разработок в области СС-схем, достигает нескольких десятков тысяч [2].

В печати приводятся результаты разработки функционально-законченных изделий от уровня DSP-процессоров (A Low-Noise Self-Timed DSP; A Full-Custom Self-Timed DSP Processor Implementation; A high-speed self-timed FIR processor implementation) до уровня микропроцессоров общего назначения (AMULET3: A high-performance self-timed ARM microprocessor) и самосинхронной машины потока данных DDM2 (MIT). В качестве примера можно привести проект семейства микропроцессоров ASPRO (Asynchronous Processors) [3].

Однако, несмотря на многочисленные потенциальные преимущества СС-схем, коммерчески выпускаемых СС-ИС немного. Анализ материалов зарубежной печати позволяет сделать вывод, что основная масса схемотехнических решений относится не к классу СС, а к классу квазисамосинхронных схем. Такого рода схемы представляют собой комбинации СС-элементов, в которых реализован контроль действительного окончания событий (переходных процессов), и асинхронных элементов. В последних, вместо контроля окончания событий, действует гипотеза ограниченного времени протекания событий, реализуемая встроенными элементами задержки. Это позволяет уменьшить число транзисторов на реализацию схем, использовать стандартные средства САПР СБИС, но целый ряд важных потенциальных преимуществ СС-схем оказывается потерянным.

В результате создается своеобразный замкнутый круг. Отсутствие отработанной технологии проектирования, библиотек СС-элементов, отработанных схемотехнических решений и специализированных средств САПР СС-СБИС требует принятия компромиссных схемотехнических (квазисамосинхронных) решений при реализации опытных образцов. В итоге не удается реализовать потенциальные качества СС-образцов и подтвердить существенное преимущество СС-реализаций по сравнению с традиционными С-реализациями. Отсутствие ощутимых результатов не стимулирует выделение необходимых интеллектуальных и финансовых ресурсов для решения актуальных проблем СС-схемотехники и становления перспективного направления.

В СССР активным пропагандистом СС-подхода был коллектив специалистов под руководством д.т.н. В.И.Варшавского. В работах [4-6] убедительно доказана возможность и целесообразность внедрения принципа самосинхронизации в схемотехническую практику. Поддержку этим работам оказывала и АН СССР (ИПИАН, теперь – ИПИ РАН).

Насколько нам известно, в настоящее время исследования по СС-проблематике в России ведутся только в ИПИ РАН. На базе обширных теоретических и практических результатов группы Варшавского В.И. для поддержки проектирования СС-схем в ИПИ РАН разрабатываются соответствующие САПР, без которых разработка ССС-схем не может быть осуществлена. Достигнутый уровень разработки теории СС-схем и средств автоматизации их проектирования выдвигает в число первоочередных задач практическое подтверждение декларируемых свойств СС-схемотехники. При этом апробация СС-подхода должна учитывать возможности отечественной электронной промышленности и производиться на уровне представительного функционально законченного устройства.

В настоящей работе представлены результаты испытаний С- и ССС-вариантов исполнения тестового кристалла "Микроядро", который реализует функции вычислительного ядра восьмиразрядного микроконтроллера PIC18CXX, широко используемого в отечественных разработках.

2. Строго самосинхронные схемы

Для схем, методология проектирования которых разрабатывается в ИПИ РАН, мы используем термин “строго самосинхронные схемы” (ССС-схемы, strictly self-timed circuits). Они характеризуются следующими особенностями:

– на концептуальном уровне они базируются на теории Маллера (Muller D.) [7]; правильная работа таких схем не зависит от *задержек составляющих элементов* (задержка любого элемента схемы, например, элемента НЕ, может быть любой, но конечной величиной);

– на схемотехническом уровне использование дополнительных логических и топологических приемов позволяет обеспечить правильную работу ССС-схем независимо от *задержек соединительных проводов* (задержек проводов после разветвления, если такие задержки критичны);

– на уровне взаимодействия с внешней средой и другими ССС-схемами используется асинхронный (запрос-ответный) принцип с фиксацией действительного окончания любого инициированного переходного процесса; функционирование самих ССС-схем обеспечивается без использования каких-либо синхросигналов, генераторы могут быть использованы только для сугубо второстепенных целей, например, для подсчета астрономического времени.

Только принадлежность к классу ССС-схем позволяет получить на практике все их потенциальные преимущества [8].

3. Обоснование базиса реализации тестовой схемы

Наиболее предпочтительной представляется разработка тестовой схемы на базе программируемых изделий, отвечающих, в том числе, требованию создания специфичной аппаратуры с оригинальной схемотехникой. Современные программируемые средства позволяют создавать целую "систему на кристалле". В настоящее время говорить о собственных российских разработках программируемых логических ИС (ПЛИС) высокой степени интеграции пока, к сожалению, не приходится. В то же время разработчикам ИС доступна целая гамма базовых матричных кристаллов (БМК), выпускаемых отечественной электронной промышленностью; сектор полужаказных микросхем на основе БМК развивается достаточно интенсивно. Именно эти изделия удовлетворяют потребности многих разработчиков радиоэлектронной аппаратуры и широко применяются в системах и комплексах специального и военного назначения.

В [9] подробно рассмотрено соответствие конструктивных, технологических и схемотехнических аспектов БМК требованиям самосинхронного исполнения аппаратуры, и сделан вывод о практической непригодности базиса ПЛИС для проектирования ССС-схем. Схемотехнические решения, применяемые в ПЛИС, соответствуют принципу *синхронного* проектирования и определяются конструктивными особенностями ПЛИС. Это, прежде всего, наличие в ПЛИС глобальных сигналов синхронизации. Напротив, конструктивные решения, реализуемые в БМК, ориентированы на *асинхронное* проектирование, что соответствует требованию СС-исполнения.

Целям проектирования тестовой БИС "Микроядро" отвечает БМК 5503БЦ7У из серии БМК 5503 (5478 условных вентилях в поле БМК, тип приемки 5). Обширная

библиотека логических (210) и периферийных (140) элементов в рамках этой серии обеспечивает эффективное проектирование синхронной аппаратуры. Однако требованиям разработки ССС-схем отвечают только 26 функционально простых элементов

Любая ССС-схема условно разбивается на две части – функциональную (ФЧ), выполняющую обработку входных данных, и индикаторную (ИЧ), фиксирующую окончание переходных процессов в отдельных частях ФЧ и ССС-схемы в целом. Основная причина отказа от большинства элементов библиотеки – нарушение требования их индицируемости: любой инициированный переходный процесс (возбуждение) в этом элементе должен быть завершен, и факт завершения должен быть зафиксирован (индицирован). Снятие возбуждения до завершения переходного процесса является признаком нарушения самосинхронности, и такая реализация схемы не может быть аттестована как самосинхронная. Одно из наиболее простых (но не оптимальных и не обязательных) требований построения сложных многокаскадных элементов для ССС-реализаций – возможность индикации каждого его выхода, т.е. каждого каскада.

Любой однокаскадный элемент со стандартным (с двумя состояниями) выходом отвечает требованию индицируемости, а однокаскадная реализация индикаторов является необходимым условием их реализации. Индикаторные элементы, по существу, это средство синхронизации процессов в ССС-схемах. Именно к их построению предъявляются наиболее жесткие требования, в данном случае – однокаскадность реализации. Теоретически и практически доказано, что корректные индикаторные элементы нельзя построить на упрощенном базисе И-НЕ и ИЛИ-НЕ; необходим базис И-ИЛИ-НЕ. На рис. 1 приведены две реализации индикатора для двух инфазных (непарных) сигналов – так называемого гистерезисного триггера (G-триггера).

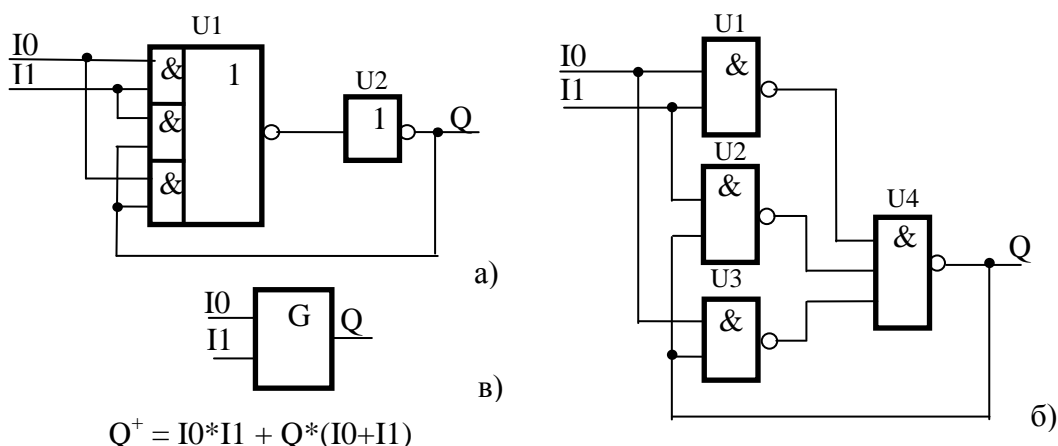


Рис. 1. Реализация индикаторных G-триггеров для инфазных сигналов:

- а) реализация, корректная (однокаскадная) в своей основной логической части;
- б) некорректная (двухкаскадная) реализация;
- в) условное графическое обозначение (УГО), наименование и формульная запись функционирования G-триггера (GI2)

Если наборы на входах I_0 и I_1 (00 и 11) фиксируются на длительное время, за которое успевают закончиться все переходные процессы, оба варианта реализации свободны от состязаний. Однако если в схеме, показанной на рис. 1а, изменение выхода является признаком окончания всех переходных процессов внутри элементов U_1 и U_2 , то в схеме на рис. 1б после изменения выхода Q переходные процессы в элементах первого каскада U_1-U_3 могут продолжаться.

G-триггер должен индицировать окончание переходных процессов не только в схемах, подключенных к его входам, но и в себе самом. При этом предполагается, что логические состязания внутри одного однокаскадного элемента невозможны, т.к. время его переключения определяется, в основном, временем перезаряда его выходной емкости (для МДП-технологии изготовления микросхем).

Рассмотрим возможную причину появления состязания в схеме на рис. 1б. Пусть исходное состояние: $I_0=I_1=0$. При этом выходы всех элементов первого яруса U_1-U_3 находятся в состоянии "1", а $Q=0$. Изменение выхода ($Q=1$) произойдет после того, как выполнится условие $I_0=I_1=1$: выход элемента U_1 переключится в состояние "0", что повлечет изменение состояния выхода элемента U_4 на "1" независимо от значения выходов элементов U_2 и U_3 . Предположим, однако, что задержки элементов U_2 и U_3 настолько велики¹, что их выходы (или выход хотя бы одного из них) остались в состоянии "1" после переключения выхода Q в состояние "1", в то время как один из входов I_0 или I_1 перешел в исходное состояние "0". В этом случае выход элемента U_1 примет значение "1", создавая предпосылки к переключению выхода Q в состояние "0". В результате выход Q может перейти из "1" в "0", не дожидаясь того, чтобы и второй вход (I_1 или I_0) также перешел в исходное состояние. Таким образом, схема не выполняет функцию индикатора окончания переходных процессов на своих входах.

Однокаскадным называется элемент, перезаряд выходной емкости которого осуществляется только через транзисторы с затворами, соединенными с его входными сигналами. К его выходу может быть подключено любое число последовательно включенных элементов НЕ, что удовлетворяет требованию индицируемости.

Реализация прочих элементов в составе ССС-схемы, не выполняющих роль индикатора, может быть и многокаскадной. Но при этом должно соблюдаться свойство индицируемости окончания переходных процессов во всех элементах, из которых они состоят.

¹ Напомним, что СС-схема (в данном случае G-триггер) должна работать корректно при любых величинах задержек элементов, ее составляющих.

Для эффективной реализации самосинхронного тестового кристалла на БМК разработан минимальный состав базовых и типовых ССС-элементов (98 элементов), и выполнено их топологическое проектирование [9]. Библиотечные элементы введены в состав САПР БМК “Ковчег 2.6”.

4. Основные задачи и функции тестового кристалла

Цель настоящей работы – подтвердить потенциальные преимущества ССС-схемотехники на примере тестового кристалла, удовлетворяющего требованиям критических областей применения. Разработка и реализация архитектуры тестового кристалла на БМК должна создать практическую базу для проектирования широкого класса ССС-схем с использованием отечественных серий БМК, а также обеспечить проверку (на опытных образцах) соответствия ССС-схемотехники требованиям аппаратуры специального и военного назначения. Этим целям отвечает реализация программной модели одного из семейств микроконтроллеров фирмы Microchip. При этом требованиям по вычислительным ресурсам отвечает семейство микроконтроллера PIC18CXX2. Для реализации его вычислительного ядра нужно порядка 6000 ячеек (без учета затрат на реализацию памяти программ, памяти данных и стека). Для отработки *отдельных* функционально-значимых элементов ССС-реализации архитектурно-совместимого ядра семейства по экономическим соображениям было решено выбрать серию БМК 5503.

Кроме основных задач, функциональное наполнение БИС “Микроядро” должно было облегчить решение следующих проблем:

- 1) состыковка стандартного контрольно-измерительного и тестового оборудования (КИТО) завода-изготовителя БИС на БМК, которое предназначено для проверки стандартных синхронных и асинхронных изделий с СС-изделием;
- 2) ограниченное число выводов БМК, удовлетворяющих требованиям 5 приемки;
- 3) ограничения со стороны КИТО и периферийных элементов БМК при проведении граничных испытаний по напряжению питания и температуре окружающей среды;
- 4) обеспечение как можно более точной локализации возможного дефекта при производстве опытных образцов с минимальной длиной тестовых последовательностей;
- 5) демонстрация работоспособности БМК-кристаллов и проведение сравнительных испытаний на площадке потенциальных пользователей.

Проблемы 1-3 были решены за счет организации подготовительных (настроечных) процедур со стороны КИТО на базе синхронного подхода, не требующего существенного увеличения числа контактов. В основном автоматическом режиме тестирования оборудование КИТО осуществляет только съем необходимой информации.

организации шины данных (MB1...MB4, Memory Bus).

ФПК обеспечивает исполнение до четырех команд, располагаемых в программной памяти (PM) в произвольном порядке, с возможностью циклического повтора. Одна и та же команда может располагаться в произвольной ячейке PM от 1 до 4 раз. Последний случай эмулирует n-кратное исполнение команды. Небольшое число команд в Микроядре, тем не менее, позволяет имитировать основные этапы вычислительного процесса: процедуру вхождения в конвейер (первая команда после сброса требует для своего выполнения семи последовательных действий – двух циклов, если следовать терминологии прототипа), исполнение команд в режиме насыщения конвейера (NOP, MUL и ROT за один цикл) и процедуру разрушения конвейера (команда JUMP).

Напомним, что в функциональном плане прототип Микроядра (синхронный PIC18CXX2) содержит простейший двухступенчатый конвейер. Все команды (за исключением команды ветвления) выполняются за один машинный цикл [10].

Возможны четыре режима состояния Микроядра, которые определяются управляющими сигналами RESET, START и STEP: режимы простоя, автономной работы, пошаговой работы и ожидания. Перед инициацией автономного или пошагового режимов необходимо определить состояние всех ячеек памяти программ. Запись в память программ осуществляется по сигналу WIR=0.

Память PM построена на регистрах-защелках и содержит дешифратор адреса ячейки памяти. В регистр JR заносится адрес перехода при выполнении команды JUMP. При приходе команды JUMP в первом цикле активных действий не происходит; во втором цикле содержимое регистра JR переписывается в PC; в следующем цикле по значению PC команда считывается из PM.

Вычислитель Микроядра (рис. 3) – упрощенная структура соответствующей части контроллера PIC18CXX, которая содержит, вместе с тем, ряд дополнительных элементов, облегчающих тестирование Микроядра и обеспечивающих выдачу пользователям ряда параметров при проведении сравнительных испытаний двух вариантов реализации.

В состав вычислителя входят:

- два последовательных счетчика команд (IDC, IDCH:IDCL – IDCHigh:IDCLow);
- устройство сдвига (SU – Shift Unit);
- аппаратный умножитель (MU – Multiplying Unit);
- регистр устройства сдвига (SUR – Shifter Unit Register);
- регистр произведения (Product), состоящий из двух частей (PRODH:PRODL).

Память данных прототипа (DM, Data Memory) имитируется двумя последовательными двоичными четырехразрядными счетчиками IDC с параллельной

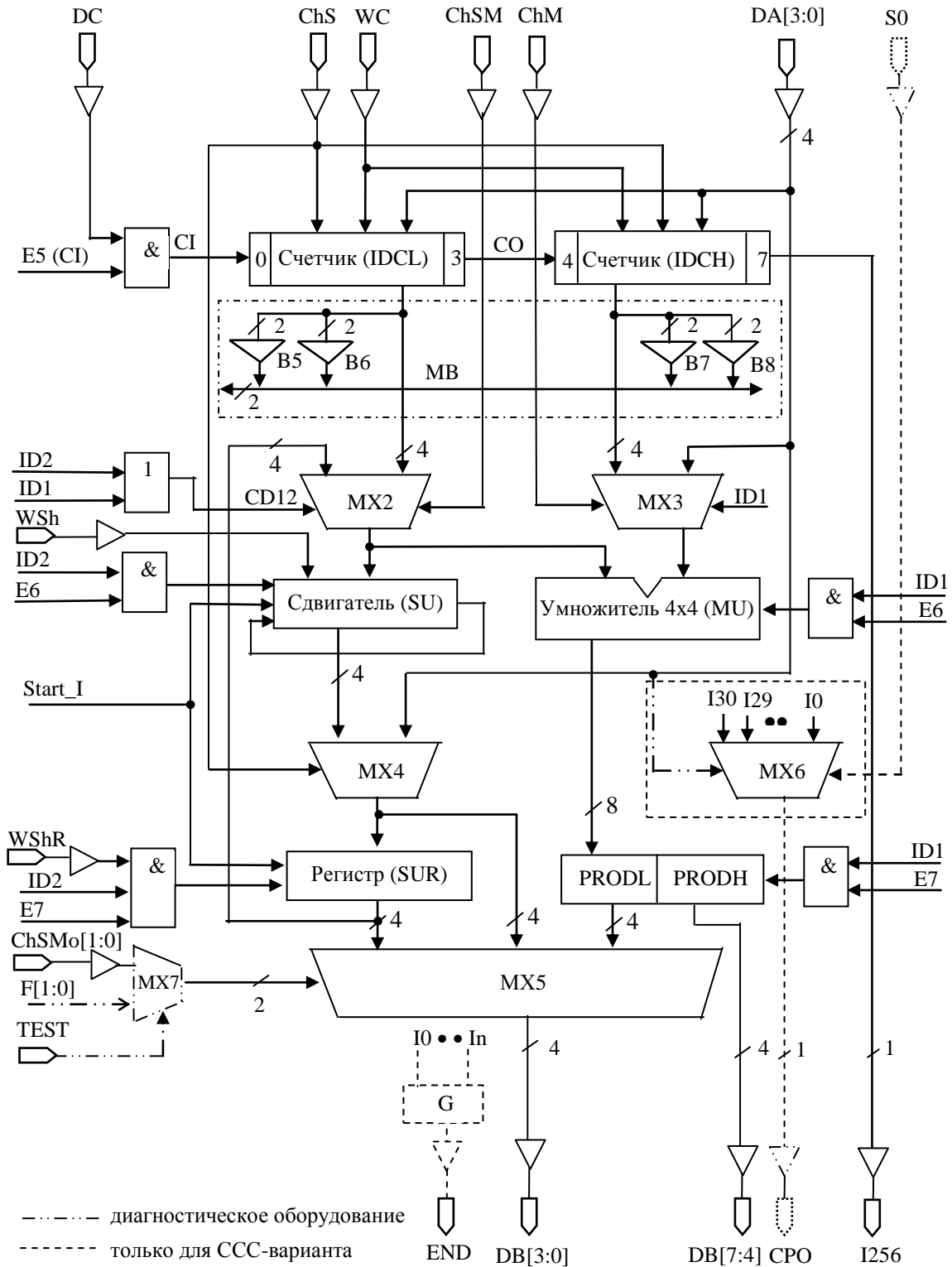


Рис. 3. Вычислитель Микродра

записью информации (канал считывания данных) и регистром сдвигателя SUR (канал записи данных). Регистр умножителя PROD имитирует *регистровую память* (выход умножителя MU соединен непосредственно со входом регистра PROD).

Счетчик IDC выполняет две основные функции:

- вырабатывает сигнал I256 (Instruction 256), формируемый один раз за 256

выполненных команд.

– является средством автоматизированного тестирования сдвигателя (SU) и умножителя (MU) на всем диапазоне обрабатываемых операндов;

Третья функция, которая может быть возложена на счетчик – функция таймера, в том числе и для подсчета интервала времени тайм-аута (перехода на саморемонт).

5. Результаты моделирования вариантов реализации

Сравнительные результаты моделирования С- и ССС-вариантов исполнения основной части "Микроядра" в САПР КОВЧЕГ 2.6:

- реальная производительность: ССС-вариант в 2,4-6,1 раз лучше, в зависимости от используемой команды – см. строки 1-4 и столбцы 3 и 5 таблицы 1;
- реальная производительность набора команд: ССС-вариант в 3,25 раз лучше (*индекс Р*) – см. строку 5 и столбцы 3 и 5 таблицы 1;
- минимальная производительность: ССС-вариант в 2,1 раз лучше – см. строку 2 и столбцы 3 и 4 таблицы 1;
- максимальная производительность: ССС-вариант в 7,3 раз лучше – см. строку 2 и столбцы 3 и 4 таблицы 1;
- область устойчивой работы в зависимости от напряжения питания и температуры окружающей среды: ССС-вариант не менее чем в 8 раз лучше (*индекс А*) – соотношение между типовым и максимально возможным диапазоном условий эксплуатации;
- аппаратные затраты: С-вариант лучше в 1,48 раз (*индекс Н*) – Микроядро без отказоустойчивого последовательного-параллельного преобразователя (ППП) кода;
- аппаратные затраты (см. таблицу 2): С-вариант лучше в 1,27 раз (*индекс Н*) – Микроядро с учетом отказоустойчивого ППП-кода.

Таким образом, ценой повышения производительности и расширения зоны работоспособности ССС-варианта Микроядра является увеличение его аппаратных затрат.

Общая эффективность (Е) ССС-Микроядра:

$$E = (P * A) / H = 3,25 * 8 / 1,48 = 17,57 \quad \text{– без учета ППП-порта;}$$

$$E = (P * A) / H = 3,25 * 8 / 1,27 = 20,47 \quad \text{– с учетом ППП-порта}$$

6. Результаты испытаний опытных образцов Микроядра

Рассмотренные выше схемы Микроядра были разработаны в С- и ССС-вариантах исполнения и изготовлены, соответственно, на БМК 5503ХМ5 и БМК 5503ХМ7 по 1,6 мкм КМДП-технологии (НПК "Технологический центр" МИЭТ, г. Зеленоград).

Таблица 1. Модельные времена исполнения команд

№ п/п	Тип операции	С-вариант	ССС-вариант		
		+4,5 В, +120 ⁰ С	+4,5 В, 120 ⁰ С	+5 В, +27 ⁰ С	+5,5 В, -60 ⁰ С
1	Циклическая MUL	240 ^{*)}	115 ^{*)}	100 ^{**)}	82
2	Циклическая ROT	240	116	98	83
3	Циклическая NOP	240	111	93	75
4	Циклическая JUMP	480	90	78	66
5	Циклическая (NOP+MUL+ROT+JUMP)/4	1200/ 300	432/ 108	369/ 93	364/ 77

*) Время выполнения одной операции при условии максимальных задержек переключения элементов, максимального сопротивления поликремния, критической комбинации обрабатываемых операндов. Для С-Микроядра - реальная производительность: необходимая ориентация на худший случай.

**) Время выполнения одной операции в случае номинальных задержек переключения элементов, номинального сопротивления поликремния и статистически наиболее вероятной комбинации обрабатываемых параметров. Для СССР-варианта это статистически наиболее вероятные условия работы – база для сравнения с С-вариантом (реальная производительность СССР-Микроядра).

Таблица 2. Аппаратные затраты (число БМК-ячеек)

№ п/п	Функциональный блок	С-вариант	ССС-вариант
1	Вычислитель, в том числе:	317	817
	- умножитель	177	444
	- сдвигатель	52	214
	- счетчики	88	159
2	Формирователь потока команд	230	192
3	Схема управления	423	380
4	Мультиплексор сигналов индикации	-	92 ^{*)}
Итого: собственно Микроядро		970 (100 %)	1389+92 (143 %)
5	Отказоустойчивый ППП-порт	611 (100 %)	521 (85 %)
Итого:		1581 (100 %)	1910+92 (121 %)

*) Необязательная часть (отсутствует в С-Микроядре). Введена в СССР-Микроядро для локализации неисправности низкого уровня при тестировании микросхем.

Изготовленные образцы при испытаниях помещались в термокамеру ТАВАІ Мини САБЗЕРО МС-81. Эксперименты проводились с помощью следующих приборов:

- 1) осциллограф Hewlett Packard 54601A (США), 100 МГц, 4-канальный;
- 2) генератор импульсов Г5-67, 30 МГц;
- 3) источник питания постоянного тока Б5-44;
- 4) миллиамперметр.

На отдельных этапах использовались программно-аппаратный комплекс САТОК (система автоматизированного тестирования опытных кристаллов, ИПИ РАН) и аппаратный пульт САТОК-М (ИПИ РАН).

Для оценки зоны работоспособности микросхем использовалась смесь всех операций (NOP+MUL+ROT+JUMP), затрагивающая максимальный объем устройств в микросхеме – наихудший случай для проверки работоспособности. При умножении: 1-й операнд – шина данных, 2-й – младшая тетрада счетчика IDCL. При сдвиге: сдвигаемый операнд – младшая тетрада счетчика, содержимое выходного регистра сдвигателя обновляется результатом сдвига. Безусловный переход осуществляется на первую операцию (NOP).

В соответствии с условием аттестации С-Микроядра на САПР БМК “Ковчег” максимально возможная тактовая частота, гарантирующая его работоспособность в заданном диапазоне температур (от -63 до $+125^0$ C) и питающих напряжений ($5\text{ В} \pm 10\%$), составила 16 МГц, что с учетом особенностей реализации процесса вычислений и обработки данных соответствует его рабочей частоте 4 МГц. ССС-Микроядро работало в режиме самогенерации – новая операция в нем запускалась только после завершения выполнения предыдущей операции.

На рис. 4 приведены экспериментальные данные оценки работоспособности четырех экземпляров БМК-микросхем каждого типа при фиксированной комнатной температуре ($+20^0$ C) и в диапазоне питающего напряжения от $+12$ до 0 В.

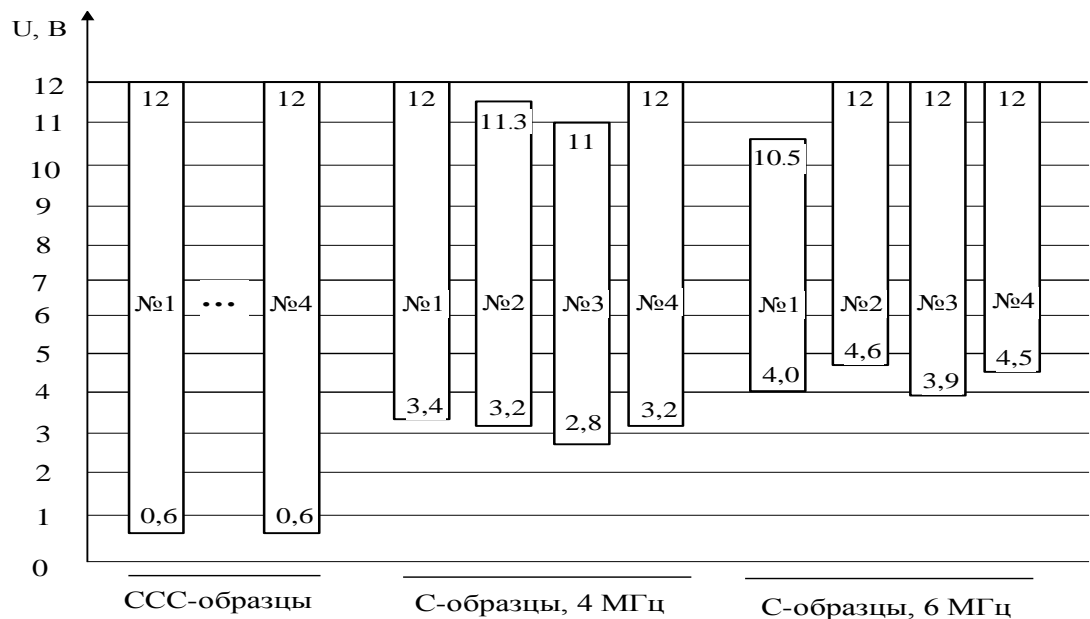


Рис. 4. Экспериментальные данные работоспособности отдельных образцов при температуре $+20^0$ C

Все четыре ССС-образца показали абсолютно идентичную зону правильной работоспособности шириной 11,4 В ($12 - 0,6$ В). В области низких питающих напряжений ССС-образцы вели себя в полном соответствии с теорией: при наступлении некоторого порогового напряжения (в данном случае 0,6 В) они прекращали работу – самогенерация

прекращалась. Сохранение работоспособности ССС-образцов при таком низком напряжении питания – безусловно, интересный результат, поскольку минимальное пороговое напряжение КМДП транзисторов для данного типа БМК составляет 0,8 В.

При повышении питающего напряжения самогенерация (правильное выполнение заданного набора операций) возобновлялась и сохранялась до 12 В. На этом этапе испытаний авторы не ставили перед собой цели нахождения верхней границы питающего напряжения, при которой возможен выход из строя ССС-образцов. В работе [11] приведены результаты граничных испытаний пяти образцов более простых тестовых ССС-структур на данном типе БМК. Все они показали устойчивую работоспособность при повышении напряжения питания до 14 В, которую они сохраняли и при последующем снижении напряжения питания.

Результаты испытаний С-образцов показали более пеструю картину: ширина зоны работоспособности изменялась от 8,0 В (в диапазоне от 11,0 до 2,8 В, образец № 3) до 8,8 В (в диапазоне от 12,0 до 3,2 В, образец № 1). Таким образом, в области низких питающих напряжений запас работоспособности при комнатной температуре есть у всех четырех испытанных С-образцов; хотя у С-образца № 1 он составил только 1,1 В, разница между гарантированной нижней границей в 4,5 В и реальной, испытанной – в 3,4 В.

Как будет показано ниже, реальное среднее быстродействие ССС-образцов на рассматриваемой смеси операций почти в два раза выше заданного быстродействия С-образцов. Попытка увеличения входной тактовой частоты С-образцов в 1,5 раза (до 24 МГц или до 6 МГц их рабочей частоты) как и ожидалось, негативно сказывается на зоне их работоспособности. Из рис. 4 видно, что при этом нижняя граница работоспособности питающих напряжений у образцов № 2 и № 4 превышает гарантированный минимум 4,65 В и 4,51 В, соответственно. Таким образом, следует признать, что 50-процентное повышение быстродействия С-образцов невозможно по причине резкого снижения выхода годных БМК-микросхем.

На рис. 5 приведены результаты экспериментов по проверке работоспособности всех рассмотренных выше ССС-образцов и одного С-образца (№ 2) в рассмотренном выше диапазоне питающих напряжений и при изменении температуры окружающей среды в диапазоне от -63 до $+125^{\circ}\text{C}$.

Зона работоспособности у всех четырех испытанных ССС-образцов осталась абсолютно идентичной, что является косвенным подтверждением наличия у них свойства строгой самосинхронности – независимости поведения от задержек элементов. При этом зона их работоспособности в области высоких температур расширилась – предельное напряжение, при котором прекращалась работа ССС-образцов, снизилось с 0,6 до 0,4 В.

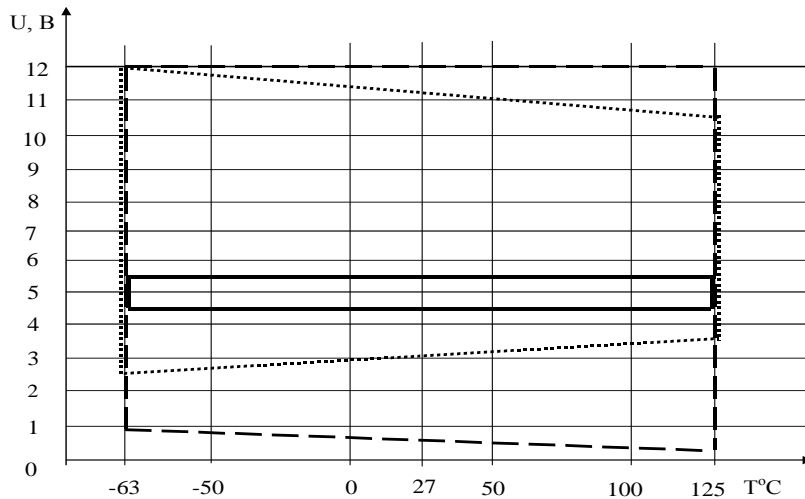


Рис. 5. Области правильной работоспособности синхронных и самосинхронных вариантов Микроядра:

- - - · все испытанные образцы ССМ;
- гарантированная зона работоспособности всех СМ
- образец № 2 СМ;

Дальнейшие исследования показали, что исключение из цепи питания микросхем миллиамперметра и использование низкоомного провода минимальной длины от источника питающего напряжения до микросхемы позволяет расширить зону работоспособности до беспрецедентно низкого уровня – 0,2 В. Этот интересный феномен требует дополнительного исследования и подтверждения на более представительной выборке микросхем.

Зона работоспособности по напряжению С-образца № 2 в области высоких температур, напротив, уменьшается: с 8,1 В (в диапазоне от 11,3 до 3,2 В при 27⁰С) до 6,4 В (в диапазоне от 10,5 до 3,6 В при +125⁰С).

На рис. 6 представлена зависимость быстродействия образцов Микроядра от температуры и напряжения питания. Видно, что быстродействие С-реализаций Микроядра есть величина постоянная для всех возможных условий эксплуатации в пределах области работоспособности и составляет 4 МГц. Быстродействие же ССС-микроядра широко изменяется в зависимости от внешних и внутренних факторов. Например, в зоне работоспособности, гарантированной изготовителем БМК, его быстродействие изменяется от 10,9 МГц (5,5 В, -63⁰С) до 5,2 МГц (4,5 В, +125⁰С) и в среднем выше быстродействия С-Микроядра почти в два раза.

На рис. 7 приведен график зависимости тока потребления (I_{cc}) С- и ССС-вариантов реализации Микроядра от величины питающего напряжения при номинальной температуре. При одном и том же питающем напряжении ССМ потребляет несколько больше, чем СМ. Однако при этом быстродействие ССС-реализаций существенно выше.

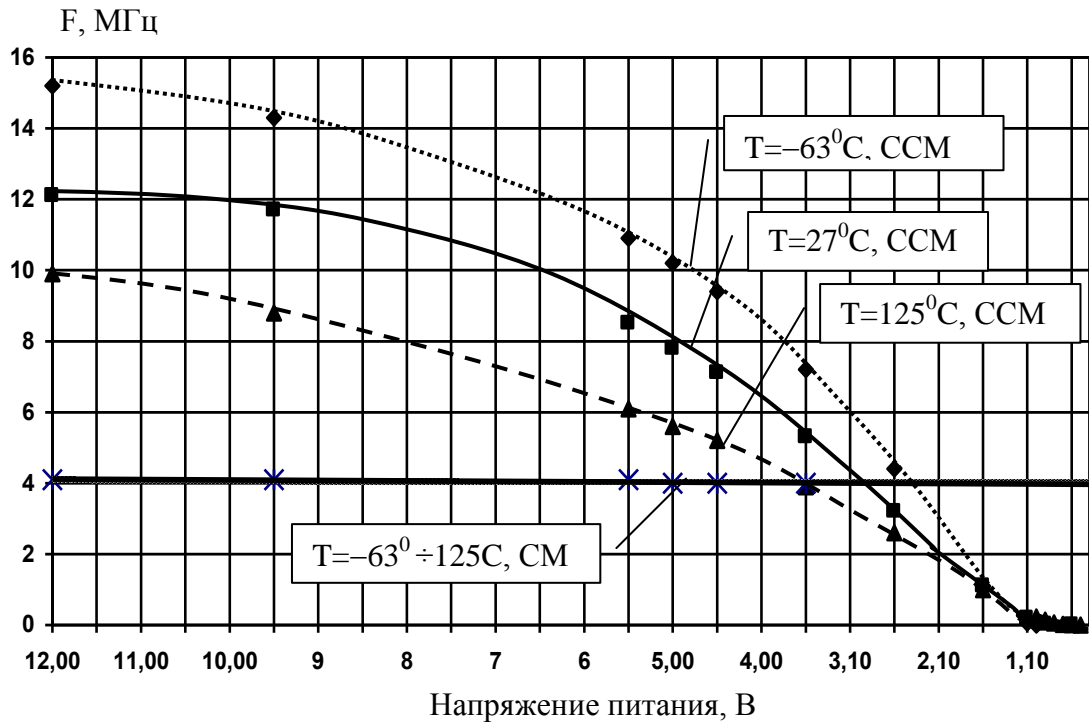


Рис. 6. Быстродействие Микроядра на смеси операций:
 CCM – самосинхронный вариант реализации;
 CM – синхронный вариант

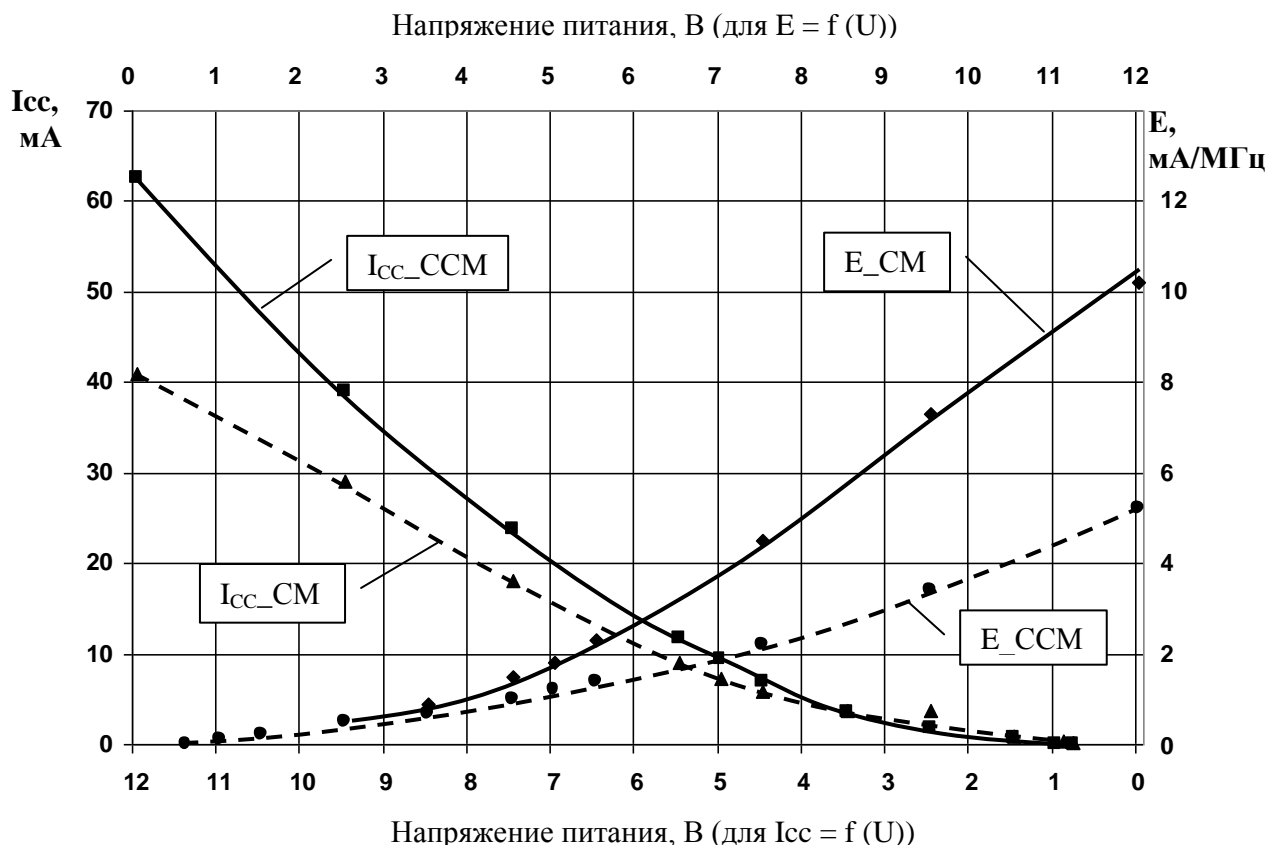


Рис. 7. Характеристики потребления Микроядра:
 ток потребления (I_{cc}) и энергетическая эффективность (E) при $T = 27^{\circ}\text{C}$

Для более корректной оценки сравнительного потребления энергии на рисунке приведен график энергетической эффективности (E , мА/МГц), который показывает ток от источника питания, потребляемый вариантом реализации Микроядра для выполнения полезной работы с производительностью в 1 МГц. Чем меньше величина E , тем более эффективна реализация. Оказывается, что самосинхронная реализация Микроядра не менее чем на 50 % эффективнее, чем его синхронный вариант. Например, при номинальном напряжении питания 5 В для ССМ величина E составляет 1,2 мА/МГц по сравнению с 1,8 мА/МГц для СМ – разница в 50 %; при напряжении питания в 12 В имеет место двукратное превосходство СС-реализаций. Именно малое потребление самосинхронных реализаций стало одной из причин возобновления интереса к ним. Сочетание возможности самосинхронной схемотехники выполнять обработку (а значит и потреблять энергию) только “по требованию” с низким потреблением неработающей логики в КМДП-технологии дает хорошую перспективу для создания энергетически эффективных аппаратных решений.

7. Выводы

Строго самосинхронная схемотехника пока известна очень небольшому кругу специалистов и поэтому не оценена по достоинству. Однако для тех, кто с ней хорошо знаком и при этом осведомлен о проблемах в области современных интегральных технологий, ясно – ее час пробьет в *очень недалеком будущем*. До тех пор, пока изделия на базе самосинхронной схемотехники не покажут свою эффективность, трудно надеяться на ее сколько-нибудь широкое распространение. Разработку и испытание тестовой БИС “Микроядро” в рамках отечественной полуказанной БМК-технологии следует рассматривать как серьезный практический шаг в этом направлении.

Результаты разработки и испытаний альтернативных вариантов реализации ядра четырехразрядного микроконтроллера показали, что строго самосинхронная реализация дает существенно лучшие результаты по всему спектру исследуемых параметров по сравнению с традиционным, синхронным исполнением.

1. Впервые в России и в мире на примере представительного функционального устройства получено экспериментальное подтверждение беспрецедентно широкого диапазона работоспособности самосинхронного тестового кристалла. Строгое самосинхронное исполнение аппаратуры автоматически реализует предельно возможную область работоспособности аппаратуры. Работоспособность конечного изделия

определяется не искусством проектировщика и отработанностью схемотехнических решений, а предельными возможностями используемой технологической базы.

2. Самосинхронная аппаратура характеризуется реальным быстродействием, самонастраивающимся (адаптирующимся) на реальные условия работы: уровень питающего напряжения, температуру окружающей среды, текущее состояние параметров элементной базы, вид обрабатываемой информации и т.д. Эффективные самосинхронные решения обеспечивают более высокое быстродействие аппаратуры. Например, в зоне работоспособности, гарантированной изготовителем БМК, быстродействие ССС-Микроядра в среднем выше быстродействия С-Микроядра почти в 2 раза.

3. Самосинхронное исполнение аппаратуры обеспечивает создание энергетически эффективных аппаратных решений. Например, во всем исследуемом диапазоне работоспособности тестируемых кристаллов энергетическая эффективность ССС-Микроядра по сравнению с С-Микроядром была не ниже 50 %.

Авторы приносят благодарность к.т.н. Л.П. Плеханову за предложения по оптимизации ряда схемотехнических решений.

Работа выполнена при частичной финансовой поддержке по Государственному контракту № 1.4/03 (регистрация РАН: № 10002-251/ОИТВС-04/103-098/260503-201).

Ссылки

1. Varshavsky V. Time, Timing and Clock in Massively Parallel Computing Systems. *Proceedings of International Conference on Massively Parallel Computing Systems*, p.100-106, Colorado Springs, USA, Apr. 1998.
2. Ad Peeters. The Asynchronous Bibliography. BIBTEX database file async.bib. February 8, 2002 /<http://www.win.tue.nl/~wsinap/doc/async.bib/>
3. TIME Laboratory. ANNUAL REPORT 2002, May 2003. - 252 p.
4. Автоматное управление асинхронными процессами в ЭВМ и дискретных системах. / Под. Ред. В.И. Варшавского. - М.: Наука, 1986. - 400 с.
5. Аперидические автоматы. Под ред. В.И. Варшавского. М.: Наука, 1976, 424 с.
6. Varshavsky V., Kishinevsky M., Marakhovsky V. et al. Self-timed Control of Concurrent Processes, Ed. by V.Varshavsky - Kluwer Academic Publishers, 1990. – 245 p.
7. Muller D., Bartky W. A theory of asynchronous circuits. // *Annals of computation laboratory of Harvard University*, V.29, 1959. - P. 204-243.
8. Филин А.В., Степченков Ю.А. Компьютеры без синхронизации. Сборник "Системы и средства информатики", М., Наука, вып. 9, 1999. - С. 247-261.
9. Степченков Ю.А., Денисов А.Н., Дьяченко Ю.Г., Гринфельд Ф.И., Филимоненко О.П., Фомин Ю.П. Библиотека элементов БМК для критических областей применения. Сборник "Системы и средства информатики", М., Наука, вып. 14, 2004. - С. 318-361.
10. PIC18CXX2 Data Sheet. High-Performance Microcontrollers with 10-Bit A/D. – 1999. – 295 p.
11. Л. П. Плеханов, Ю.А. Степченков. Экспериментальная проверка некоторых свойств строго самосинхронных схем. Сборник "Системы и средства информатики", М., Наука, вып. 16, 2006. - С. 318-361.