

САМОСИНХРОННЫЕ СХЕМЫ – КЛЮЧ К ПОСТРОЕНИЮ ЭФФЕКТИВНОЙ И НАДЕЖНОЙ АППАРАТУРЫ ДОЛГОВРЕМЕННОГО ДЕЙСТВИЯ

Ю.А.Степченков, Ю.Г.Дьяченко, В.С.Петрухин, Л.П.Плеханов

Институт проблем информатики РАН, YStepchenkov@ipiran.ru

Аннотация

Самосинхронные (СС) схемы завоевывают все большую популярность в среде разработчиков цифровой аппаратуры. В последнее время эти схемы в том или ином виде (строго самосинхронные или квазисамосинхронные) все чаще используются в коммерческих изделиях. Основные их преимущества заключаются в отсутствии гонок, максимально возможном диапазоне работоспособности, высоком быстродействии и относительно низкой мощности потребления. Одним из наиболее важных потенциальных преимуществ СС-схем является их естественная приспособленность к проектированию надежной цифровой аппаратуры. В настоящей статье приводятся результаты разработки, сравнительных испытаний тестовых образцов и моделирования вариантов реализации отказоустойчивых устройств на базе синхронного и самосинхронного подходов. Результаты испытаний показывают, что принадлежность аппаратуры к классу СС-схем позволяет получить наиболее эффективные решения для отказоустойчивых устройств.

1. Введение

Самосинхронное проектирование было областью активных исследований, по крайней мере, с середины 1950-ых годов [1]. Однако, несмотря на потенциальные преимущества самосинхронизации, относительная простота синхронного подхода предопределила его выбор в качестве основополагающего, продолжающего доминировать в схемотехнической практике и в настоящее время. Тем не менее, интерес к СС-схемотехнике повышается по мере нарастания проблем в синхронной схемотехнике.

В СССР активным пропагандистом СС-подхода был коллектив специалистов под руководством д.т.н. В.И.Варшавского. В [2 - 4] убедительно доказана возможность и целесообразность внедрения принципа самосинхронизации в схемотехническую практику. В последнее время одним из главных аргументов возобновления интереса к СС-схемам стало предположение об их относительно малой мощности потребления. Появился целый ряд коммерческих изделий, от DSP-процессоров [5, 6] до микропроцессоров [7], подтвердивших это предположение. Например, в работе [8] показано, что СС-вариант процессора ARM AMULET3 энергетически эффективнее своего синхронного аналога.

Анализ материалов зарубежной печати позволяет сделать вывод, что основная масса схемотехнических решений относится не к классу СС, а к классу квазисамосинхронных схем, представляющих собой комбинацию СС-элементов (где реализован контроль действительного окончания событий – переходных процессов), а также синхронных и асинхронных элементов. В последних вместо контроля окончания событий действует гипотеза ограниченного времени их протекания, реализуемая синхрогенераторами или встроенными элементами задержек. Это позволяет уменьшить число транзисторов на реализацию схем и использовать стандартные средства САПР СБИС. Однако теряется основное преимущество самосинхронных схем – независимость их поведения от задержек элементов, и, как следствие, пропадает возможность бестестовой самодиагностики и локализации неисправностей – определяющих качеств при построении надежно-ориентированной аппаратуры.

В Институте проблем информатики РАН отработывается методология создания строго самосинхронных (ССС) схем, представляющих собой совокупность только СС-элементов. В работе [9] приведены сравнительные результаты создания и испытаний синхронного и самосинхронного вариантов БИС “Микроядро”, подтвердившие преимущества СС-исполнения по быстродействию, диапазону работоспособности и потребляемой мощности. Настоящую статью, в которой более подробно изложены основополагающие принципы СС-схемотехники, следует рассматривать как логическое продолжение работы [9].

Здесь и далее под мнемоникой «СС» понимается строгая самосинхронизация.

Отказоустойчивые схемы традиционно используются в цифровой аппаратуре в составе устройств, которые работают в условиях, либо не допускающих вмешательства обслуживающего персонала, либо требующих более оперативного ремонта отказавшей части аппаратуры, чем это способен обеспечить человек, например, в бортовых вычислительных машинах авиационной и космической техники. СС-схемы как нельзя лучше подходят для этих целей.

Эффективность реализации отказоустойчивой аппаратуры на базе СС-подхода основывается на следующих свойствах СС-схем [10 -12]:

- устойчивая работа без сбоев в любых условиях эксплуатации, совместимых с физическими характеристиками технологического базиса реализации; это обеспечивает максимально возможную область эксплуатации, определяемую только физическим сохранением переключательных свойств элементов базиса реализации;
- естественная устойчивость к параметрической деградации, вызываемой старением элементов и изменением их параметров;
- прекращение всех переключений в момент появления любой константной

неисправности элементов, естественная стопроцентная самопроверяемость и самодиагностируемость по отношению к множественным константным неисправностям, при которых сигнал в какой-либо цепи схемы "залипает" в одном состоянии.

Последнее свойство СС-схем реализуется за счет использования самосинхронного (парафазного или бифазного в регистровой части) способа кодирования информационных сигналов и применения двухфазного режима работы [3]. СС-схемы обладают возможностью фиксировать момент завершения переходных процессов и формировать при этом так называемые *индикаторные сигналы* [9]. Индикаторный сигнал формируется каждым функционально законченным фрагментом СС-схемы как признак окончания его переключения. Значение индикаторного сигнала однозначно соответствует фазе работы, в которой находится данный фрагмент. Основным принципом работы самосинхронной схемы является постоянная поочередная смена фаз, что выливается в непрерывное чередование значений индикаторного выхода. Таким образом, индикаторный выход позволяет судить о работоспособности СС-схемы: если его значение не меняется в течение достаточно долгого времени без внешних причин, значит, в данном фрагменте возникла какая-то неисправность. Преобразование и выдача информации на выходы прекращаются, а факт появления отказа индицируется всей последующей схемой, поскольку каждый индикаторный сигнал используется в качестве сигнала управления, разрешающего переключение в новую фазу СС-устройств, предшествующего и следующего по отношению к данному.

Перечисленные свойства СС-схем определяют высокую эффективность создания надёжных изделий, в том числе и отказоустойчивых. В настоящей работе представлены результаты испытаний одного из вариантов, а также моделирования других возможных вариантов синхронного и самосинхронного исполнения преобразователя последовательного кода в параллельный. Такой преобразователь составляет основу последовательно-параллельного порта (ПП-порта), эмулирующего последовательный интерфейс между двумя соседними цифровыми устройствами.

2. Структура ПП-порта

Структурная схема ПП-порта (см. рис. 1) содержит следующие устройства:

- формирователь последовательного кода (источник) в виде регистра сдвига (РС);
- канал связи, включающий в себя передатчики шины на передающем конце, линию задержки, эмулирующую физические свойства канала передачи данных, и приемники шины на принимающем конце (полное обрамление канала передачи);
- преобразователь последовательного кода в параллельный (также в виде РС).

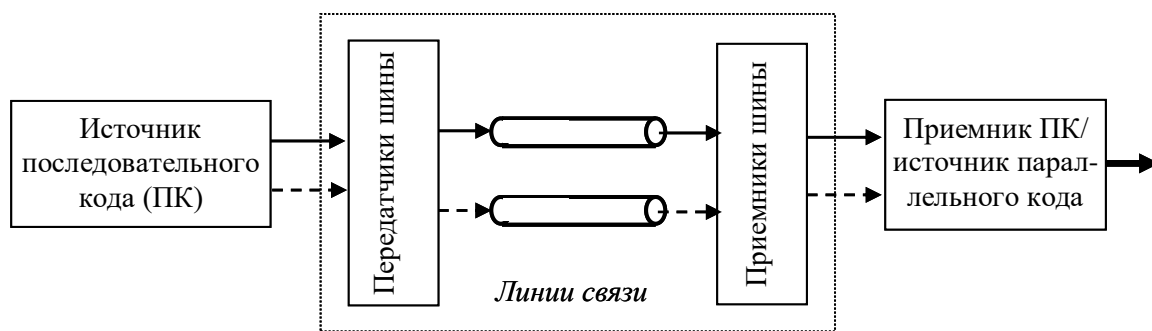


Рис. 1. Структурная схема ПП-порта

Сплошными стрелками показан тракт передачи данных, пунктирными – тракт передачи синхросигнала.

В общем случае синхронизация процесса передачи данных по последовательному каналу может иметь разные решения. В данной работе рассматриваются варианты ПП-порта, в которых синхросигнал сопровождает биты данных последовательного кода при их передаче по линии связи. Передатчик формирует последовательность битов данных, сопровождаемых синхросигналом. По переднему фронту синхросигнала на приемном конце линии связи преобразователь кода фиксирует принятый бит, формируя параллельный код – слово данных.

Конкретная реализация устройств в составе ПП-порта зависит от технологического базиса его изготовления, от требований унификации функциональных блоков и от сложности общей схемы обработки данных, частью которой является ПП-порт. Традиционный базис реализации – базовые матричные кристаллы (БМК), программируемые логические интегральные схемы (ПЛИС) и заказные микросхемы. БМК – наилучший (с точки зрения соотношения "эффективность/стоимость") базис, приемлемый для реализации СС-схем [13]. Поэтому дальнейшее изложение основывается на результатах моделирования предлагаемых схемотехнических решений, полученных с помощью промышленной САПР "Ковчег" для серии БМК 5503 (МИЭТ [9]).

Передачики и приемники шины на БМК реализуются выходными и входными буферными элементами, соответственно, если передатчик и преобразователь кода находятся в разных микросхемах в силу функционального разделения общей схемы цифровой обработки данных. При реализации "системы на кристалле" надобность в использовании буферных элементов отпадает, поскольку и передатчик, и приемник находятся на одном кристалле БМК. В этом случае передачики шины реализуются на более простых элементах, обеспечивающих эффективную передачу информации по внутренним трассам межсоединений, а приемники шины не требуются. В общем случае,

при использовании длинных линий связи между микросхемами, находящимися физически в разных единицах оборудования, передатчики и приемники должны обеспечивать согласование электрических характеристик с линией связи. В данной работе этот аспект проблемы реализации отказоустойчивого ПП-порта не рассматривается.

Параметры линии задержки определяются уровнем интеграции системы и физическими ограничениями взаимного расположения передатчика и приемника данных. При реализации "системы на кристалле" задержка тракта передачи зависит от уровня технологии (топологических размеров трасс межсоединений, количества слоев для разводки трассы, температурного режима работы микросхемы, удельных значений паразитных емкостей и т.д.) и длины шины. При реализации "системы на плате" характеристики линии связи зависят от качества разводки (длины трассы, наличия параллельно идущих проводников, создающих дополнительную паразитную емкость, и т.д.) и монтажа. При реализации передатчика и приемника в составе разных единиц оборудования (блоков, плат) для связи между ними используются специальные шины, например, IEEE 1394-1995, характеризующаяся собственной задержкой распространения данных 5 нс/м. В этом случае задержка определяется в основном длиной шины.

Анализ эффективности предлагаемых решений ПП-порта в следующих разделах основывается на четырех вариантах реализации линии связи:

- 1) с нулевой задержкой линии связи, без использования драйверов шины и датчиков приема (предельный случай, выявляющий особенности функционирования ПП-порта в зависимости только от способа реализации его основных функциональных блоков) – аналог решения "система на кристалле";
- 2) с минимальной длиной линии связи, близкой к нулевой, и полным обрамлением канала передачи – аналог решения "две микросхемы на печатной плате";
- 3) с линией связи IEEE 1394-1995 длиной 1 м (задержка 5 нс) и полным обрамлением канала передачи;
- 4) с линией связи IEEE 1394-1995 длиной 5 м (задержка 25 нс) и полным обрамлением канала передачи.

Все варианты – отказоустойчивые, способные парировать один отказ в основной функциональной части и обеспечить достоверность выходных данных.

3. Варианты реализации отказоустойчивого ПП-порта

Реализация принципа отказоустойчивости любого устройства связана с последовательным выполнением функций:

- 1) диагностирование неисправности – выявление ошибки в работе устройства;

- 2) локализация неисправности – определение места, где произошла ошибка;
- 3) ремонт методом замещения неисправного модуля резервным.

Реализация первой функции является необходимым атрибутом СС-схем, что оправдывает применение к ним термина “самопроверяющиеся схемы”. СС-схема не может быть самопроверяющейся. Она обеспечивает стопроцентное обнаружение константных неисправностей любой кратности.

Вторая функция в СС-схемах реализуется без труда, так как каждый индикаторный сигнал несет информацию об исправности индицируемого фрагмента схемы. Достаточно проверить значения индикаторных сигналов в различных точках схемы на соответствие ожидаемым в текущей фазе работы, чтобы добраться до первоисточника остановки схемы. Контролируемые индикаторные сигналы (например, сигнал разряда регистра или всего регистра в целом) выбираются из требований уровня резервирования.

В синхронной схемотехнике традиционный способ построения отказоустойчивого устройства – двойное дублирование или мажорирование его основной функциональной части. Один из дубликатов изначально является рабочим, остальные – контрольными и/или резервными. В обоих случаях применяется постоянный контроль одинаковости результата, который получается независимо каждым устройством на основе общих входных данных и позволяет выявить возникшее различие. "Ремонт" схемы состоит в мультиплексировании на выход заведомо исправного устройства.

Недостатком любой отказоустойчивой схемы является невозможность парирования (ремонта) *произвольного* отказа. Поэтому построение практических отказоустойчивых схем исходит из заданной "глубины" ремонтпригодности. В каждом конкретном случае выбор варианта реализации отказоустойчивости является компромиссом между сложностью реализации (аппаратурными затратами) и надежностью схемы. В данной работе представлены варианты отказоустойчивых РС, обеспечивающие оперативный саморемонт одного отказа в основной (функциональной) части ПП-порта и достоверность определения работоспособности всех вспомогательных частей схемы.

Основная функциональная часть ПП-порта – регистр сдвига. Соответственно, отказоустойчивость ПП-порта обеспечивается введением аппаратной избыточности в РС. Типовая структурная схема для *синхронного* варианта построения отказоустойчивого ПП-порта методом двойного дублирования РС представлена на рис. 2. В нее входят четыре одинаковых РС, две схемы сравнения, схема управления и мультиплексор параллельного кода (МПК). Все РС работают от одного входа последовательного кода D и общего синхросигнала С. В каждой паре один регистр (нечетный) – основной, а второй (четный) – контрольный. Первоначально мультиплексор настроен на передачу на выход

параллельного кода, накапливаемого исправным основным регистром рабочей пары, например, пары регистров 1 и 2. Схемы сравнения постоянно сопоставляют состояния регистров в паре, а схема управления анализирует результаты сравнения. При выявлении несовпадения, если оно обнаружено в рабочей паре, схема управления изменяет сигналы выборки мультиплексора, переадресуя его на основной регистр резервной пары. В качестве схемы сравнения используется самопроверяемая реализация [14], обеспечивающая повышенную надежность работы за счет небольших дополнительных аппаратных затрат.

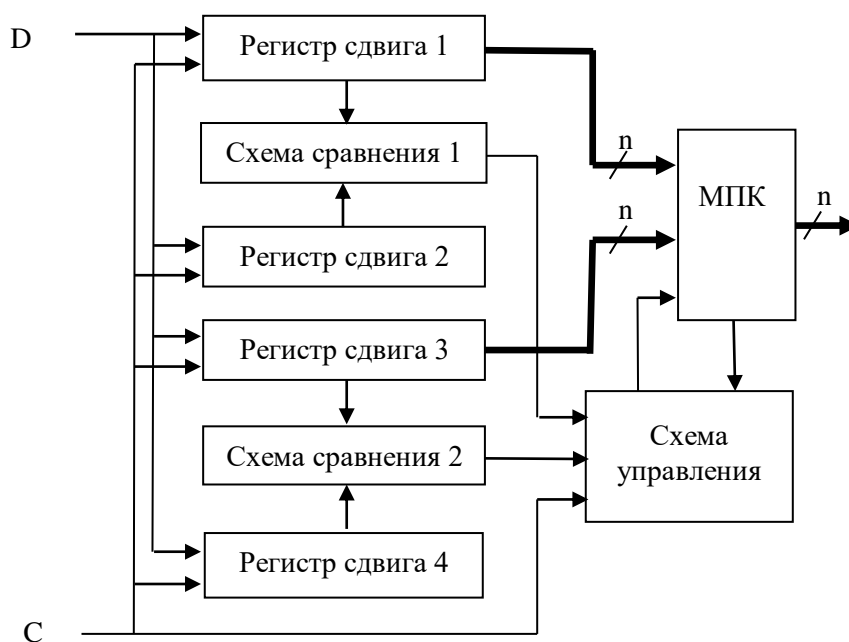


Рис. 2. Структурная схема синхронного отказоустойчивого регистра сдвига с дублированием

Такая реализация не учитывает возможности одновременного (в пределах одного такта синхросигнала) появления симметричной неисправности в обоих регистрах рабочей пары. Однако вероятность такого отказа пренебрежимо мала.

В общем случае отказоустойчивый синхронный регистр способен парировать ("ремонтировать") один отказ в рабочей паре РС. Появление второго отказа в резервной паре, ставшей рабочей после "ремонта" первого отказа, становится критическим и приводит к неработоспособности всей схемы.

Особенность описываемой реализации — использование специальной схемы выходного мультиплексора, обеспечивающей подтверждение достоверности его работы. МПК включает в себя два мультиплексора 2:1, один из которых — рабочий, а второй — контрольный, и схему сравнения их выходов. Общий выход схемы отказоустойчивого РС формируется рабочим мультиплексором, а схема сравнения подтверждает достоверность

выходных данных. МПК не является отказоустойчивым, но обеспечивает достоверность работы схемы. При появлении отказа в рабочем или контрольном мультиплексоре блок контроля фиксирует критический отказ.

Схема мажоритарного отказоустойчивого РС (см. рис. 3) содержит три одинаковых РС, три схемы сравнения, схему управления и мультиплексор параллельного кода. Изначально регистр 1 – рабочий, а остальные два – контрольные; регистр 3, кроме того, является резервным. МПК мультиплексирует на выход состояние рабочего регистра. Регистр 1 считается рабочим до тех пор, пока его состояние совпадает с состоянием либо регистра 2, либо регистра 3. Предполагается, что появление одинакового отказа одновременно в двух регистрах маловероятно. При появлении отказа в регистре 1 схемы сравнения 1 и 3 отмечают несовпадение, и схема управления инвертирует сигнал выборки МПК, переключая его на коммутацию выходов регистра 3.

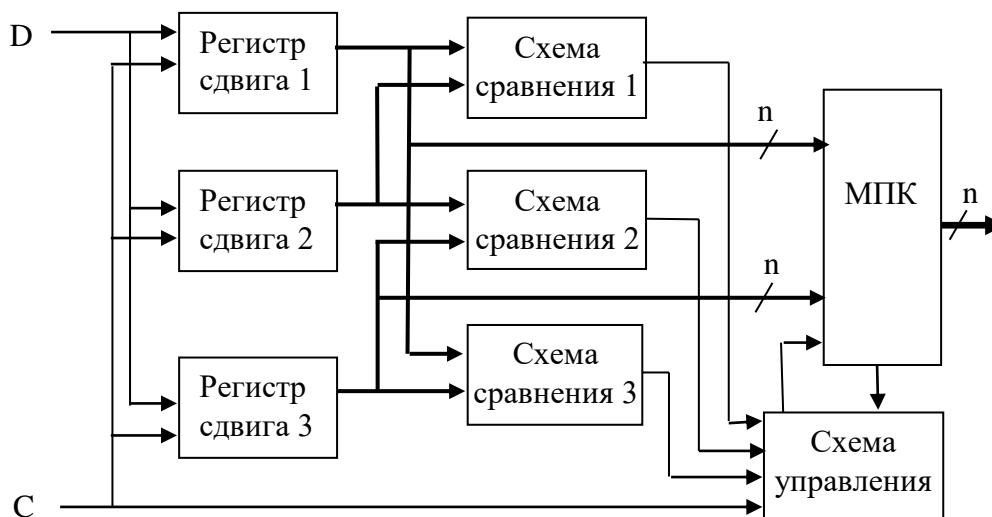


Рис. 3. Структурная схема синхронного отказоустойчивого регистра сдвига с мажорированием

Вариант с мажорированием более гибок и имеет меньшую (на 4 %) сложность реализации. Недосток его – более сложная трассировка межсоединений при проектировании топологии. По количеству ремонтируемых отказов варианты одинаковы.

В обоих вариантах не показана схема отказоустойчивого генератора синхросигнала – обязательного атрибута синхронного отказоустойчивого РС, который может использоваться и в составе общей схемы.

Структурная схема самосинхронного отказоустойчивого РС, построенного по методу дублирования, представлена на рис. 4. По сложности это наилучший представитель отказоустойчивых РС в классе СС-схем. В него входят два одинаковых РС, индикаторная схема, схема управления и мультиплексор параллельного кода. По аналогии

с синхронным вариантом один из регистров, например, регистр 1, является рабочим, а второй – резервным.



Рис. 4. Структурная схема самосинхронного отказоустойчивого регистра сдвига с дублированием

Отличие от синхронного варианта заключается в использовании двух РС вместо трех или четырех, наличии дополнительной индикаторной схемы и удвоенной разрядности мультиплексора параллельного кода. Последнее обстоятельство связано с тем, что все СС-устройства работают с парафазными или бифазными информационными сигналами, что необходимо для успешной индикации окончания переключения СС-устройства в очередную фазу работы. Соответственно, и параллельный код также представляется в бифазном виде, содержащем как прямые, так и инверсные выходы разрядов РС.

На входы регистров сдвига поступает парафазный последовательный код $\{D, DB\}$. СС-схема не нуждается в использовании синхросигнала для приема информации из последовательного канала: парафазный вход сам является источником всей информации, необходимой для работы схемы (см. табл. 1).

Таблица 1. Таблица истинности парафазного сигнала

Состояние парафазного сигнала		Функциональное назначение
D	DB	
1	1	В статике соответствует фазе хранения (отсутствию передачи информации), а в динамике (момент установки состояния) – асинхронному сигналу инициации окончания передачи
1	0	В статике соответствует передаче логической 1, а в динамике – асинхронному сигналу установки достоверного значения кода и сигналу инициации начала передачи (переход в рабочую фазу)
0	1	В статике соответствует передаче логического 0, а в динамике – асинхронному сигналу установки достоверного значения кода и сигналу инициации начала передачи (переход в рабочую фазу)
0	0	Запрещенное состояние

СС-схема использует асинхронный (запрос-ответный) принцип взаимодействия со своим окружением. Например, СС-вариант реализации ПП-порта сигнализирует источнику последовательного кода о готовности к приему следующего бита последовательного кода и о факте его приема сбросом или установкой сигнала SSYN. Соответственно, при взаимодействии ПП-порта с приемником параллельного кода должен также использоваться аналогичный сигнал. Источником асинхронных сигналов (в данном случае SSYN) является индикаторный сигнал I – сигнал завершения процессов, инициированных внешним окружением. При нормальной работе РС значение сигнала I изменяется на каждой фазе работы: «0» в рабочей фазе, «1» в промежуточной (спейсере) или наоборот. Если регистр по общему алгоритму работы должен быть постоянно активным, смена значений на выходе I является подтверждением работоспособности регистра. Появление отказа приводит к "залипанию" состояния выхода I, однозначно свидетельствуя о нарушении работы РС.

Для обеспечения надежной работы отказоустойчивого РС используется внешний таймер, отсчитывающий период времени, в течение которого РС в наихудших условиях должен успеть переключиться из одной фазы в другую. Передний или задний фронт выходного сигнала I СС-регистра сбрасывает таймер в начальное состояние. Дополнительный входной сигнал РС – ТО (Time Out) – формируется таймером. Он служит признаком окончания тайм-аута и означает, что внешний таймер не был своевременно сброшен РС вследствие появления неисправности, заблокировавшей работу регистра в полном соответствии с особенностями работы СС-схем. Сигнал ТО инициирует в регистре процедуру саморемонта.

Устройство-таймер не включено в состав самосинхронного отказоустойчивого РС, поскольку его реализация может быть самой разной, и оно может использоваться одновременно для нескольких СС-устройств, как и отказоустойчивый генератор в составе синхронного ПП-порта. В роли таймера может выступать и СС-счетчик. Общим требованием для устройства-таймера является формирование сигнала ТО при отсутствии изменений на индикаторных выходах регистра в течение некоторого периода времени. Этот период не должен включать в себя время "вынужденного простоя" регистра – паузу в передаче последовательного кода в алгоритме работы общей схемы. Интервал тайм-аута целесообразно выбирать с двукратным запасом длительности, ориентируясь на наихудшие условия работы.

Регистры сдвига работают одновременно с одним и тем же входным последовательным кодом, формируя не только параллельный код, но и индикаторные сигналы, отражающие фазы работы регистров. Один из индикаторных сигналов в каждом регистре фиксирует окончание переключения первых двух разрядов и используется для

формирования ответного сигнала управления I_0 для предшествующей схемы, передающей в регистры последовательный код, как показано на рис. 5. Это позволяет ускорить работу тандема "передатчик последовательного кода – РС", поскольку переключение остальных разрядов регистра происходит на фоне подготовки передатчика последовательного кода к посылке следующего бита. Второй индикаторный выход регистров сдвига фиксирует окончание переключения всего регистра.

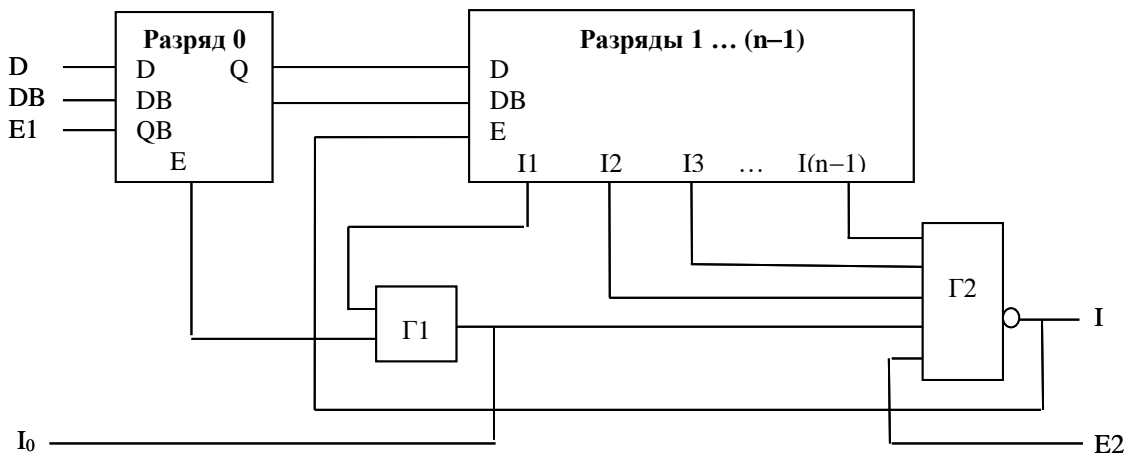


Рис. 5. Ускоренная индикация самосинхронного регистра сдвига

Индикаторная схема объединяет индикаторные выходы регистров, мультиплексора и схемы управления, формируя сигналы управления для предшествующего (I_0) и следующего (I) устройств в общем конвейере СС-схемы. При появлении неисправности в рабочем регистре его индикаторные выходы перестают переключаться, блокируя тем самым переключение и общих индикаторных выходов I , и $SSYN$ регистра.

Схема управления формирует сигналы выборки выходного мультиплексора (в зависимости от того, какой регистр является рабочим в данный момент), сигналы управления регистрами (инициирующие, наравне с парафазными входными данными, переключение регистров) и сигналы управления индикаторной схемой.

Благодаря сокращению общего числа устройств в составе отказоустойчивого СС-РС по сравнению с синхронным, суммарные затраты самосинхронного варианта оказываются на 12–15 % меньше, чем в синхронных вариантах. При реализации на БМК серии 5503 сложность синхронного варианта восьмиразрядного отказоустойчивого РС с дублированием равна 611 вентилям, с мажорированием – 586, а самосинхронного – 521 вентилям.

При создании комбинационных СС-схем следует учитывать, что парафазный способ кодирования приводит к усложнению схемы. Само понятие парафазного кодирования сигнала основано на независимом формировании обеих составляющих парафазного представления сигнала элементами, одинаковыми по сложности реализации [3].

В результате сложность реализации самосинхронного комбинационного устройства более чем в два раза превышает сложность синхронного аналога: к фактическому дублированию функций добавляется индикаторная подсхема, составляющая значительную часть всей схемы. Регистровые (триггерные) схемы СС-типа не требуют таких больших накладных расходов по сравнению с синхронными аналогами, поскольку основой и тех, и других являются бистабильные ячейки, выходы которых уже представляют собой парафазный сигнал. Триггеры и регистры хорошо укладываются в парадигму построения строго самосинхронных схем.

Альтернативным вариантом реализации отказоустойчивого СС-РС является регистр, представленный на рис. 6. Функционально по назначению отдельных выводов и блоков он аналогичен варианту отказоустойчивого РС на рис.4. Однако ремонт отказа в нем реализуется по методу "замещения сдвигом". Суть его заключается в использовании регистра, разрядность которого на единицу превышает требуемую разрядность отказоустойчивого регистра; резервный разряд при необходимости замещает собой отказавший разряд.

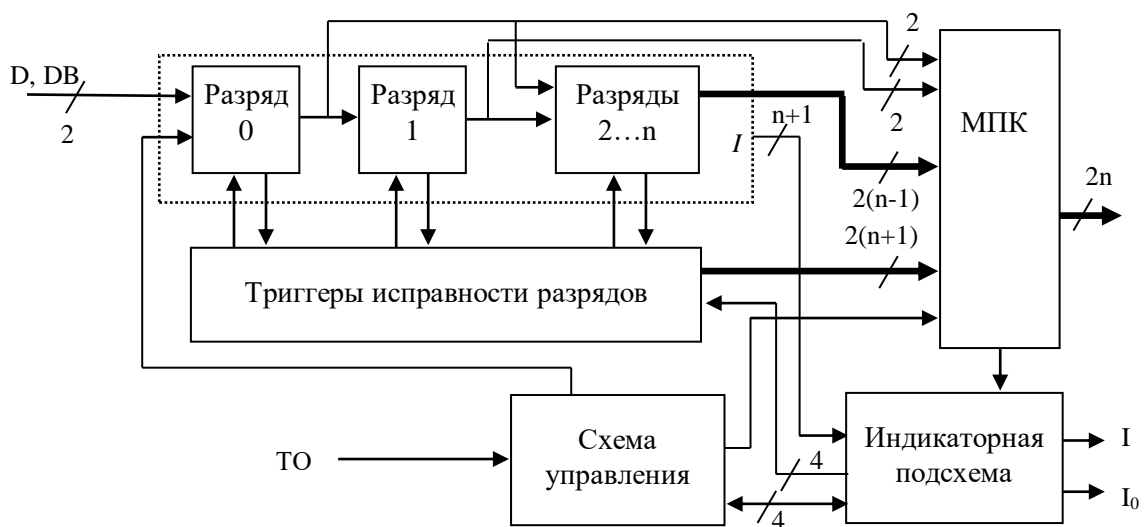


Рис. 6. Структурная схема самосинхронного отказоустойчивого регистра сдвига с "замещением сдвигом"

В регистр входят разряды трех типов. Разряд 0 строится на основе двух одноканальных триггеров и мультиплексора, обеспечивающих ремонт отказа во входном разряде за счет дублирования. Разряд 1 отличается от следующих разрядов тем, что его входами являются только выходы предыдущего разряда 0, поскольку последний остается гарантированно работоспособным даже при возникновении одного отказа внутри него. Разряды 2...n имеют встроенный входной мультиплексор, который позволяет сформировать цепочку из n сдвигающих работоспособных разрядов за счет "обхода" отказавшего разряда: его выходы

на входе последующего разряда заменяются выходами разряда, предшествующего отказавшему. При этом резервный разряд включается в цепочку сдвигающих работоспособных разрядов, замещая собой отказавший. Роль резервного играет разряд 2. Прямое замещение, однако, происходит не всегда, а только в том случае, если отказавший разряд расположен рядом с резервным. Во всех остальных случаях разряды, расположенные за отказавшим, сдвигаются, при этом каждый из них замещает собой предыдущий. Именно поэтому данный метод называется "замещением со сдвигом".

Важной частью этого механизма являются триггеры исправности разрядов, по одному на каждый разряд. Триггер исправности есть и у дублированной индикаторной подсхемы, и у первого (входного) разряда ПП-порта. Триггер исправности служит флагом работоспособности соответствующей части схемы. Изначально триггеры исправности всех разрядов, кроме резервного, устанавливаются в состояние "исправен". При появлении отказа в разряде и инициировании процедуры ремонта его триггер исправности переключается в состояние "отказ".

Выходной мультиплексор и индикаторная подсхема оперируют выходными и индикаторным сигналами всех разрядов без исключения. Появление отказа в разрядах регистра со второго (по порядку) по последний приводит к необходимости восстановления правильной последовательности выходов разрядов в параллельном коде и замены индикатора отказавшего разряда индикатором резервного разряда. Разряды, реально используемые для формирования параллельного кода и общего индикаторного сигнала, выделяются путем мультиплексирования с использованием выходов триггеров исправности в качестве сигналов выборки.

Схема управления, как и в варианте с дублированием, определяет источник отказа и обеспечивает выполнение процедуры саморемонта. Запуск процедуры саморемонта иницируется сигналом ТО, формируемым внешним таймером, если индикаторный выход РС слишком долго не изменяется в то время, когда регистр должен быть активным. Процедура саморемонта заключается в одновременном сравнении поразрядных индикаторных сигналов с ожидаемым значением и установке состояний триггеров исправности в соответствии с результатом сравнения: индикатор отказавшей части схемы не переключится в ожидаемое состояние, что и будет служить признаком отказа.

Дифференциация разрядов регистра по типам в зависимости от его положения определяется, в частности, и организацией ускоренного запрос-ответного взаимодействия между РС и источником последовательного кода. В результате входной разряд регистра реализуется на одноктактных триггерах, а окончание переключения входного и следующего работоспособного разряда регистра служит сигналом для разрешения перехода устройства-

передатчика последовательного кода в новую фазу работы.

Сложность реализации такого варианта отказоустойчивого РС составляет 704 вентилей БМК серии 5503. Увеличение сложности по сравнению с предыдущим вариантом объясняется усложнением схемы разряда (с третьего по (n+1)-ый по порядку), дополнительным разрядом и более сложными индикаторной подсхемой и схемой управления РС.

Индикаторная подсхема данного варианта СС-регистра также дублирована, что, с одной стороны, обеспечивает дополнительную степень надежности работы, а с другой – увеличивает сложность реализации. В данном случае главным критерием является обеспечение отказоустойчивости. Общее число отказов, которое способен парировать регистр сдвига рис. 6, равно трем: во входном разряде, в одном из остальных разрядов и в индикаторной подсхеме. В отличие от него, общее число парируемых отказов в схеме регистра рис. 4 равно одному – в любом разряде рабочего регистра.

Аппаратная избыточность реализации самосинхронного отказоустойчивого РС с замещением сдвигом компенсируется большей степенью отказоустойчивости (три ремонтируемых отказа в разных частях схемы вместо одного). Такая реализация может найти применение в схемах, требующих обеспечения максимальной надежности. Особо привлекателен данный вариант решения проблемы отказоустойчивости ПП-порта.

4. Результаты моделирования вариантов реализации

Одним из основных преимуществ СС-схем по сравнению с синхронными аналогами является их устойчивая работа с быстродействием, предельным для данных условий окружающей среды. При отсутствии синхрогенераторов частота переключения СС-устройства определяется только характеристиками его элементов. При изменении условий окружающей среды частота работы СС-схемы также меняется, поскольку меняются задержки переключения отдельных элементов, но схема продолжает функционировать корректно.

СС-схемы не требуют выбора фиксированной частоты работы по наилучшим условиям, как это приходится делать в синхронной схемотехнике. Именно поэтому СС-устройства в нормальных условиях оказываются, как правило, быстрее синхронных аналогов. Это подтверждается результатами моделирования и результатами испытаний ряда вариантов РС, описанных выше.

4.1. Результаты модельных исследований преобразователя на экспериментальной системе VHDL-моделирования МОЛОТ

В работе [15] была предпринята попытка подтвердить объявленные в [11] уникальные свойства СС-схем и количественно определить "цену" их реализации (на количественном уровне) сравнительно с С-схемами. Были разработаны специальные варианты СС- и С-схем преобразователя последовательного кода в параллельный, послужившие основой рассмотренного выше последовательно-параллельного порта.

Для получения С-схем, "близких к идеальным", которые могли бы служить базой для объективного сравнения с СС-схемами как по производительности, так и по аппаратным затратам, были сделаны следующие допущения:

- произведена "подгонка" параметров системы синхронизации для достижения максимальной производительности С-схем;
- исключены из рассмотрения аппаратные затраты на реализацию генератора импульсов и драйверов доставки импульсов к местам назначения, которые как правило, снижают производительность;
- использована триггерная ячейка на двунаправленных ключах, обеспечивающая минимальные аппаратные затраты и максимальное быстродействие;
- проигнорирован технологический разброс – неидентичность временного срабатывания однотипных элементов, реализованных на разных пластинах.

Были разработаны библиотечные элементы, обеспечивающие наиболее эффективные схемотехнические решения (библиотека элементов не ограничена), необходимые электрические и топологические модели.

Каждый из вариантов схемы должен был обеспечить работоспособность в диапазонах внешних условий:

- температуры (Т) – от -63 (Т⁻) до $+125$ (Т⁺) °С;
- питающего напряжения (V_{CC}) – от $+3$ (V_{min}) до $+7$ (V_{max}) В.

Минимальная область устойчивой работоспособности (Δ) ТФУ определяется формулой: $\Delta = (V_{\max} - V_{\min}) \cdot (T^+ - T^-)$ и составляет $752 \text{ В} \cdot \text{°С}$.

Для объективного сравнения С- и СС-вариантов исполнения ПП-порта необходимо соблюдение двух условий: оценка *реального* быстродействия при *реальных* условиях эксплуатации и оценка энергии (мощности) потребления с учетом доли потребления системного тактового генератора, приходящегося на одно устройство (ПП-порт).

Целесообразность введения термина "реальное быстродействие" проистекает из способности СС-схем функционировать по реальным задержкам их элементов и соединительных проводников в реальных условиях эксплуатации: температуры,

питающего напряжения, емкостной нагрузки, вида обрабатываемой информации и состояния элементной базы (степень деградации ее параметров в процессе старения) и т.д. Применительно к СС-вариантам реализации ПП-порта это означает – учет номинальных задержек переключения элементов ($V_{CC} = 5 \text{ В}$, $T=25 \text{ }^\circ\text{C}$), номинального сопротивления поликремния и статистически наиболее вероятной комбинации битов, передаваемых по последовательному каналу (001100 ... и т.д.). Для СС-варианта это статистически наиболее вероятные условия работы.

В соответствии с общепринятым принципом эксплуатации С-схем синхронный ПП-порт должен устойчиво работать на заданной постоянной частоте при *любых* допустимых условиях окружающей среды и напряжении питания. Следовательно, его рабочая частота должна быть не выше, чем рассчитанная для наихудших условий работы. Конечно, при этом возможности С-схемы заведомо занижаются. Но такой подход необходим с точки зрения обеспечения гарантированной работоспособности схемы во всем диапазоне условий ее эксплуатации. Кроме того, как правило, значение рабочей частоты выбирается с "запасом", учитывающим возможную деградацию частотных характеристик переключательных элементов интегральных схем от времени. Поэтому можно сравнивать частоту работы самосинхронного ПП-порта в *реальных* условиях окружающей среды с частотой переключения С-аналога в *наихудших* условиях.

С учетом приведенных условий получены следующие модельные результаты сравнения синхронного (традиционного) и самосинхронного ПП-портов:

- по быстродействию: в 1,66 раза в пользу СС-варианта (строки 1 и 4 табл. 2);
- по аппаратным затратам: в 2,18 раза в пользу С-варианта.

Это результаты сравнения функционально не идентичных схем: синхронного, несамопроверяющегося ПП-порта и самосинхронного, самопроверяющегося по отношению ко всем (в том числе и к множественным константным) неисправностям. Однако ситуация существенно меняется, если сравнить функционально идентичные самопроверяющиеся схемы (см. строки 2 и 4 табл. 2):

- по быстродействию: в 2,7 раза в пользу СС-варианта);
- по аппаратным затратам: в 1,27 раза в пользу СС-варианта.

Сравнение рассматриваемых вариантов было бы неполным без оценки мощности потребления. Если раньше определяющей характеристикой аппаратуры было ее быстродействие (рабочая частота в МГц), то теперь все чаще в таком качестве выступает энергетическая эффективность (Е) быстродействия – величина потребляемой энергии, отнесенная к быстродействию (мкВт/МГц) [16]. Причина этого состоит в том, что, во-первых, сравниваемые реализации ПП-порта не должны рассматриваться изолированно от

Таблица 2. Результаты моделирования и испытаний вариантов ПП-порта

№ №	Реализация регистра сдвига в составе ПП-порта	Вариант линии связи	Рабочая частота, МГц	Кол-во вентилялей, N	Энергетическая эффективность, мВт/МГц				Эффективность, МГц·В ⁰ С/мВт	
					ТГ+			ТГ-	ТГ+	ТГ-
I. Результаты моделирования в свободном базисе (библиотека элементов не ограничена), 3 мк ¹)					K=0,0	K=0,1	K=1,0	K=1,0	K=1,0	
1	Синхронный традиционный	II	4,2	44	0,8	0,87	1,48	0,68	11,6	25,1
2	Синхронный самопроверяющийся	II	2,6	122	0,81	0,94	2,13	1,32	2,9	4,7
3	Синхронный отказоустойчивый с дублированием	II	2,5	340	1,01	1,29	3,75	2,74	0,6	0,8
4	Самосинхронный	II	7,0	96	0,0	0,09	0,92	0,92	19,2	19,2
5	Самосинхронный отказоустойчивый с дублированием	II	6,0	222	0,0	0,2	1,97	1,97	3,9	3,9
6	Самосинхронный отказоустойчивый с замещением отказавшего разряда	II	5,9	236	0,0	0,17	1,73	1,73	4,1	4,1
II. Результаты испытаний БИС “Микроядро” в полузаказном БМК-базисе (библиотека элементов ограничена), 1,6 мк ²)					ТГ-; K=1,0					
7	Синхронный отказоустойчивый с дублированием	I	11,3	611	10,8			0,03		
		II	10,0		12,25			0,025		
		III	9,7		12,63			0,024		
		IV	9,5		12,9			0,024		
8	Самосинхронный отказоустойчивый с дублированием	I	15,6	521	7,2			0,58		
		II	12,1		9,27			0,45		
		III	10,9		10,3			0,41		
		IV	7,7		14,5			0,29		
III. Результаты моделирования в полузаказном БМК-базисе (библиотека элементов ограничена), 1,6 мк ²)										
9	Синхронный с мажорированием	I	11,5	586						
		II	10,2							
		III	9,7							
		IV	9,5							
10	Самосинхронный с замещением отказавшего разряда	I	11,4	704						
		II	10,9							
		III	9,8							
		IV	7,0							

¹⁾ Без учета восьмиразрядного регистра – источника последовательного кода в линию связи.

²⁾ С учетом восьмиразрядного регистра – источника последовательного кода в линию связи.

Жирным шрифтом выделены результаты испытаний.

системы, частью которой они являются. При этом ресурсы системы, необходимые для организации функционирования этой части, должны быть в соответствующей пропорции отнесены на ее счет. Например, обязательно должны быть учтены ресурсы подсистемы синхронизации: для С-реализаций это наиболее энергопотребляющая подсистема, а в СС-реализациях она отсутствует по определению.

Во-вторых, обязательно должна учитываться частота использования данного устройства в рамках системы – так называемый коэффициент активности (K).

Результаты сравнения синхронного (традиционного) и самосинхронного ПП-портов по энергетической эффективности без учета (ТГ-) и с учетом (ТГ+) относительных потерь в системном тактовом генераторе (детали сравнения см. в [15]):

- при $K=1,0$ и ТГ-: в 1,35 раза в пользу С-варианта;
- при $K=1,0$ и ТГ+: в 1,6 раза в пользу СС-варианта.

Из сказанного видно, что результаты в зависимости от условий сравнения – диаметрально противоположные. При более объективном сравнении (с учетом мощности потребления в ТГ) энергетическая эффективность функционально более сложного самопроверяющегося СС-варианта существенно выше, чем для синхронного несамопроверяющегося ПП-порта. Сравнение функционально идентичных самопроверяющихся вариантов увеличивает относительную эффективность СС-порта с 1,6 раза до 2,3 раз.

Тем не менее, характеристика E прямо не учитывает два объективных параметра: аппаратные затраты и величину зоны работоспособности (Δ). Первый параметр определяет площадь кристалла и, следовательно, его стоимость, а второй – действительную зону работоспособности аппаратуры. Результаты на подсистеме моделирования МОЛЮТ показали, что реальная зона работоспособности СС-вариантов существенно выше, чем определяемая исходными техническими требованиями для С-образцов. Если для С-образцов расширение зоны работоспособности неизбежно связано с уменьшением фиксированной рабочей частоты, то для СС-образцов обеспечение работоспособности происходит автоматически и является следствием независимости поведения СС-схем от задержек элементов. Результаты моделирования подтвердили, что все СС-варианты ПП-порта (самопроверяющиеся и отказоустойчивые) обеспечивают правильную и устойчивую работоспособность в диапазоне питающих напряжений V_{cc} от 1 до 10 В. Поэтому представляется, что более объективной характеристикой качества аппаратуры является интегральная эффективность Σ (МГц•В⁰С/мВт):

$$\Sigma = \Delta \cdot K_{\Delta} / (E \cdot K_E) \cdot (N \cdot K_N),$$

где N – количество вентилях, необходимых для реализации аппаратуры (безразмерная величина), а K_{Δ} , K_E и K_N – коэффициенты важности соответствующих параметров (диапазон каждого из коэффициентов: $0 < K \leq 1$).

Результаты сравнения синхронного (традиционного) и самосинхронного ПП-портов по характеристике Σ :

- при $K=1,0$ и ТГ-: в 1,3 раза в пользу С-варианта;
- при $K=1,0$ и ТГ+: в 1,66 раза в пользу СС-варианта.

Результаты сравнения функционально идентичных самопроверяющихся вариантов ПП-портов по характеристике Σ :

- при $K=1,0$ и ТГ-: в 4,0 раза в пользу СС-варианта;
- при $K=1,0$ и ТГ+: в 6,6 раз в пользу СС-варианта.

Отказоустойчивые С- и СС-варианты реализации ПП-порта должны удовлетворять следующим условиям.

Во-первых, они должны быть адекватны с точки зрения *достоверности* формируемого параллельного кода независимо от места возникновения возможной неисправности – генератора импульсов (для С-вариантов), линий в последовательном канале связи (информационных, управляющих и синхросигналов), собственно РС, выходных мультиплексоров – источников параллельного кода и индикаторов (для СС-вариантов).

Во-вторых, они должны быть отказоустойчивы по отношению к любой одиночной константной неисправности только в рамках собственно РС (в состав СС-РС обязательно входит и индикаторная часть). При локализации неисправности в других частях ПП-порта (см. выше) ПП-порт должен формировать сигнал катастрофического отказа.

В-третьих, неисправность должна быть зафиксирована в текущем акте передачи одного бита информации по последовательному каналу. СС-регистр обеспечивает непрерывную достоверность информации на своих выходах: информация считается готовой и может использоваться следующими устройствами только при успешном завершении сдвига и формировании параллельного кода на индикаторном выходе регистра. Синхронный вариант также должен обеспечивать достоверность информации на выходах: в текущем акте обмена перестройка сигналов выборки выходного мультиплексора и формирование признака критического отказа должны происходить в течение текущего периода синхросигнала. Результаты моделирования, полученные для отказоустойчивых вариантов реализации ПП-портов с учетом перечисленных условий, приведены в табл. 2 (строки 3, 5 и 6). В строке 6 дан результат для СС-варианта ПП-порта с замещением, который обеспечивает повышенный уровень отказоустойчивости.

Сравнительный анализ табл. 2 позволяет сделать следующие выводы.

1) Самосинхронные отказоустойчивые варианты ПП-порта по методу дублирования и по методу замещения отказавшего разряда по всей совокупности параметров обладают примерно одинаковыми и существенно лучшими характеристиками по сравнению с С-вариантом: в 2,4 раза по быстродействию; в 1,5 раза по аппаратным

затратам; в 1,9 раза (ТГ+, К=1,0) или в 1,4 раза (ТГ-, К=1,0) по энергетической эффективности; в 6,5 раз (ТГ+, К=1,0) или в 4,9 раза (ТГ-, К=1,0) по интегральной эффективности.

2) Синхронный отказоустойчивый ПП-порт с дублированием гарантирует отказоустойчивость (саморемонт) только по отношению к единичной неисправности (однократный коэффициент покрытия). Самосинхронный отказоустойчивый ПП-порт с дублированием характеризуется трехкратным коэффициентом покрытия – способен корректировать по одной ошибке во входном разряде ПП-порта (разряд 0), в одном из разрядов регулярной части ПП-порта (разряды 1-7) или в индикаторной части.

3) Самосинхронный отказоустойчивый ПП-порт с замещением отказавшего разряда потенциально характеризуется n-кратным коэффициентом покрытия. При этом дополнительный объем аппаратуры, который необходим для организации саморемонта каждой новой неисправности, оценивается в 3-7 % от общего объема оборудования.

4.2. Результаты испытаний и моделирования на промышленной версии САПР БМК “Ковчег”

Результаты моделирования с использованием подсистемы МОЛОТ позволили оценить реализации вариантов ПП-порта с максимально возможной объективностью. Тем не менее, лабораторный статус подсистемы МОЛОТ определяет ее ограниченные возможности, а главное – ограничивает варианты сравнения только уровнем компьютерных моделей. Средства промышленной версии САПР БМК “Ковчег” лишены подобного недостатка и позволили апробировать ранее полученные схемотехнические решения на уровне экспериментального образца.

Разработка и изготовление БМК-образца – достаточно дорогостоящее мероприятие, особенно с учетом необходимости введения в САПР минимально необходимого числа библиотечных элементов [13]. Поэтому реализация отказоустойчивых вариантов ПП-порта была совмещена с созданием четырехразрядного ядра микроконтроллера в виде БИС “Микроядро” [12].

По ряду причин были изменены схемотехническая реализация ПП-портов и некоторые концептуальные положения, изложенные в подразделе 4.1.

1) Ограничения доступной библиотеки элементов не позволили реализовать некоторые схемотехнические решения: С-элементы, многоходовые G-триггера, мультиплексоры на базе двунаправленных ключей и т.д.

2) БМК-реализация не обеспечивает реализацию ТГ внутри поля БМК.

3) Совмещение в одном БИС БМК функций ядра микроконтроллера и ПП-порта привело к дефициту контактов в С-реализации. В связи с этим пришлось отказаться от

самопроверяемости в ТГ и отказоустойчивости в линиях связи.

4) Для того, чтобы не зависеть от ограничений контрольно-измерительного и технологического оборудования завода-изготовителя БИС “Микроядро”, в его состав ввели средства автоматизации тестовых последовательностей, в том числе и восьмиразрядный сдвиговый регистр – источник последовательного кода в линии связи.

5) Поскольку САПР БМК “Ковчег” обеспечивает аттестацию проектов только в диапазоне питающих напряжений V_{cc} от 4,5 до 5,5 В, требуемую зону работоспособности для С-образцов ограничили этой областью, что дало возможность существенно повысить быстродействие синхронных вариантов ПП-порта.

В связи с этим реализация С-варианта ПП-порта была упрощена, а возможность оценки мощности потребления ТГ – затруднена. Это делает сравнительную оценку С- и СС-вариантов ПП-порта менее объективной. Поэтому при сравнении результатов испытаний БМК-образцов и результатов моделирования на подсистеме МОЛОТ следует сопоставлять на абсолютные, а относительные цифры, т.е. качественные результаты.

Результаты испытаний партии самосинхронных БИС “Микроядро” подтвердили их работоспособность в беспрецедентно широкой области питающих напряжений V_{cc} – от 0,4 В ($T = 25^{\circ}C$) до 14 В. Однако при повышении питающего напряжения свыше 12 В резко возрастает вероятность невозможной деградации параметров БИС; поэтому в дальнейших сравнениях учитывался только уровень напряжения до 12 В.

Испытания С- и СС-вариантов ПП-порта показали преимущества в пользу СС-варианта (строки 7 и 8 табл. 2):

- по аппаратным затратам: в 1,2 раза;
- по быстродействию: в 1,21 раза;
- по энергетической эффективности: в 1,32 раза;
- по интегральной эффективности: в 18 раз.

Приведенные сравнительные результаты справедливы при типе линии II (минимальная длина линия связи – аналог решения "две микросхемы на печатной плате"). Другие, более длинные типы линии связи (III и IV) не удовлетворяли условиям проведения испытаний в термокамере на верхнем температурном диапазоне ($+125^{\circ}C$). При большей длине последовательного канала связи выигрыш самосинхронного ПП-порта скромнее: например, в 12,1 раза в пользу СС-варианта по интегральной эффективности. Это связано с потерями времени на реализацию запрос-ответного механизма обмена по каналу связи для СС-варианта (в С-варианте отсутствует). Однако, если длина канала связи превышает 5 метров, вместо традиционного парафазного кода со спейсером целесообразно использовать другой тип СС-кодирования – парафазный код в изменениях

(ПКИ). При этом снижение быстродействия ПП-порта на базе ПКИ с увеличением длины канала связи будет таким же незначительным, как и для С-варианта [17].

В строках 9 и 10 приведены результаты моделирования других возможных вариантов построения отказоустойчивых ПП-портов: синхронного с мажорированием и самосинхронного с замещением отказавшего разряда.

С-вариант ПП-порта с мажорированием по сравнению с С-вариантом по методу дублирования обладает чуть меньшими аппаратными затратами (на 10 %) и практически тем же быстродействием.

СС-вариант ПП-порта с замещением отказавшего разряда уступает СС-варианту по методу дублирования и по затратам (на 26 %), и по быстродействию (на 6 %). Это несколько больше по сравнению с результатами моделирования этих вариантов с использованием открытой библиотеки (строки 5 и 6 табл. 2). Причина очевидна: отсутствие в библиотеке 5503 элементов, необходимых для эффективной реализации саморемонтирующихся РС, с одной стороны, и специфика объекта саморемонта – последовательное соединение отдельных разрядов в рамках РС, с другой стороны. Последнее обстоятельство заставляет вводить на входах работоспособных разрядов РС дополнительные мультиплексоры для обхода отказавших разрядов.

Замена неисправного элемента схемы резервным по методу скользящего резервирования с замещением посредством сдвига для параллельных однородных структур очень эффективна и в полной мере использует все возможности СС-схем по локализации неисправности. В случае возникновения неисправности в элементе однородной структуры он просто удаляется из структуры логическими средствами (подобно элементу из списка), а размерность структуры восстанавливается за счет подключения к ней резервного элемента. При этом аппаратные затраты на необходимое коммутационное оборудование незначительны, быстродействие исправных элементов структуры остается неизменным (соответствует их быстродействию в самопроверяющемся варианте), и лишь быстродействие резервного элемента немного снижается.

5. Заключение

1) Аппаратная реализации самопроверяющихся СС-схем принципиально более сложна, чем их синхронных (традиционных, несамопроверяющихся) аналогов, главным образом из-за необходимости использования самосинхронной дисциплины кодирования информационных сигналов и индцирования окончания переключения всех элементов схемы в каждой фазе работы. Соотношение аппаратных затрат С- и СС-вариантов может достигать до 2.1 раза в пользу синхронного варианта для регистровых структур (см.

строки 1 и 3 в табл. 2) и до 2,5 раз для комбинационных структур. Тем не менее, результаты сравнения даже таких функционально неравнозначных устройств показывают, что СС-схемы обеспечивают более высокое быстродействие аппаратуры и в ряде случаев существенно меньшее энергопотребление. Поэтому применение СС-схемотехники может быть оправдано даже в областях, где высокая надежность функционирования не является определяющей, но требуется высокое быстродействие или низкое энергопотребление.

2) Применение СС-схемотехники в высоконадежных обслуживаемых компьютерных системах (допускающих останов для проведения ремонта) предпочтительно и экономически целесообразно. СС-реализация характеризуется существенным преимуществом по сравнению с С-реализацией по всему спектру рассмотренных параметров: в 2,7 раза по быстродействию, в 1,27 раза по аппаратуре, в 1,6 раза по энергетической и интегральной эффективности.

3) В высоконадежных отказоустойчивых системах реального времени применение СС-схемотехники наиболее предпочтительно. Результаты испытаний отказоустойчивых вариантов исполнения ПП-порта в составе БМК БИС "Микроядро" показали, что СС-исполнение по сравнению с С-реализацией характеризуется лучшими показателями по всем параметрам: в 1,21 раза по быстродействию, в 1,2 раза по аппаратуре, в 1,32 раза по энергетической эффективности и в 1,8 раза по интегральной эффективности.

4) Подводя итог сравнения синхронных и СС-вариантов реализации отказоустойчивого ПП-порта, необходимо подчеркнуть принципиальную разницу между ними. СС-устройства обладают свойством абсолютной достоверности своей работоспособности: любая константная неисправность приводит к останову работы схемы независимо от места ее появления. Признаком выхода из строя СС-схемы служит отсутствие переключений ее индикаторного выхода. Синхронные же отказоустойчивые устройства при приемлемых аппаратурных затратах не могут гарантировать стопроцентного обнаружения отказа в любой части схемы. Дублирование и троирование основных функциональных узлов обеспечивает надежный контроль только при условии исправной работы устройств сравнения. Если устройство сравнения "залипнет" в состоянии, соответствующем исправной работе рабочего регистра, блок контроля этого не покажет, и схема будет выглядеть по-прежнему работоспособной независимо от реального положения дел.

Использование дублирования или мажорирования устройств сравнения в синхронных отказоустойчивых схемах отчасти смягчает эту проблему, но не снимает ее полностью. Поэтому реально отказоустойчивыми и обеспечивающими достоверность работоспособности схемы являются только СС-варианты ее реализации.

Список литературы

1. *Muller D., Bartky W.* A theory of asynchronous circuits. // *Annals of computation laboratory of Harvard University*, V.29, 1959. — P. 204-243.
2. Аperiodические автоматы. Под ред. *В.И. Варшавского*. М.: Наука, 1976. — 424 с.
3. Автоматное управление асинхронными процессами в ЭВМ и дискретных системах. / Под ред. *В.И. Варшавского*. — М.: Наука, 1986. — 400 с.
4. *Varshavsky V., Kishinevsky M., Marakhovsky V. et al.* Self-timed Control of Concurrent Processes. / Ed. by V.Varshavsky - Kluwer Academic Publishers, 1990. — 245 p.
5. *Paver N.C., Day P., Farnsworth C., Jackson D.L., Lien W.A., Liu J.*, "A Low-Power, Low-Noise, Configurable Self-Timed DSP," *async*, p. 0032, Fourth International Symposium on Advanced Research in Asynchronous Circuits and Systems (ASYNC '98), 1998.
6. *Mikko Laiho and Olli Vainio.* A Full-Custom Self-Timed DSP Processor Implementation /www.imec.be/esscirc/papers-97/172.pdf.
7. *Garside J.D., et al.*: AMULET3i – an asynchronous system-on-chip. Proc. Async 2000 Eilat, Israel (Apr. 2000) 162-175.
8. *Efthymiou A., Garside J.D., Temple S.* A comparative power analysis of an asynchronous processor. /patmos2001.eivd.ch/program/Repro%5CArt_10_1.pdf.
9. *Соколов И.А., Степченков Ю.А., Петрухин В.С., Дьяченко Ю.Г., Захаров В.Н.* Самосинхронная схемотехника – перспективный путь реализации аппаратуры // *Наукоемкие технологии*. 2007. №2-3.
10. *Филин А.В.* "Самосинхронизация – естественный путь обеспечения долгоживучести интегральных схем". Сборник "Системы и средства информатики", М., Наука, вып. 9, 1999, с. 242-247.
11. *Филин А.В., Степченков Ю.А.* Компьютеры без синхронизации. // *Системы и средства информатики: Вып. 9 / Под ред. И.А. Мизина*. — М.: Наука. Физматлит, 1999. — С. 247-261.
12. *Степченков Ю.А., Петрухин В.С., Дьяченко Ю.Г.* Опыт разработки самосинхронного ядра микроконтроллера на базовом матричном кристалле. / *Нано- и микросистемная техника*, №5, 2006. – С. 29-36.
13. *Степченков Ю.А., Денисов А.Н. и др.* Библиотека элементов базовых матричных кристаллов для критических областей применения. // *Системы и средства информатики: Вып. 14 / Под ред. И.А. Соколова*.— М.: Наука, Физматлит, 2004. — С. 318–361.
14. *Сологомоян Е.С., Слабаков Е.В.* Самопроверяемые устройства и отказоустойчивые системы. — М.: Радио и связь, 1989. — 208 с.
15. *Степченков Ю.А., Дьяченко Ю.Г., Петрухин В.С., Филин А.В.* Цена реализации уникальных свойств самосинхронных схем. // *Системы и средства информатики: Вып. 9 / Под ред. И.А. Мизина*. — М.: Наука. Физматлит, 1999. — С. 261-292.
16. *Колеников С.* Микропроцессоры в преддверии следующего тысячелетия. / *Computer Weekly*, N 43, 1998, с. 25-26.
17. Исследование и логическая разработка экспериментальной самосинхронной вычислительной микросхемы в КМОП-базисе // Отчет о НИР промежуточный за этап 2, шифр "Архитектура-2", № г.р. 01.9.70008178. – М.: ИПИ РАН, 1998, 296 с.