

7. Корляков А. В. Мембраны для приборов микросистемной техники // Петербургский журнал электроники. 2006. № 4. С. 62—73.

8. Hök B., Tenerz L., Gustafsson K. Fibre-optic sensors: A micro-mechanical approach // Sensors and Actuators. 1989. V. 17, Is. 1—2. P. 157—166.

9. Gustafsson K., Hök B. A fibre optic pressure sensor in silicon based on fluorescence decay // Sensors and Actuators. 1989. V. 19, Is. 4. P. 327—332.

10. Бонцаенко В. Е., Виговская Т. В., Кокин Е. П., Смирнов А. А., Сурин Ю. В. Интегральный преобразователь дав-

ления: пат. РФ № 2186438, кл. H01L29/84, приоритет от 21.06.2001.

11. Dziuban J. A., Gorecka-Drzazga A., Lipowicz U. Silicon optical pressure sensor // Sensors and Actuators A. 1992. V. 32. P. 628—631.

12. Dziuban J. A. Bonding in Microsystem Technology. Springer, 2006. 349 p.

13. Antunes P., Domingues F., Granada M., André P. Mechanical Properties of Optical Fibers // Selected Topics on Optical Fiber Technology / Dr Moh. Yasin (Ed.). InTech, 2012. P. 538—550.

V. A. Gridchin¹, Dr. Sci. (Tech.), Prof., V. Yu. Vasilyev², Dr. Sci. (Chem.), Prof., M. A. Chebanov², Researcher, A. D. Byalik², As. Prof., A. S. Chernov², Grad. Stud.

¹ Novosibirsk State Technical University

² LLC "RAMIT", Novosibirsk

A NUMERICAL SIMULATION OF THE PHOTOELECTRIC FIBER OPTIC PRESSURE SENSOR COMPONENTS

A numerical model of an optomechanical unit of the photoelectrical pressure sensor is presented in this paper. The optomechanical unit consists of a bulk micromachined bossed silicon diaphragm and an optical fiber. The research of conditions when pressure-actuated optical fiber free end displacement reach its maximum is performed by means of finite element method. It is shown that maximum sensitivity of the optical fiber free end displacement to an applied pressure can be achieved by proper location of a boss relative to diaphragm center with dependence on the diaphragm thickness. Features of output characteristics of the photoelectric pressure sensor with single photodiode and one with couple photodiodes operating in differential mode are considered in the scope of this paper.

Keywords: optical fiber, photoelectrical pressure sensor, finite element method

УДК 621.3.049.77

А. С. Сивченко, мл. науч. сотр., Е. В. Кузнецов, нач. лаб.,

e-mail: asivchenko@yandex.ru

НПК "Технологический центр"

МЕТОДИКИ АНАЛИЗА ОСНОВНЫХ ХАРАКТЕРИСТИК НАДЕЖНОСТИ В КМОП ИС С ПОМОЩЬЮ ТЕСТОВЫХ СТРУКТУР В СОСТАВЕ ПЛАСТИН

Представлены методики, позволяющие с помощью ускоренных измерений тестовых структур в составе пластин определять время наработки до отказа линии металлизации и деградацию параметров МОП-транзисторов под действием горячих носителей. Также в работе представлена методика, позволяющая определять дефектность подзатворного диэлектрика.

Ключевые слова: надежность, отказ, металлизация ИС, горячие носители, дефектность

В настоящее время основной тенденцией увеличения производительности интегральных схем (ИС) является непрерывное уменьшение топологических размеров. Однако, вместе с этим, вопросы надежности выпускаемых схем становятся все более актуальными, так как уменьшение размеров приводит к проявлению новых физических механизмов отказа. Поэтому на полупроводниковых фабриках при переходе к меньшим проектным нормам проводится разработка методов по анализу вновь возникающих типов отказов и увеличению надежности выпускаемой продукции.

Основные явления, определяющие надежность КМОП ИС, условно можно разделить на следующие: зависимый

от времени пробой диэлектрика (TDDV), горячая инжекция носителей (HCI), электромиграция проводящих шин (EM) [1].

В ходе работы нами разработаны методики по контролю электромиграции проводящих шин, горячей инжекции носителей в МОП-транзисторах и зависимость от времени пробоя диэлектрика. В основе методик лежат алгоритм получения необходимых параметров, тестовые структуры и программа измерений, позволяющая проводить измерения тестовых структур в автоматическом режиме [2].

Для контроля электромиграции проводящих шин разработана методика контроля. Целью методики явля-

ется определение времени наработки до отказа линии металлизации под действием электромиграции.

Для проведения измерений спроектированы специальные тестовые структуры. Каждая из них направлена на один доминирующий механизм отказа: электромиграция в контактном окне, в длинной линии, в линии на рельефе.

Дизайн тестовых структур разработан с учетом размещения их в составе пластин и возможностью тестирования при высоких значениях ускоряющих факторов деградации. За основу алгоритма тестирования выбран изотермический тест [3]. Данный вид испытаний на электромиграцию относится к высокоускоренным испытаниям, в котором основными ускоряющими факторами является высокая плотность тока и высокая температура тестовой линии. Основным преимуществом данного алгоритма является быстрое получение параметров модели электромиграции и хорошая корреляция полученных данных с более долгими классическими алгоритмами контроля [3].

Во время тестирования при воздействии тока на структуру происходит нагрев тестовой линии до заданной эффективной температуры. В процессе стресс-тестирования за счет электромиграционного разрушения сопротивление тестовой линии непрерывно возрастает, и при подаче постоянного тока, как это делается в классических алгоритмах контроля, рассеиваемая мощность в структуре увеличивается, тем самым проявляется эффект локального саморазогрева структуры. Применяемый алгоритм лишен данного недостатка, так как за счет цикла обратной связи происходит непрерывный контроль рассеиваемой мощности и снижение подаваемого тока при пропорциональном увеличении сопротивления тестовой линии. Отказ линии определяется как резкое увеличение сопротивления. Анализ отказов проводится с учетом их логнормального распределения и уравнения Блэка, на основе которого определяется время наработки до отказа проводящей линии:

$$t_{50} = AJ^n \exp\left(\frac{E_a}{kT}\right), \quad (1)$$

где t_{50} — среднее время наработки до отказа; J — плотность тока в металлической линии; n — параметр модели для плотности тока; E_a — энергия активации процесса электромиграции; T — температура тестовой линии; A — константа; k — постоянная Больцмана.

В предположении, что плотность тока постоянна, преобразуем уравнение (1) к виду

$$\ln(t_{50}) = \frac{E_a}{k} \frac{1}{T} + C, \quad (2)$$

где C — константа.

Уравнение (2) носит линейный характер, поэтому для нахождения E_a необходимо построить зависимость $\ln(t_{50})$ от $1/T$ и с помощью линейной аппроксимации по методу наименьших квадратов рассчитать значение E_a .

В предположении, что температура тестовой линии в уравнении Блэка постоянна, преобразуем формулу (1) к виду

$$\ln(t_{50}) = -n \ln(J) + B, \quad (3)$$

где B — константа.

Уравнение (3) носит линейный характер, поэтому для нахождения n необходимо построить зависимость $\ln(t_{50})$ от $\ln(J)$ и с помощью линейной аппроксимации по методу наименьших квадратов рассчитать значение n .

Для расчета E_a проводится выборка измерений при различных температурах тестовой линии и постоянной плотности тока, а для расчета n — при различных плотностях тока и постоянной температуре. На практике измеренные значения параметров моделей для Al тестовой линии составляют $n \approx 2$ и $E_a \approx 0,6$.

Деградация параметров МОП-транзисторов под действием горячей инжекции носителей (НСИ) является важной проблемой в обеспечении надежности современных ИС. В результате увеличения функциональности ИС за счет масштабирования происходит непрерывное снижение длины канала в МОП-транзисторах, что приводит к возникновению больших электрических полей в нем и появлению горячих носителей в канале вблизи области стока. Электрическое поле разгоняет носителей в канале транзистора до высокой эффективной температуры, и носители в таком поле приобретают высокую энергию, поэтому их называют горячими. При движении в канале они передают свою энергию решетке, в результате чего разрушается связь Si—SiO₂, а также они могут быть захвачены на ловушках в SiO₂. Захват носителей или разрыв связей меняет заряд диэлектрика и создает поверхностные ловушки в SiO₂, что критически сказывается на производительности транзистора и ухудшает его основные характеристики: крутизну, пороговое напряжение, ток стока и др. Скорость изменения каждого параметра зависит от топологических особенностей транзистора и технологических особенностей его изготовления.

Для эффективной оценки транзисторов на стойкость к деградации под действием горячих носителей нами разработана методика контроля. Целью методики является определение времени наработки до отказа при заданных условиях эксплуатации наиболее чувствительного параметра транзистора к деградации под действием горячих носителей.

В качестве тестовых структур для измерений выступают n МОП- и p МОП-транзисторы с минимальной допустимой длиной канала, которую обеспечивает применяемая технология.

В качестве ускоряющих величин используются высокие значения V_{ds} и V_{gs} , обеспечивающие большую напряженность электрического поля по оси x и y соответственно. Во время теста к структуре прикладываются стрессовые воздействия V_{ds} и V_{gs} , далее после каждого цикла стресса контролируемые параметры измеряют и сравнивают их с первоначальными значениями. Выход из стрессовой фазы и дальнейший анализ данных происходит после того, как ухудшение одного из контролируемых параметров достигает критерия выхода либо заканчивается общее время, отведенное на стрессовые циклы. В качестве моделей отказа в методике используется модель соотношения токов подложка—сток или, как ее еще называют, Lucky Electron Model (LEM) [4]. Согласно данной модели время наработки до отказа определяется формулой

$$t_{50} = \frac{HW}{I_d} \left(\frac{I_b}{I_d}\right)^{-m}, \quad (4)$$

где t_{50} — среднее время наработки до отказа; H и m — параметры модели; W — ширина транзистора; I_b и I_d — ток подложки и ток стока при стрессовых параметрах.

Если измерения проводятся на транзисторах с одинаковой шириной канала, то величина W может быть объединена с параметром H , тогда формулу (4) можно привести к виду

$$\ln\left(\frac{t_{50} I_d}{W}\right) = \ln(H) - m \ln\left(\frac{I_b}{I_d}\right). \quad (5)$$

Уравнение (5) носит линейный характер, поэтому для нахождения параметров моделей необходимо провести выборку измерений при различных параметрах стресса и путем линейной аппроксимации по методу наименьших квадратов рассчитать значение H и m . Значение параметров моделей зависит от технологии и параметров стресса и в наших измерениях составляло $m \approx 3$, $H \approx 10^{-3}$.

Оценка качества подзатворного диэлектрика МОП-транзисторов проводится с помощью методов зависимо-го от времени пробоя диэлектрика (ТДВВ) и является важной задачей в увеличении надежности МОП-транзисторов [5]. Целью разработанной методики являются оценка плотности привнесенной дефектности в диэлектрик и определение его времени наработки до отказа.

В качестве тестовых структур для измерения используются МОП-конденсаторы различной площади и различным соотношением периметров по границе изоляции и диффузии. Такой набор тестовых структур позволяет разделить дефекты с точки зрения границы их расположения и выявить источник привносимых дефектов. Методика по контролю дефектности диэлектрика основана на измерении падения напряжения МОП-структуры под воздействием ступенчато возрастающего тока и расчета заряда Q_{bd} , инжектированного в диэлектрик до момента пробоя:

$$Q_{bd} = \int_{t=0}^{t=t_{bd}} I dt, \quad (6)$$

где I — стрессовый ток, воздействующий на структуру; t_{bd} — время, прошедшее с начала тестирования до пробоя.

Для определения дефектности оксида необходимо провести выборку измерений и построить накопительное распределение заряда пробоя в предположении, что вид функции распределения заряда $F(Q_{bd})$ имеет распределение Вейбулла. Накопительное распределение будет

носить бимодальный характер, т. е. является суперпозицией двух функций распределения, одна из которых связана с внутренними дефектами, генерируемыми под действием электрического поля, а другая — с внешними дефектами, привнесенными в процессе производства. Проводя линейную аппроксимацию накопительного распределения, можно найти точку, разделяющую два распределения, с помощью которой рассчитывается привнесенная дефектность. В разработанной методике для расчета дефектности используется распределение Пуассона (7), однако возможно использовать более сложные распределения [6]:

$$D = \frac{\ln(1-F)}{S}, \quad (7)$$

где D — рассчитанная плотность внешних дефектов; F — точка разделения двух распределений (процент дефектных структур по подзатворному оксиду); S — площадь диэлектрика тестовой структуры.

На практике привнесенная плотность дефектов должна иметь как можно более низкие значения.

С помощью разработанных методик были получены параметры моделей отказов и оценена дефектность диэлектрика. Данные методики прошли апробацию в производстве НПК "Технологический центр" и используются для анализа основных характеристик надежности и совершенствования технологического процесса.

Список литературы

1. Ohring M. Reliability and Failure of Electronic Materials and Devices. Academic Press, 1998. Ch. 5. P. 259.
2. Сивченко А. С. Разработка методов мониторинга параметров технологических процессов и анализ отказов с помощью ускоренных методов измерений тестовых структур в составе пластин // Тр. 15-й Российской научно-технической конф. "Электроника, микро- и нанoeлектроника". М.: Изд-во МИФИ. 2013. 64 с.
3. Standart JEDEC Isothermal Electromigration Test Procedure JESD61A.01. October 2007.
4. Hu C. A lucky-electron model of hot-electron emission, in International Electron Devices // Meeting Technical Digest. 1979. P. 22–25.
5. Stathis J. H. Physical and predictive models of ultrathin oxide reliability in CMOS devices and circuits // IEEE Transactions on Device and Materials Reliability. 2001. V. 1. P. 43–59.
6. Зи С. М. Технология СБИС. В 2-х кн. Кн. 2: Пер. с англ. / Под ред. Ю. Д. Чистякова. М.: Мир, 1986. С. 397–403.

A. S. Sivchenko, Junior Researcher, E. V. Kuznetsov, Head of Laboratory, Scientific-Manufacturing Complex "Technology Center" MIET

METHODS OF ANALYSIS OF THE MAIN CHARACTERISTICS OF A CMOS IC RELIABILITY USING TEST STRUCTURES ON WAFERS

The paper presents techniques that allow measurements using accelerated test structures consisting of wafer plates to determine the time to failure time line metallization and degradation parameters of MOS transistors by hot carriers. Also work presents a methodology that allows to determine the defects of gate dielectric.

Keywords: reliability, failure, IC metallization, hot carriers, defectiveness