

ния всех несоответствий. По завершении отладки разрабатывается топология микросхемы, выполняется финишная аттестация проекта, формируется информация для изготовления БИС и передается в производство.

Заключение

В работе представлены новая технология проектирования полузаказных микросхем с применением имитаторов БИС и алгоритм разработки микросхемы.

Литература

1. Денисов А.Н. Средства оперативной разработки полузаказных БИС / А.Н. Денисов, В.В. Коняхин, С.В. Гаврилов // Труды 8-й Международной конференции «Актуальные проблемы твердотельной электроники и микроэлектроники, ПЭМ-2002». — Таганрог, 2002. — С. 56.
2. Денисов А.Н. Разработка аппаратуры специального назначения по технологии БМК-ПЛИС-БМК: тезисы докладов / А.Н. Денисов, В.В. Коняхин // IV научно-практическая конференция «Проблемы обеспечения изделий авиационной и ракетно-космической отрасли высококачественной элементной базой», Сочи, 2003, 29 сентября — 3 октября; Тезисы докладов. — Москва: МНТО РЭС им. А.С. Попова, 2003. — С. 18.
3. Денисов А.Н. Обеспечение качества РЭА на этапе проектирования специализированной ЭКБ / А.Н. Денисов, Н.А. Шелепин // Петербургский журнал электроники. — 2004. — № 3—4. — С. 169.
4. Басаев А.С. Методология проектирования радиационно-стойких микросхем на основе БМК для космических аппаратов / А.С. Басаев, А.Н. Денисов, В.В. Коняхин, П.П. Мальцев // Материалы III Всероссийской научно-технической конференции «Проблемы разработки перспективных микро- и нанoeлектронных систем — 2008» (МЭС-2008). — Истра, 2008, 12—16 октября. — 8 с.

Ключевые слова: технология проектирования, средства проектирования, базовый матричный кристалл, имитатор микросхемы.

Index Terms: design technology, design tools, gate array IC, microcircuit prototype.

САПР специализированных СБИС «Ковчег» Kovcheg CAD for ASIC design

Коняхин В.В.,
начальник отдела ОИМ, НПК «Технологический центр»
Konyakhin V.V.,
Chief of IC department, SMC «Technological Centre»

Гаврилов С.В.,
начальник лаборатории, НПК «Технологический центр»
Gavrilov S.V.,
Laboratory Chief, SMC «Technological Centre»

Алешина В.И.,
ведущий инженер-программист, НПК «Технологический центр»
Aleshina V.I.,
lead programmer-engineer, SMC «Technological Centre»

Макарцева М.М.,
младший научный сотрудник, НПК «Технологический центр»
Makartseva M.M.,
junior research scientist, SMC «Technological Centre»

Россия, 124498, г. Москва, г. Зеленоград, проезд 4806, д. 5,
тел. +7 (499) 720 89 92, +7 (499) 720 87 93,
den@tcen.ru, www.asic.ru

Статья посвящена системе автоматизированного проектирования «Ковчег», охватывающей полный маршрут проектирования БИС для БМК.

This paper describes the CAD system «Kovcheg» which allows to go through the full ASIC design flow.

УДК 621.3.038

Для разработки специализированных микросхем на основе серий БМК 5503, 5507, 5521, 5528 и 5529, разработанных в НПК «Технологический центр», используются лицензионно чистые средства проекти-

рования (САПР «Ковчег»), которые промышленно эксплуатируются и совершенствуются более 30 лет. Сегодня САПР «Ковчег» представляет собой интегрированную систему автоматизированного проектирования, позволяющую провести все этапы проектирования полужаказной микросхемы от описания до запуска в производство, включая прототипирование [1] будущей микросхемы в составе аппаратуры заказчика.

САПР «Ковчег» позволяет с помощью текстово-графического редактора выполнить описание проекта микросхемы на языке высокого уровня Verilog и SystemVerilog и в графическом виде в базисе ячеек БМК. Подсистема функционально-логического моделирования позволяет получить временные диаграммы функционирования проекта БИС, оценить устойчивость проекта в зависимости от воздействия внешних факторов, провести анализ влияния топологических параметров на функционирование и устойчивость проекта. Совмещенная подсистема ручного и автоматического размещения ячеек на поле БМК позволяет повысить коэффициент заполнения поля БМК до 80—90%. Синтез топологии выполняется с учетом списков цепей приоритетной разводки и скоростных цепей. Подсистема верификации, с одной стороны, проверяет выполнение требований стандарта кодирования топологии БИС, с другой — осуществляет проверку соответствия полученной топологии БИС ее логической схеме. Подсистема расчета задержек в цепях топологии выполняется с учетом возможного разброса топологических параметров. Подсистема аттестации проекта позволяет проверить поведение проекта микросхемы в зависимости от значений внешних воздействующих факторов.

При разработке микросхем повышенной сложности на БМК объемом более 100 000 вентилях на данный момент на этапе логического синтеза используются сторонние средства проектирования. Разработку логической модели микросхемы на уровне RTL-описания может выполнять заказчик, используя при этом имеющиеся у него средства проектирования. Описание микросхемы должно быть подготовлено на языке высокого уровня Verilog или SystemVerilog. В целях определения объема проекта микросхемы для выбора типа БМК заказчик может выполнить синтез электрической схемы в базис

БМК с последующим моделированием. Для этого применяется параметризованная унифицированная библиотека ячеек, которая предоставляется НПК «Технологический центр» после подписания соглашения о конфиденциальности. Библиотека позволяет проводить логический синтез и моделировать полученный Verilog-netlist с учетом задержек элементов и межсоединений, используя сторонние САПР.

При переводе проекта с языка высокого уровня в базис САПР «Ковчег» рекомендуется создать тестовые последовательности как для входов, так и для выходов схемы, следуя рекомендациям, разработанным для САПР «Ковчег». Это позволит повысить качество разработки схемы и исключить появление ошибок.

Взаимодействие средств проектирования при разработке специализированной БИС на основе БМК представлено на рис. 1.

Исходной информацией для разработки топологии средствами САПР «Ковчег» является описание логической модели и тестовых воздействий с выходными реакциями на языке Verilog или SystemVerilog. Средства топологического проектирования САПР «Ковчег» позволяют наиболее эффективно использовать конструктивные особенности БМК и обеспечивают высокий коэффициент заполнения поля БМК. До изготовления образцов микросхем проект БМК может быть прототипирован средствами имитатора БИС и опробован в аппаратуре за-

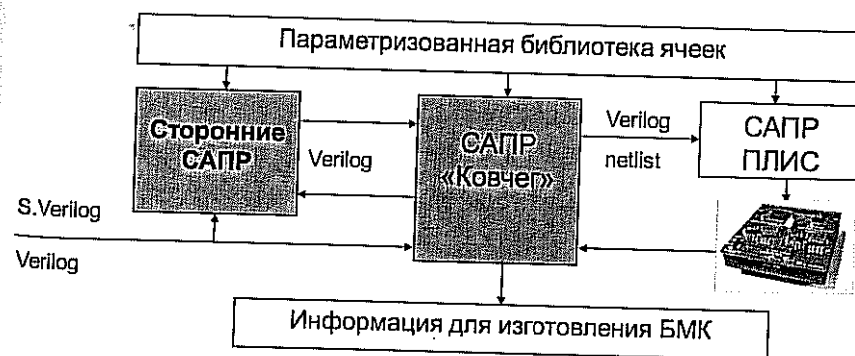


Рис. 1. Взаимодействие средств проектирования

казчика до изготовления БИС. Данный подход реализован в технологии проектирования БМК-ПЛИС-БМК [1].

Библиотека функциональных ячеек

Серии БМК 5503, 5507, 5521, 5528, 5529 имеют единую библиотеку функциональных ячеек, которая включает в свой состав все группы ячеек, реализуемых в рамках БМК, имеет удобную для пользователя систему обозначений, отражающую функциональное назначение ячеек. Схемотехническая реализация библиотечных ячеек обеспечивает их работоспособность независимо от условий применения и учитывает конструктивные особенности БМК.

Библиотека функциональных ячеек [2] включает в свой состав:

1. Библиотеку из 275 ячеек основных групп логических и триггерных ячеек, периферийных ячеек, обеспечивающих функции входа, выхода и входа/выхода цифровых и аналоговых сигналов, а также пассивное или активное доопределение внешнего контакта.
2. Библиотеку из 139 ячеек троированных триггеров с мажоритарными элементами. Данная библиотека реализована для серий 5521, 5528, 5529.
3. Библиотеку цифроаналоговых ячеек, которая включает в себя 28 ячеек, позволяющих реализовать аналого-цифровую обработку сигналов в поле БМК. Благодаря использованию библиотеки цифроаналоговых ячеек, помимо низкой потребляемой мощности, высокой надежности БМК, имеется возможность объединения цифровой и аналоговой обработки информации, что находит широкое применение в таких областях, как создание МЭМС-устройств.
4. Библиотеку специальных ячеек, которая состоит из ячеек, разработанных для конкретных применений различных заказчиков.

Таблицы истинности

САПР «Ковчег» продолжает активно развиваться, совершенствуются имеющиеся и разрабатываются новые подсистемы. В целях упрощения процесса разработки в 2015 году была реализована и введена в САПР новая подсистема синтеза комбинационных схем через определение таблицы истинности. Графический интерфейс позволяет

разработчикам значительно упростить задание функций, а параметризованный синтез — достичь результата согласно заданным условиям.

Исходными данными являются количество входных и выходных портов, которые определяют размерность таблицы истинности. В редакторе работы с таблицами реализовано два режима: автоматический и ручной ввод значений. При автоматическом режиме выводится таблица с полным перебором входных значений, напротив которых разработчик задает значения выходов. Уже на этой стадии можно применять упрощение функции самим разработчиком, программа позволяет «схлопывать» ячейки входных значений, которые не являются значимыми. В ручном режиме разработчик полностью задает наборы входных и выходных значений, включая условия «неважно» («don't care», обозначаются как X). Введенные данные представляют собой систему булевых функций, по которым строится совершенная дизъюнктивная нормальная форма (СДНФ).

Результатом синтеза является представление схемы в формате Verilog netlist. В случае небольших схем имеется возможность предоставить разработчику синтезированную схему в графическом виде, для этого реализована функция автоматической прорисовки в формате графического редактора САПР «Ковчег» (рис. 2). Это позволяет в дальнейшем использовать ее как готовую подсхему или отредактировать в графическом редакторе. При моделировании полученной схемы могут использоваться тесты, которые также автоматически создаются при синтезе, и содержат описание входных воздействий и выходных реакций для всех портов схемы.

Заключение

В статье представлена общая характеристика САПР «Ковчег» и новая подсистема синтеза комбинационных схем. Следует отметить, что промышленная версия САПР «Ковчег» для серий 5503 и 5507 свободно распространяется (сайт www.asic.ru), что создает предпосылки для более широкого применения указанных серий и подготовки специалистов в области разработки БИС.

DCT-51M		DCT-table12			
№	A	B	C	D	outA
0	0	0	X	0	0
1	0	0	X	1	0
4	0	1	X	X	0
8	1	0	0	X	1
10	1	0	1	X	0
12	1	1	0	0	1
13	1	1	0	1	0
14	1	1	1	0	0
15	1	1	1	1	1

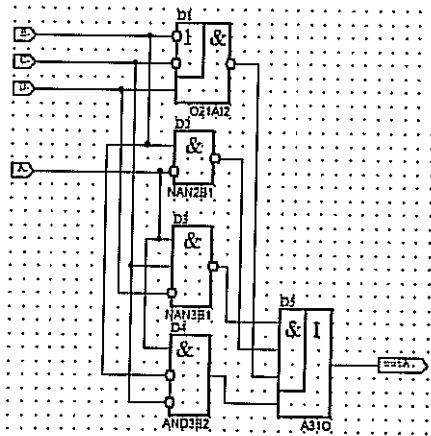


Рис. 2. Таблица истинности для схемы и отображение в графическом редакторе результатов синтеза

Литература

1. Денисов, А.Н. Методология проектирования аппаратуры по технологии БМК-ПЛИС-БМК // Известия вузов. Электроника. — 2009. — № 5. — С. 85—86.
2. Библиотека функциональных ячеек для проектирования полужаказных микросхем серий 5503 и 5507 / А.Н. Денисов, Ю.П. Фомин, В.В. Коняхин, Р.А. Федоров; под общ. ред. А.Н. Саурова. — Москва: Техносфера, 2012. — 304 с.

3. Алешина В.И. Синтез комбинационных схем из таблиц истинности в маршруте проектирования САПР «Ковчег» / В.И. Алешина, С.Н. Фролов, М.М. Макарецца, А.Д. Голенкевич // Техника и технология, новые перспективы развития. — М.: Спутник+, 2015. — С. 51—54.

Ключевые слова: базовый матричный кристалл, средства проектирования, автоматизация проектирования.

Index Terms: gate array IC, design tools, design flow automation.

Подсистемы электротеплового моделирования СВИС и печатных плат, расширяющие возможности коммерческих САПР

Петросянц К.О.^{1,2)}, д.т.н., профессор, Козынка П.А.¹⁾, Рябов Н.И.¹⁾, Харитонов И.А.^{1,3)}

¹⁾ Научно-исследовательский университет «Высшая школа экономики» (Московский институт электроники и математики), 123458, г. Москва, ул. Таллинская, д. 34,
²⁾ Институт проблем проектирования в микроэлектронике Российской академии наук, 124365, г. Москва, г. Зеленоград, ул. Советская, дом 3,
³⁾ Научно-исследовательский институт перспективных материалов и технологий, 115054, г. Москва, ул. Малая Пионерская, д. 12, тел. +7 (495) 772-95-90, доб. 15208, kpetrosyants@hse.ru

Коммерческая САПР БИС и печатных плат компании @Mentor Graphics дополнена тремя подсистемами автоматизированного электротеплового (ЭТ) моделирования:

1. Подсистема ЭТ-моделирования аналоговых ИС реализует итерационную процедуру электрического расчета схемы с помощью пакета @ELDO (MG) и теплового расчета 3D-конструкции п/п-чипа с помощью программы «ПЕРЕГРЕВ-МС» [1]. Полная автоматизация ЭТ-расчета достигнута за счет включения в среду @IC Station двух дополнительных программ: генератора ЭТ-моделей элементов и диспетчера, выполняющего функции управления вычислениями, передачи и конвертации данных.