

В работе обсуждаются технические методы и средства обеспечения ИТ-защиты СБИС СнК. Предлагаются те элементы и устройства ИТ-защиты, которые могут быть встроены в кристалл СБИС СнК.

*Ключевые слова:* СБИС СнК, информационно-технологическая безопасность, устройства защиты.

### Библиотека функциональных ячеек для самосинхронных БМК-СБИС

#### Library of functional cells for self-timed GA-VLSI

*Степченков Ю.А., к.т.н.,*

зав. отд., Институт проблем информатики  
ФИЦ «Информатика и управление» РАН,  
119333, г. Москва, ул. Вавилова, д. 44, корп. 2,  
тел. +7 (495) 671 15 20, <http://www.ipiran.ru><sup>1)</sup>,

*Stepchenkov Y.A.,*

Institute of Informatics Problems of the Federal Research Center  
“Computer Science and Control” of the RAS  
Vavilova 44/2, Moscow, 119333 Russia, <sup>2)</sup>  
Candidate of Sciences (PhD) in technology, Head of Department,  
+7 (495) 671 15 20, [YStepchenkov@ipiran.ru](mailto:YStepchenkov@ipiran.ru)

*Денисов А.Н., к.т.н.,*

нач. лаб., научно-производственный комплекс  
«Технологический центр» МИЭТ (НПК «Технологический  
центр»), 244980, г. Москва, г. Зеленоград, проезд 4806, д. 5,  
тел. +7 (499) 720 89 92, <http://www.asic.ru> <sup>3)</sup>

*Denisov A.N.,*

Technological Center scientific-industrial complex of MIET,  
journey 4806, 5, <http://www.asic.ru><sup>4)</sup>,  
Candidate of Sciences (PhD) in technology, Head of laboratory,  
+7 (499) 720 89 92, [den@tcen.ru](mailto:den@tcen.ru)

*Дьяченко Ю.Г., к.т.н., с.н.с.,*

<sup>1)</sup>, тел. +7 (495) 678 02 57, [YDiachenko@ipiran.ru](mailto:YDiachenko@ipiran.ru)

*Diachenko Y.G.,*

<sup>2)</sup>, Candidate of Sciences (PhD) in technology, Senior research  
associate, +7 (495) 678 02 57, [YDiachenko@ipiran.ru](mailto:YDiachenko@ipiran.ru)

*Гаврилов С.В.,*

<sup>3)</sup>, нач. лаб., тел. +7 (499) 720 89 92, [s.gavrilov@tcen.ru](mailto:s.gavrilov@tcen.ru)

*Gavrilov S.V.,*

<sup>4)</sup>, Head of laboratory, +7 (499) 720 89 92, [s.gavrilov@tcen.ru](mailto:s.gavrilov@tcen.ru)

*Морозов Н.В., с.н.с.,*

<sup>1)</sup>, тел. +7 (495) 678 02 57,

*Morozov N.V.,*

<sup>2)</sup>, Senior research associate, +7 (495) 678 02 57, [NMorozov@ipiran.ru](mailto:NMorozov@ipiran.ru)

*Степченков Д.Ю., с.н.с.,*

<sup>1)</sup>, тел. +7 (495) 678 02 57, [Dstepchenkov@ipiran.ru](mailto:Dstepchenkov@ipiran.ru)

*Stepchenkov D.Y.,*

<sup>2)</sup>, Senior research associate, +7 (495) 678 02 57,

[DStepchenkov@ipiran.ru](mailto:DStepchenkov@ipiran.ru)

УДК 621.3.049.77:004.032.34:004.312

Данный доклад посвящен разработке средств проектирования и изготовления самосинхронных (СС) СБИС (всех возможных классов) на основе базовых матричных кристаллов (БМК). Обновляется выбор БМК как базиса для проектирования СС-БИС. Описывается состав библиотеки элементов, обеспечивающих эффективное проектирование СС-схем различных классов на базе отечественной серии БМК 5503/5507, 5521/5528.

This report is devoted to development of design tools and production of self-timed (ST) VLSI (all possible classes) on the basis of the gate arrays (GA). GA choice, as basis for design of SS-VLSI locates. The structure of library of the elements providing effective design of SS-circuits of various classes on the basis of the GA 5503/5507, 5521/5528 domestic series is described.

В последнее время возобновился интерес к СС-схемам, поведение которых не зависит от задержек элементов (НЗЭ) и в трассах межсоеди-

нений (delay insensitive), и вычислительных системах на их основе из-за их малой мощности потребления и хорошей производительности [1]. Они обладают свойствами, в полной мере отвечающими требованиям, предъявляемым к элементной базе современных изделий вычислительной техники:

— устойчивостью к разбросу электрофизических параметров и их деградации из-за старения материалов и изменения условий эксплуатации;

— безопасностью функционирования и достоверностью результатов обработки информации;

— высоким быстродействием, максимально возможным в реальных условиях эксплуатации в зависимости от вида обрабатываемой информации.

Базируясь на теории Маллера [2], Варшавский В.И. предложил методологию проектирования НЗЭ-схем [3], которая затем была развита в Институте проблем информатики Российской академии наук (ИПИ РАН) и реализована в НПК «Технологический центр» [1, 4].

СС-схемы требуют использования специальных логических элементов, отсутствующих в стандартных (синхронных) библиотеках элементов (БЭ). Поэтому создание схмотехнического и топологического базиса проектирования вычислительных средств нового поколения на основе СС-схмотехники является актуальной задачей.

Данный доклад описывает библиотеку КМОП-элементов СС-базиса, совместно разработанную ИПИ РАН и НПК ТЦ МИЭТ и прошедшую успешную опытную эксплуатацию при создании реальных проектов на основе базовых матричных кристаллов.

Авторы считают, что в данной работе новыми являются следующие положения и результаты:

— впервые в отечественной и зарубежной практике в рамках полузаказных ИС создана библиотека самосинхронных ячеек и средства проектирования, которые позволят разрабатывать самосинхронные устройства различных классов: независимых от быстродействия их элементов; независимых от задержек элементов и отдельных проводков, независимых от задержек элементов и проводков. Такая библиотека отвечает критерию построения схем, оптимальных для реализации на их основе высоконадежных отказоустойчивых средств ВТ;

— широкая номенклатура СС-элементов (более 230 элементов) обеспечивает создание эффективных надежных цифровых схем с минимальными аппаратными затратами, с максимально возможным быстродействием, с максимально возможной зоной работоспособности, с минимальным энергопотреблением и с полной самопроверяемостью относительно константных неисправностей;

— разработанная и апробированная библиотека функциональных ячеек является полностью патентночистой и патентнозащищенной (22 патента США и РФ на изобретения).

#### Литература

1. Степченко Ю.А., Дьяченко Ю.Г., Горелкин Г.А. Самосинхронные схемы — будущее микроэлектроники // ЦНИИ «Электроника»: Вопросы радиоэлектроники, 2011. № 2. С. 153—184.
2. Muller D., Bartky W. A theory of asynchronous circuits // Annals of computation laboratory of Harvard University, V. 29, 1959. — P. 204—243.
3. Varshavsky V., Kishinevsky M., Marakhovsky V. et al. Self-timed Control of Concurrent Processes, Ed. by V. Varshavsky. — Kluwer Academic Publishers, 1990. — 245 p.
4. Степченко Ю.А., Дьяченко Ю.Г., Петрухин В.С. Опыт разработки самосинхронного ядра микроконтроллера на базовом матричном кристалле // Нано- и микросистемная техника, № 5, 2006, с. 29—36.

*Ключевые слова:* самосинхронные схемы, схемы, не зависящие от скорости элементов, квазисамосинхронные схемы, схемы, не зависящие от скорости элементов и задержек проводков, базовые матричные сигналы.

*Keywords:* self-timed circuits; speed-independent, quasi-delay-insensitive, delay-insensitive, gate array.

#### Компиляторы запоминающих устройств для систем на БМК

*Переверзев Л.Е.,*

общество с ограниченной ответственностью «Альфачип»,  
124498, г. Москва, г. Зеленоград, пл. Шокина, д. 1, стр. 8,  
тел. +7 (495) 657 98 80, leonidp@alphachip.ru

Одним из способов снижения стоимости разработки СнК (систем на кристалле) и сокращения времени выхода новых изделий микроэ-

*Степченко Юрий Афанасьевич*

Институт проблем информатики ФИЦ «Информатика и управление» РАН,  
119333, г. Москва, ул. Вавилова, д. 44, корп. 2, <http://www.ipiran.ru><sup>1)</sup>,  
к.т.н., зав. отд., +74956711520

*Stepchenkov Yuri Afanasievich*

Institute of Informatics Problems of the Federal Research Center "Computer Science and Control" of the RAS  
Vavilova 44/2, Moscow, 119333 Russia,<sup>2)</sup>

Candidate of Sciences (PhD) in technology, Head of Department, +74956711520, E-mail: [YStepchenkov@ipiran.ru](mailto:YStepchenkov@ipiran.ru)

*Денисов Андрей Николаевич*

Научно-производственный комплекс «Технологический центр» МИЭТ (НПК «Технологический центр»),  
244980, Москва, Зеленоград, проезд 4806, д.5, <http://www.asic.ru><sup>3)</sup>

к.т.н., нач. лаб., +74997208992

*Denisov Andrey Nikolaevich*

Technological Center scientific-industrial complex of MIET, *journey 4806, 5*, <http://www.asic.ru><sup>4)</sup>,  
Candidate of Sciences (PhD) in technology, Head of laboratory, +74997208992, E-mail: [den@tcen.ru](mailto:den@tcen.ru)

*Дьяченко Юрий Георгиевич*

<sup>1)</sup>, к.т.н., с.н.с., +74956780257

*Diachenko Yuri Georgiyevich*

<sup>2)</sup>, Candidate of Sciences (PhD) in technology, Senior research associate, +74956780257, E-mail: [YDiachenko@ipiran.ru](mailto:YDiachenko@ipiran.ru)

*Гаврилов Сергей Владимирович*

<sup>3)</sup>, нач. лаб., +74997208992,

*Gavrilov Sergei Vladimirovich*

<sup>4)</sup>, Head of laboratory, +74997208992, E-mail: [s.gavrilov@tcen.ru](mailto:s.gavrilov@tcen.ru)

*Морозов Николай Викторович*

<sup>1)</sup>, с.н.с., +4956780257,

*Morozov Nikolai Viktorovich*

<sup>2)</sup>, Senior research associate, +74956780257, E-mail: [NMorozov@ipiran.ru](mailto:NMorozov@ipiran.ru)

*Степченко Дмитрий Юрьевич*

<sup>1)</sup>, с.н.с., +4956780257,

*Stepchenkov Dmitrii Yurievich*

<sup>2)</sup>, Senior research associate, +74956780257, E-mail: [DStepchenkov@ipiran.ru](mailto:DStepchenkov@ipiran.ru)

### **Библиотека функциональных ячеек для самосинхронных БМК-СБИС Library of functional cells for self-timed GA-VLSI**

*Аннотация - Данный доклад посвящен разработке средств проектирования и изготовления самосинхронных (СС) СБИС (всех возможных классов) на основе базовых матричных кристаллов (БМК). Обосновывается выбор БМК, как базиса для проектирования СС-БИС. Описывается состав библиотеки функциональных ячеек, обеспечивающих эффективное проектирование СС-схем различных классов на базе отечественной серии БМК 5503/5507, 5521/5528.*

*Abstract - This report is devoted to development of design tools and production of self-timed (ST) VLSI (all possible classes) on the basis of the gate arrays (GA). GA choice, as basis for design of SS-VLSI locates. The structure of library of the elements providing effective design of SS-circuits of various classes on the basis of the GA 5503/5507, 5521/5528 domestic series is described.*

*Ключевые слова – самосинхронные схемы; схемы, независящие от скорости элементов; квазисамосинхронные схемы; схемы не зависящие от скорости элементов и задержек проводов; базовые матричные сигналы.*

*Index terms - self-timed circuits; speed-independent, quasi-delay-insensitive, delay-insensitive, gate array/*

#### **1. Введение**

В последнее время возобновился интерес к СС-схемам, поведение которых не зависит от задержек элементов (НЗЭ, speed-independent - SI) и в трассах межсоединений (delay insensitive), и вычислительным системам на их основе из-за их малой мощности потребления и хорошей производительности [1]. Они обладают свойствами, в полной мере отвечающими требованиям, предъявляемым к элементной базе современных изделий вычислительной техники:

- *устойчивостью* к разбросу электрофизических параметров и их деградации из-за старения материалов и изменения условий эксплуатации;
- *безопасностью функционирования* и *достоверностью результатов* обработки информации;
- *высоким быстродействием*, максимально возможным в реальных условиях эксплуатации и вида обрабатываемой информации;

- отказоустойчивостью при эксплуатации (автоматическим восстановлением функционирования за счет саморемонта).

Этим требованиям в полной мере отвечает самосинхронная элементная база. Базируясь на теории Маллера [2], Варшавский В.И. предложил методологию проектирования НЗЭ-схем [3], которая затем была развита в Институте проблем информатики Российской академии наук (ИПИ РАН) и реализована в НПК «Технологический центр» [1, 4].

Подавляющее большинство схемотехнических решений изделий вычислительной техники относится к синхронным и асинхронным схемам. Для проектирования этих классов схем разработаны и используются в промышленном масштабе системы автоматизированного проектирования (САПР) и библиотеки стандартных элементов для разных технологий. Однако СС-схемы требуют использования специфических логических элементов для реализации свойств, отсутствующих в библиотеках стандартных элементов. Поэтому актуальна задача создания схемотехнического и топологического базиса проектирования вычислительных средств нового поколения на основе СС-схемотехники.

Данный доклад описывает библиотеку КМОП элементов СС-базиса, совместно разработанную ИПИ РАН и НПК ТЦ МИЭТ, и прошедшую успешную опытную эксплуатацию при создании реальных проектов на основе базовых матричных кристаллов.

## 2. Функциональные особенности СС-схем и выбор базиса для их проектирования

Рассмотрим основные функциональные особенности СС-схем. На рис. 1 показано взаимодействие СС-схемы с внешней средой – источником входных данных ( $X_0, X_1, \dots, X_k$ ) и, возможно, сопровождающего их управляющего сигнала  $C$ , а также приемником результирующих данных ( $Y_0, Y_1, \dots, Y_l$ ) и обязательного сигнала  $I_e$  (выходного индикаторного сигнала, информирующего внешнюю среду о достоверности выходных результатов и завершении всех переходных процессов в СС-схеме). Управляющего сигнала  $C$  может и не быть, если входные данные представлены СС-кодом (например, парафазным со спейсером).

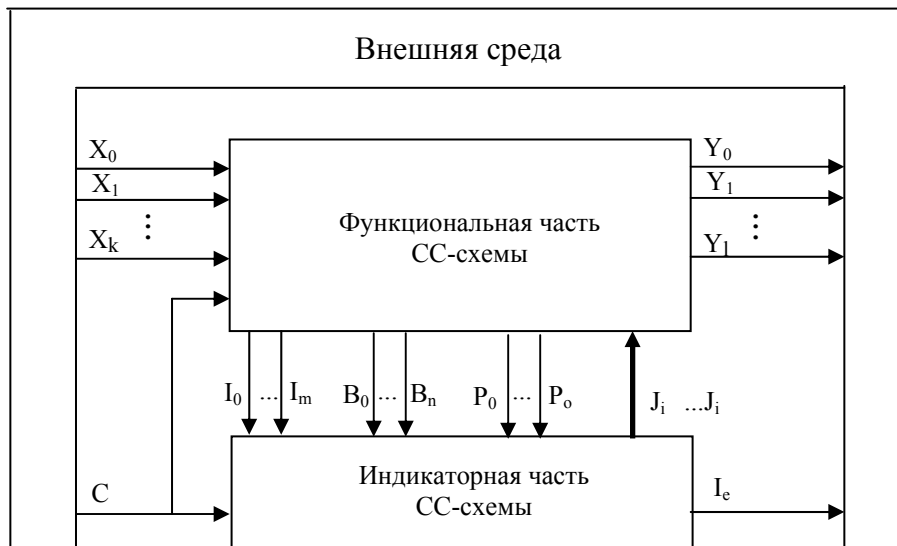


Рис. 1. Взаимодействие внешней среды с СС-схемой

- $X_0 \dots X_k$  – набор входных сигналов;
- $Y_0 \dots Y_l$  – набор выходных сигналов;
- $C$  – необязательный управляющий сигнал со стороны среды;
- $I_0 \dots I_m$  – набор инфазных (фазовых, непарных) сигналов;
- $B_0 \dots B_n$  – набор бифазных сигналов (парных сигналов без состояния спейсера);
- $P_0 \dots P_o$  – набор парафазных сигналов (парных, с третьим устойчивым состоянием – спейсером);
- $J_0 \dots J_l$  – набор промежуточных внутренних индикаторных сигналов;
- $I_e$  – основной выходной индикаторный сигнал.

СС-схема условно разбивается на две части – функциональную часть (ФЧ), выполняющую обработку входных данных, и индикаторную часть (ИЧ), фиксирующую окончание переходных процессов в отдельных частях ФЧ и СС-схемы в целом. Взаимодействие внешней среды с СС-схемой характеризуется двумя особенностями: запрос-ответным механизмом обмена и двухфазной дисциплиной работы – за каждой фазой обработки информации следует нерабочая фаза (гашение, или спейсер). При этом на время установки и сброса запрос-ответных сигналов и, соответственно, время нахождения СС-схемы в рабочей фазе и в спейсере не накладываются никаких ограничений. Эти времена могут быть сколь угодно большими, но конечными.

СС-схемы имеют два базовых свойства (первое – фундаментальное, следует из только что сказанного):

- независимость от задержек распространения сигналов в элементах и соединительных проводах (трассах межсоединений);

- индицируемость всех функциональных элементов.

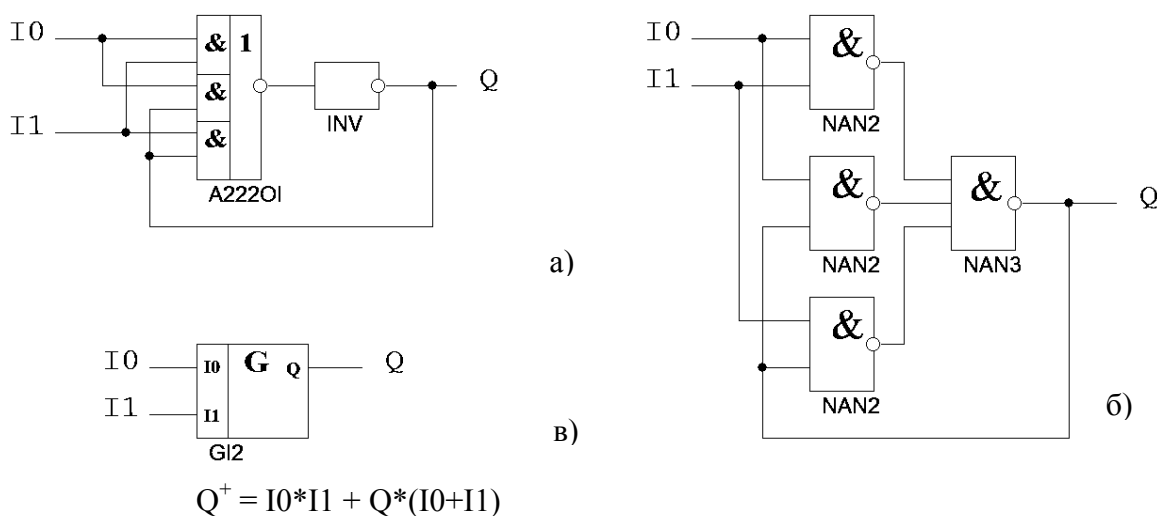
Каждый отдельный функциональный элемент должен удовлетворять требованию индицируемости: любой инициированный переходный процесс (процесс возбуждения) в этом элементе должен быть завершен в текущей фазе работы, и факт завершения должен быть зафиксирован (индицирован). Снятие возбуждения до завершения переходного процесса - признак нарушения самосинхронности.

Одно из наиболее простых, но не оптимальных и не обязательных, требований построения сложных многокаскадных элементов для самосинхронных реализаций - возможность индикации каждого его внутреннего выхода, т.е. каждого каскада.

Эти свойства порождают особенности реализации СС-схем.

1) *Однокаскадная реализация индикаторов* – логических элементов, индицирующих завершение процесса переключения в СС-схеме. Индикаторные элементы, по существу, являются средством синхронизации процессов в СС-схемах. Теоретически и практически доказано [5], что корректные индикаторные элементы нельзя построить только на упрощенном базисе И-НЕ и ИЛИ-НЕ. Для его построения необходим базис И-ИЛИ-НЕ/ИЛИ-И-НЕ.

Поясним необходимость этого свойства на примере. На рис. 2 приведены две реализации индикатора для двух инфазных (фазовых) сигналов – так называемого гистерезисного триггера (G-триггера), а в табл. 1 – его таблица истинности. Если наборы на входах  $I0$  и  $I1$  (00 и 11) фиксируются на длительное время, за которое успевают закончиться все переходные процессы, оба варианта реализации свободны от состязаний. Однако если в схеме, показанной на рис. 2а, изменение выхода является признаком окончания всех переходных процессов, то в схеме на рис. 2б после изменения выхода переходные процессы в элементах первого каскада могут продолжаться.



**Рис. 2. Две реализации G-триггера для двух унарных сигналов:**

- а) корректная – однокаскадная в своей основной логической части;
- б) некорректная (двухкаскадная);
- в) условное графическое обозначение и функция G-триггера

**Таблица 1. Таблица истинности элемента GI2**

№	Входы		Выход
	I0	I1	Q
1	0	0	0
2	0	1	Хранение
3	1	0	Хранение
4	1	1	1

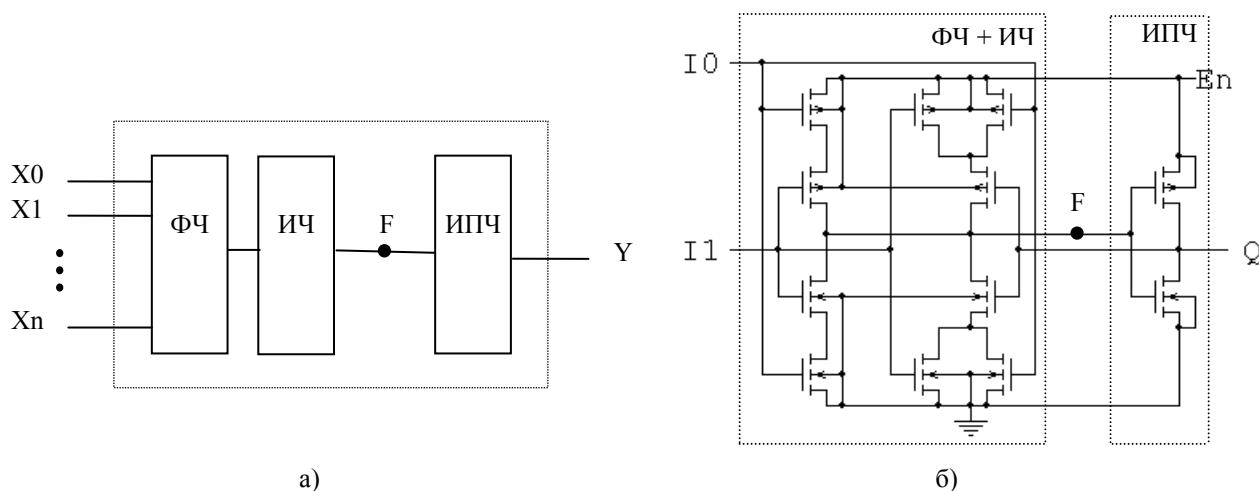
G-триггер должен индицировать окончание переходных процессов не только в схемах, выходы которых подключены к его входам, но и в себе самом. При этом предполагается, что логические состязания внутри однокаскадного элемента невозможны, так как время его переключения определяется, в основном, временем перезаряда его выходной емкости.

Рассмотрим возможные состязания в схеме на рис. 2б. Пусть исходное состояние  $I0=I1=0$ , при котором на выходах всех элементов первого каскада сигналы равны 1, а  $Q=0$ . Изменение выхода ( $Q=1$ ) произойдет после того, как выполнится условие  $I0=I1=1$ . Предположим, что задержки элементов первого яруса, охваченных обратной связью, так велики, что сигнал на выходе хотя бы одного элемента остался равным 1 (напомним, что СС- схема - в данном случае G-триггер - должна работать корректно при любых величинах задержек элементов, ее составляющих), в то время как один из входов  $I0$  или  $I1$  перешел в исходное состояние 0. При этом выход элемента, выполняющего функцию  $\overline{I0 * I1}$ , станет равным 1. Тогда выход Q может перейти из 1 в 0, не дожидаясь окончания переходных процессов в других элементах первого яруса, т.е. выполнения условия  $I0=I1=0$ ; схема, таким образом, не выполнит функцию индикатора – выходы элементов первого каскада оказываются не индицируемыми.

Более точное понятие однокаскадности логического элемента с позиции гипотезы Маллера, лежащей в основе построения СС-схем, формулируется следующим образом:

- а) элемент имеет один или несколько входов и один выход;
- б) все входы и выходы принимают только значения логических констант "0" и "1";
- в) задержка элемента приведена к его выводу.

Анализ гипотезы Маллера позволяет определить структуру базового СС-элемента (рис. 3). Если функциональная часть (ФЧ) будет выполнена как схема с одним каскадом, то задержка базового элемента (инерционная часть, ИЧ) будет сосредоточена на его выходе  $F$ , и третье условие гипотезы Маллера будет соблюдено.



**Рис. 3. Базовый СС-элемент с однокаскадной функциональной частью:**

а) структура базового элемента;

б) принципиальная схема G-триггера (G12), соответствующая этой структуре.

ФЧ – однокаскадная функциональная многовходовая часть;

ИЧ – инерционная часть;

ИПЧ – часть, содержащая произвольное число последовательно включенных инверторов и повторителей

После однокаскадной функциональной части могут следовать только инверторы или повторители. При этом, контролируя выход  $Y$ , мы контролируем окончание переходного процесса во всем базовом СС-элементе.

Как правило, библиотеки стандартных элементов САПР содержат элементы базиса И-ИЛИ-НЕ/ИЛИ-И-НЕ, необходимого для проектирования СС-схем. Но для повышения эффективности схемотехнического синтеза и получения оптимальных схемотехнических решений целесообразно расширить библиотеку элементами, оптимизированными для использования в составе СС-схем.

2) *Контроль и учет длины линий соединений.* В соответствии с гипотезой Маллера вся задержка логического элемента (ЛЭ) сосредоточена на его выходе. В то время (60-ые годы прошлого столетия) задержки логических элементов существенно превышали задержки линий связи в рамках интегральной схемы (ИС). По мере уменьшения топологических норм ситуация изменилась: задержки логических элементов уменьшились, и преобладающей стала задержка в соединяющих линиях. В случае ветвления связи (выход ЛЭ подключен к входам более чем одного приемного ЛЭ) гипотеза Маллера может не работать.

Для того, чтобы гипотеза Маллера оставалась справедливой для схем субмикронного диапазона, необходимо либо разрабатывать новые подходы, либо учитывать задержку, вносимую линией связи индикаторной части СС-схемы.

### 3. Библиотека элементов для СС-схем

Отметим, что в большинстве библиотек стандартных элементов на КМОП транзисторах схемы однокаскадных элементов имеют не более трех последовательно включенных транзисторов n- и p-типов последовательно включенных транзисторов p-типа. Это обеспечивает оптимум в синхронных схемах – достижение максимума возможного быстродействия при минимуме числа используемых транзисторов. Как уже отмечалось выше, чем для СС-схем больше глубина (число каскадов) функциональной части схемы, тем больше число точек, которые необходимо индицировать, и, следовательно, больше индикаторная часть СС-схемы и ниже быстродействие всей схемы. Экспериментальным путем установлено, что для СС-схем оптимум достигается при использовании не более *четырех* последовательных транзисторов n- и p-типа. При этом обеспечивается необходимая помехоустойчивость КМОП схем. Этот принцип был использован при разработке СС-.

#### 3.1. Состав библиотеки функциональных ячеек для СС-схем

В состав библиотеки функциональных ячеек (ФЯ) для проектирования СС-схем входят следующие ФЯ:

- 64 комбинационных ФЯ, расширяющих возможности библиотек стандартных ФЯ по эффективному проектированию СС-схем;

- три мультиплексора 2:1;

- два преобразователя бифазного сигнала в парафазный;

- три цифровых компаратора двух одноразрядных парафазных сигналов;

- два мажоритарных элемента – для трех унарных и трех парафазных сигналов соответственно;
- 32 индикаторных элемента, включая G-триггеры с числом входов от 2 до 4;
- 16 триггеров с унарным входом (D-триггеры);
- 108 RS-триггеров (однотактных и двухтактных, с предустановкой и без нее);
- шесть счетных триггеров;
- семь разрядов регистра сдвига;
- три трехвходовых элемента "сложение по модулю 2".

Каждая ФЯ в составе библиотеки представлена вариантами с различной нагрузочной способностью по выходу. Многовыходовые ФЯ имеют индикаторный выход, индицирующий окончание переключения входов, выходов и промежуточных (внутренних) сигналов в схеме ФЯ. Все триггерные ФЯ с памятью защищены как российскими, так и зарубежными патентами.

В связи с тем, что спейсер в СС-схемах может быть как нулевым, так и единичным, для большинства библиотечных ФЯ имеется дуальный аналог в составе библиотеки. Например, ФЯ D0SE10 – однотактному D-триггеру с нулевым спейсером, асинхронной установкой и разрешением записи – соответствует ФЯ D1SE10 – однотактный D-триггер с единичным спейсером, асинхронной установкой и разрешением записи; логической ФЯ A2O3I соответствует логическая ФЯ O2A3I. Это облегчает проектирование практических СС-схем по двум причинам:

- комбинационные СС-схемы строятся, в основном, с использованием парафазной дисциплины информационных сигналов, а парафазный со спейсером сигнал формируется парой элементов, выполняющих дуальные логические функции;

- логические элементы с инверсией на выходе инвертируют и тип спейсера – спейсер выхода такого элемента противоположен по своему значению спейсеру входных сигналов; поэтому наличие элементов с разным типом входного спейсера позволяет сократить аппаратные затраты, избавляя от необходимости использовать дополнительные инверторы, выравнивающие тип спейсера.

Особый интерес представляют элементы, реализующие интерфейс между синхронными и СС-схемами или между удаленными топологическими фрагментами СС-схем, а также элементы памяти с усиленным выходом.

### 3.2. Элементы интерфейса

Одна из особенностей СС-схем – удвоение количества информационных сигналов СС-схемы в сравнении с синхронным аналогом из-за использования самосинхронного кодирования (бифазного, парафазного). Кроме того, добавляются индикаторные сигналы. Проблема усугубляется в сверхбольших интегральных схемах (СБИС) при организации интерфейса между удаленными фрагментами СС-схем. Шины сигналов (многоразрядные сигналы) получаются удвоенной ширины, увеличивая площадь топологической реализации СБИС.

Такая же проблема проявляется при реализации интерфейса между СС-функциональным блоком и его синхронным окружением. Синхронное окружение вынуждено формировать и передавать в СС-фрагмент бифазные сигналы вместо одиночных, сопровождая их сигналами управления (разрешения чтения).

Для решения данной проблемы были разработаны варианты триггера с унарным входом – аналоги синхронных D-триггеров. Схема одного из двухтактных вариантов (с асинхронным сбросом и входом разрешения записи, библиотечный элемент D1RE21) показана на рис. 4. Здесь  $D$  – унарный информационный вход;  $E$  – вход разрешения записи;  $R$  – асинхронный сброс;  $Q$ ,  $QB$  – информационный бифазный выход;  $I$  – индикаторный выход;  $EB$  – фазовый выход.

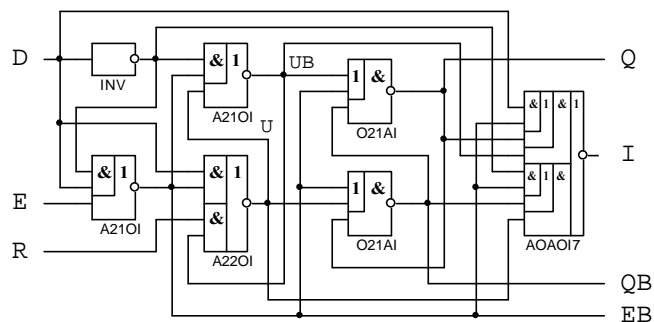


Рис. 4. Функциональная схема СС-элемента D1RE21

При низком уровне на входе разрешения записи  $E$  триггер записывает информацию с входа  $D$  в первую ступень (бистабильную ячейку, БЯ) с выходами  $U$ ,  $UB$ , переключаясь в рабочую фазу. При высоком уровне на входе  $E$  состояние первой БЯ переписывается в выходную БЯ, обновляя значение информационных выходов  $Q$ ,  $QB$ . Триггер переключается в спейсерную фазу. Завершение переключения триггера в текущую фазу фиксируется индикаторным выходом: в рабочей фазе он принимает значение  $I=0$ , в спейсерной –  $I=1$ . Выход  $EB$  используется для ускоренной выдачи источнику информационного сигнала  $D$  разрешения на переключение в следующую фазу работы.

Сигнал разрешения записи  $E$  сопровождает информационный сигнал  $D$ , подтверждая своим низким уровнем достоверность значения  $D$ . Независимо от времени срабатывания инвертора  $INV$ , триггер запоминает правильную информацию и формирует индикаторный сигнал  $I=1$  только после окончания переключения всех элементов внутри схемы. Тем самым обеспечивается самосинхронность работы триггера.

Аналогичное решение есть и на основе однотактного триггера – элемент D1RE10, показанный на рис. 5. Назначение его входов и выходов такое же, как в двухтактном триггере D1RE21.

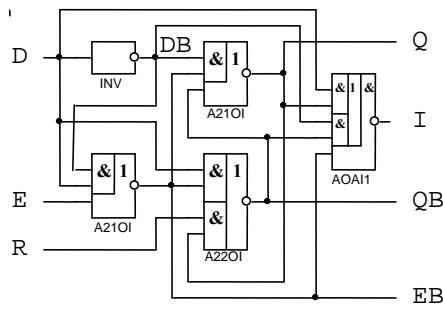


Рис. 5. Функциональная схема СС-элемента D1RE10

Наряду с простыми логическими элементами, имеющимися практически в любой библиотеки стандартных элементов, в схеме D-триггера используется однокаскадный индикаторный элемент AOAI17, входящий в состав библиотеки элементов для проектирования СС-схем.

Использование элементов типа D1RE10 или D1RE21 обеспечивает сокращение количества трасс межсоединений в топологии, уменьшение энергопотребления и улучшение трассируемости топологии микросхемы.

### 3.3. Триггеры с усиленным выходом

Большое значение для реализации СС-схем имеют триггеры с усиленным выходом. Сигналы с большой нагрузкой (fanout) требуют усиления для обеспечения высокого быстродействия схемы. Если это управляющие (фазовые) сигналы, проблема решается использованием инверторов или буферов с большой нагрузочной способностью. Бифазные же сигналы (выходы триггеров) не допускают использования инверторов или буферов для усиления, так как формируемые таким образом сигналы становятся парафазными без спейсера и требуют дополнительных аппаратных средств для своей индикации.

Проблема усиления информационного сигнала может быть решена путем непосредственного повышения нагрузочной способности формирующего его элемента за счет увеличения ширины канала КМОП транзисторов в принципиальной схеме соответствующего элемента. Однако такой способ приводит к неоправданному увеличению площади топологии и повышению энергопотребления схемы.

Описываемая библиотека содержит элементы, решающие данную проблему. На рис. 6 представлена функциональная схема одного из них – одноктактного RS-триггера R011 [4]. Здесь информационные входы  $R$  и  $S$  – две составляющие парафазного сигнала с нулевым спейсером; информационные выходы  $Q$  и  $QB$ , формируемые инверторами с заданной нагрузочной способностью, образуют парафазный без спейсера информационный сигнал, фаза которого индицируется выходом  $I$ .

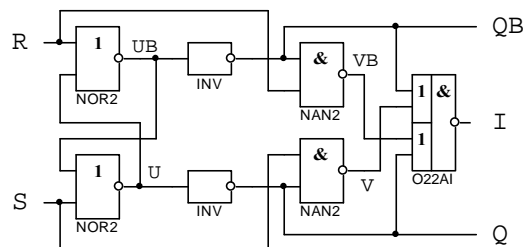


Рис. 6. Функциональная схема СС-элемента R011

На рис. 7 представлена функциональная схема двухтактного RS-триггера с СС-сбросом и усиленным информационным выходом R0C23 [35]. Назначение его входов и выходов такое же, как и у одноктактного триггера R011. Дополнительный вход  $C$  служит для СС-сброса триггера, который также индицируется выходом  $I$ .

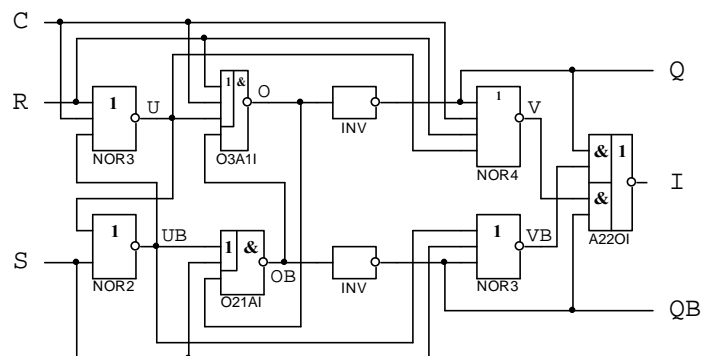


Рис. 7. Функциональная схема СС-элемента R0C23



Начальный сброс реализуется подачей высокого уровня на вход СС-сброса  $C=1$  при спейсере на информационном входе ( $R=S=0$ ). При этом первая БЯ триггера устанавливается в состояние ( $U=0, UB=1$ ), а индикаторный выход переключается в значение  $I=1$  после того, как на выходе первой БЯ  $UB$  появится высокий уровень ( $UB=1$ ). После снятия активного сигнала со входа  $C$  ( $C=0$ ) индикаторный выход переключается в значение  $I=0$  после переключения информационного выхода триггера в состояние  $Q=0, QB=1$ , обеспечивая тем самым контроль за процессом предустановки.

В обеих реализациях триггера с усиленным информационным выходом индикаторный выход  $I$  индицирует все внешние входы, выходы триггера и выходы всех элементов в составе триггера, обеспечивая его СС-поведение.

#### 4. Проектирование СС-схем различных классов

Первая очередь библиотеки функциональных СС-ячеек для БМК 5503 (5503СС) была разработана в 2004 г. для уровня технологии 1,6 мкм (132 ячейки), для которой гипотеза Маллера была справедлива без труда. Данный уровень технологии обеспечивает разработку СС-схем, не зависящих от скорости (*speed-independent, SI*): задержки элементов произвольные, но конечные; разброс задержек в проводах после разветвления не превышает минимальную задержку элемента.

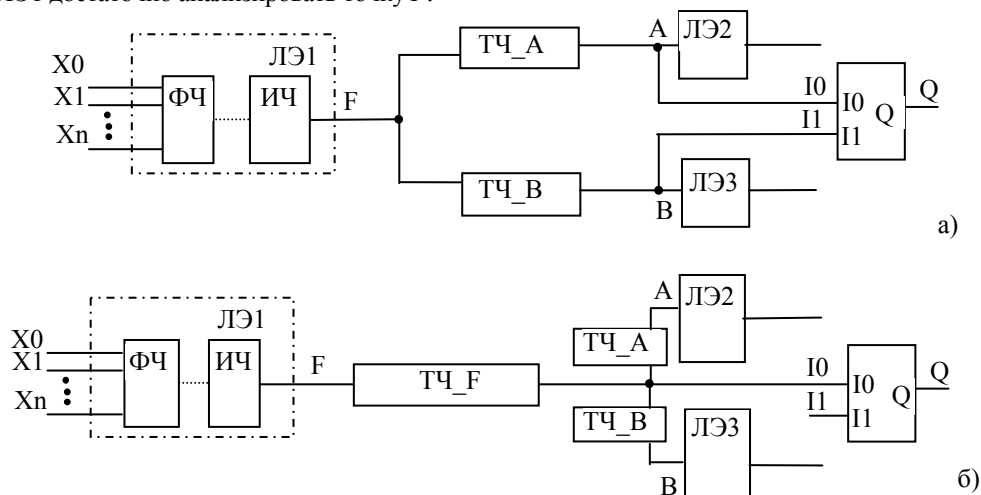
По мере уменьшения топологических норм: БМК 5503 с 1,5 мкм в настоящее время; БМК 5508/5509 с 1,2 мкм (завершенная НИР в 2008 г.), БМК 5521/5528/5529 с 0,18 мкм в настоящее время гипотеза Маллера может не работать. При этом приходится переходить к проектированию схем:

- квазинечувствительных к задержкам (*quasi-delay-insensitive, QDI*): схем, не зависящих от задержек элементов, от задержек выделенных (длинных) проводов и от задержек в проводах после разветвления, если они не критичны; могут быть спроектированы в рамках схем, не зависящих от скорости;

- схем, нечувствительных к задержкам (*delay-insensitive, DI*): произвольные, но конечные задержки элементов и проводов. Этот класс схем характеризуется гораздо большей избыточностью не только в сравнении с синхронными аналогами. Избыточность DI-схем особенно для последовательных схем может достигать 450% по сравнению с SI-схемами.

Для того чтобы гипотеза Маллера оставалась справедливой для схем субмикронного диапазона, либо необходимо, чтобы индикаторная часть СС-схемы учитывала задержку, вносимую линией связи, либо нужно разрабатывать новые подходы: разбивать всю ИС на отдельные зоны, в рамках которых гипотеза Маллера остается справедливой (эквихронная зона), и организовывать взаимодействие между зонами с использованием DI-подходов.

Иллюстрация сказанного приведена на рис. 8. Любой ЛЭ в СС-схемотехнике может быть представлен однокаскадной функциональной частью (ФЧ), инерционной частью (ИЧ) и транспортной частью (ИЧ) или транспортной задержкой. Инерционная часть отражает переходные процессы при перезаряде выходной емкости ЛЭ1, а ТЧ характеризует длинную линию – время распространения сигнала по линии связи, например, из точки  $F$  в точку  $A$ . Как правило, при формировании библиотечного элемента (БЭ) на БМК длины связей между его компонентами небольшие, он реализован на соседних ячейках, а значит, и величины ТЧ невелики. В рамках БЭ можно считать, что величина ИЧ гораздо больше ТЧ, гипотеза Маллера остается справедливой, и для фиксации окончания переходного процесса в ЛЭ1 достаточно анализировать точку  $F$ .



**Рис. 8.** Варианты учета транспортной части ЛЭ при разветвлении:  
а) двухпроводная индикация; б) однопроводная индикация

Это условие может нарушаться при организации связи между произвольными ФЯ, которые располагаются на значительном геометрическом расстоянии друг от друга. Если точек разветвления нет (выход ЛЭ1 идет на вход только элемента ЛЭ2), величина  $ТЧ_А$  может быть сколь угодно большой. Самосинхронность при этом не нарушится, а число индицируемых точек не увеличится (индикатор анализирует точку  $A$ ). В противном случае для индицируемости элемента ЛЭ1 может быть использован один из четырех способов:

- а) организация двухпроводной индикации, если контроль длин соединений  $F-A$  и  $F-B$  затруднен или невозможен (см. рис. 8,а);

- б) максимально возможное перенесение точки разветвления ближе к приемникам сигналов, при котором  $ТЧ_А - ТЧ_В \leq ИЧ$  (ЛЭ) (см. рис. 8,б), или другие варианты однопроводной индикации;

- в) выравнивание задержек  $ТЧ_А = ТЧ_В$  (произвольное значение); при этом в качестве точки индикации

может быть выбрана точка *A* или *B*;

г) если одна из линий связи характеризуется существенно большей задержкой, например,  $TЧ\_A \gg TЧ\_B$ , то в качестве точки индикации выбирается точка *A*.

Возможности контроля параметров трасс соединений успешно реализуются на БМК. В САПР Ковчег введена также возможность фиксации подобных нарушений самосинхронности на этапе моделирования. Любая СС-ФЯ, критичная к такого рода нарушениям, в таблице истинности содержит перечень запрещенных ситуаций, большая часть из которых является и/или нарушением дисциплины обмена сигналами взаимодействующих узлов СС-схемы, и/или нарушением гипотезы Маллера. Предположим, некий 4-разрядный Задатчик – элемент стадии конвейера – является источником данных 4-разрядного Регистра на базе D-триггеров (например, D0E10) с сигналом разрешения *E* (см. рис. 9). Взаимодействие Задатчика и Регистра предполагает, что к моменту прихода сигнала разрешения *E* (сигнала записи информации в Регистр) информационные входы последнего должны иметь установившееся значение.

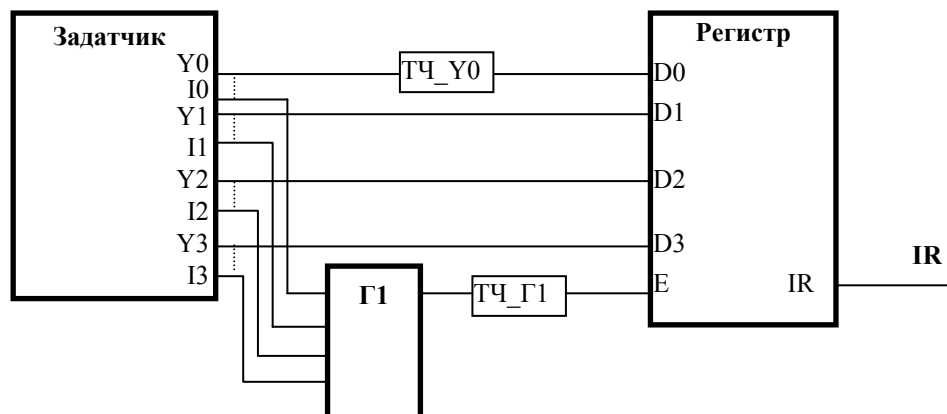


Рис. 9. Иллюстрация возможного нарушения самосинхронности

На каждом выходе  $Y_i$  Задатчика имеет место разветвление: внутри Задатчика каждый  $Y_i$  выход заходит на вход соответствующего одноразрядного индикатора переходных процессов (отображено на рис. 9 штрихпунктирной линией), и они собираются на 4-входовом индикаторе переходных процессов  $\Gamma_1$ . Предположим, что транспортная задержка  $TЧ\_Y_0$  больше, чем задержка формирования сигнала  $E$  по любому из возможных путей:

$$TЧ\_Y_0 > \{TЧ\_Г_1 + ИЧ\_Г_1 + [(TЧ\_I_0 * ИЧ\_I_0 | TЧ\_I_1 * ИЧ\_I_1 | TЧ\_I_2 * ИЧ\_I_2 | TЧ\_I_3 * ИЧ\_I_3)]\}$$

Тогда САПР “Ковчег” зафиксирует и выдаст пользователю сообщение: “Изменения входа  $D$  запрещены до перехода входа  $E$  в спейсер”. Таким образом, САПР “Ковчег” позволит определить не только факт нарушения гипотезы Маллера (задержка проводов после разветвления не должна превосходить минимальной задержки элемента), но и нарушения дисциплины подачи информационных сигналов ( $Y_0$ ) и сигналов разрешения  $E$ .

Если минимизация транспортной задержки  $TЧ\_D_0$  не приводит к устранению нарушения гипотезу Маллера, необходимо в этой части схемы перейти к использованию элементов проектирования DI-схем.

1) Если источником сигнала  $Y_0$  является выход комбинационной СС-части, необходимо перейти от использования унарного сигнала  $Y_0$ , сопровождаемого индикаторным сигналом  $I_0$  к использованию парафазного сигнала со спейсером  $Y_0$  и  $Y_0B$ , а в качестве приемника сигнала  $D_0$  в регистре использовать однотактный RS-триггер с парафазным входом (например, R011 или R111).

2) Если источником сигнала  $Y_0$  является один из компонентов бифазного сигнала, необходимо между источником и приемником данного сигнала использовать преобразователь бифазного сигнала в парафазный (BPC0 или BPC1), на вход которого подается два компонента бифазного сигнала  $Y_0$  и  $Y_0B$ , сопровождаемых индикаторным сигналом  $I_0$ , а выход – парафазный сигнал со спейсером  $P, PB$  – подключается к парафазному входу со спейсером RS однотактного RS-триггера с парафазным входом.

Наличие программных средств анализа схем на самосинхронность на логическом уровне, базирующихся на гипотезе Маллера и средств моделирования на физическом уровне, включающих анализ запрещенных состояний для каждого элемента схемы, позволяет проектировать три класса самосинхронных схем: не зависящих от скорости (SI), квазинечувствительных к задержкам (QDI) и нечувствительных к задержкам (DI).

## 5. Апробация библиотеки функциональных ячеек

Библиотека ФЯ для проектирования БИС на БМК серии 5503CC/5505CC/5521CC/5528CC/5529CC введена в состав САПР БМК “Ковчег” (МИЭТ) для проектирования полузаказных СБИС. Она была аттестована с использованием ряда тестовых БИС и прошла практическую апробацию при изготовлении самосинхронного микроядра [6]. Сравнение синхронного и СС-вариантов микроядра, изготовленных в одном технологическом базисе и в едином технологическом цикле, подтвердило преимущества СС-схем в быстродействии и энергопотреблении.

## 6. Заключение

Разработанная для проектирования СС- библиотеки функциональных ячеек содержит более 230 элементов. Она расширяет библиотеки стандартных элементов и обеспечивает сокращение аппаратных затрат, повышение

быстродействия и снижение энергопотребления СС-схем.

Авторы считают, что в данной работе новыми являются следующие положения и результаты:

- впервые в отечественной и зарубежной практике в рамках полузаказных ИС создана библиотека самосинхронных ячеек и средства проектирования, которые позволяют разрабатывать самосинхронные устройства различных классов: не зависящих от быстродействия их элементов; не зависящих от задержек элементов и отдельных проводников, не зависящих от задержек элементов и проводников. Такая библиотека отвечает критерию построения схем, оптимальных для реализации на их основе высоконадежных отказоустойчивых средств ВТ;

- широкая номенклатура СС-элементов (более 230 элементов) обеспечивает создание эффективных надежных цифровых схем, с минимальными аппаратными затратами, с максимально возможным быстродействием, с максимальной возможной зоной работоспособности, с минимальным энергопотреблением и с полной самопроверяемостью относительно константных неисправностей;

- разработанная и апробированная библиотека функциональных ячеек является полностью патентночистой и патентнозащищенной (22 патента РФ на изобретения и 2 патента США).

### Список литературы

- [1] Степченко Ю.А., Дьяченко Ю.Г., Горелкин Г.А. Самосинхронные схемы – будущее микроэлектроники // ЦНИИ "Электроника": Вопросы радиоэлектроники, 2011. № 2. – С. 153-184.
- [2] Muller D., Bartky W. A theory of asynchronous circuits // Annals of computation laboratory of Harvard University, V.29, 1959. – P. 204-243.
- [3] Varshavsky V., Kishinevsky M., Marakhovsky V. et al. Self-timed Control of Concurrent Processes, Ed. by V.Varshavsky - Kluwer Academic Publishers, 1990. – 245 p.
- [4] Ю.А. Степченко, А.Н. Денисов, Ю.Г. Дьяченко и др. Библиотека элементов для проектирования самосинхронных полузаказных БМК микросхем серий 5503/5507 и 5508/5509 — М.: ИПИ РАН, 2013. - 391 с.
- [5] Варшавский В.И., Кишиневский М.А. и др. Автоматное управление асинхронными процессами в ЭВМ и дискретных системах. // Под ред. В.И.Варшавского. – М.: Наука, 1986 - 398 с.
- [6] Степченко Ю.А., Дьяченко Ю.Г., Петрухин В.С. Опыт разработки самосинхронного ядра микроконтроллера на базовом матричном кристалле // Нано- и микросистемная техника, №5, 2006. – С. 29-36.