

Таблица замещения функций, реализованных в 54/74 сериях, многофункциональными микросхемами

Код 54/74 серии	Выполняемая функция	Многофункциональная БИС	
		тип	адрес функции ADR _N ... ADR ₀
00	4 элемента 2И-НЕ	x75	000000110
01	4 элемента 2И-НЕ с открытым коллектором	x80	111100
02	4 элемента 2ИЛИ-НЕ	x75	000000111
03	4 элемента 2И-НЕ с открытым коллектором	x80	111100
04	8 инверторов	x75	000000101
05	8 инверторов с откр. коллект.	x80	111101
06	8 буферов с откр. коллект.	x80	111110
08	4 элемента 2И	x75	000001001
10	3 эл-та 3И-НЕ	x80	110100
11	3 эл-та 3И	x80	110101
14	8 инверторов	x75	000000101
20	2 элемента 4И-НЕ	x75	100100100
21	2 элемента 4И	x75	100100110
27	3 эл-та 3ИЛИ-НЕ	x80	110110
28	4 эл-та 2ИЛИ-НЕ	x75	000000111
30	8И-НЕ	x80	111000
32	4 элемента 2ИЛИ	x75	000001010
34	8 буферов	x75	000000001
38	4 эл-та 2И-НЕ с откр. коллект.	x80	111100
42	Деш. ВСД в унитар. инверс. код	x80	0001xx
45	Деш. ВСД в унитар. инверс. код	x80	0001xx
48	Деш. ВСД в 7-сегм. без инвер.	x74	1101110
51	2 * 2И объедин. 2ИЛИ-НЕ; 2 * 3И объедин. 2ИЛИ-НЕ	x80	111010
54	2 * 2И + 2 * 3И объедин. по 4ИЛИ-НЕ	x80	101010
58	2 * 2И объедин. 2ИЛИ; 2 * 3И объедин. 2ИЛИ	x80	111010
73	2 * JK-тригг. с асинх. сбросом	x74	1001111
74	2 * D-триггера с асинхронной установкой и сбросом	x74	1001110
75	Четыре D-защелки	x74	1011100
76	2 * JK-тригг. с асинх. установ. и сбросом	x74	1001111
77	2 * 2-разр. защелки нулем	x74	1011100
78	2 * JK-тригг. с общ. синх-ей и сбросом и раздел. установ.	x74	1001111
83	4-разрядный сумматор	x74	1110110
85	4-разрядный компаратор	x74	1100110
86	4 элемента «исключающее ИЛИ»	x75	000001000
89	16x4 бит RAM	x78	111010
95	4-разрядный сдвиговый регистр с параллельной загрузкой	x74	0110100
107	2 * JK тр. по спаду с парафаз. вых. и асинх. сбросом по нулю	x74	1001111
109	2 * JK тр. по фронту с парафаз. вых; асинх. уст. и сброс	x74	1001111
112	Два JK-триггера	x74	1001111

113	Два JK-триггера	x74	1001111
114	2 * JK тр. с общ. синхр. по спаду; общ. асин. сброс; разд. асин. уст.	x74	1001111
125	4 * буфера с 3-м сост по «1»	x78	111011
126	4 * буфера с 3-м сост. по «0»	x78	111100
132	4 элемента 2И-НЕ с триггерами Шмитта на входе	x75	000000110
133	13И-НЕ	x80	111000
136	4 * 2XOR	x75	000001000
137	Дешифратор 3 в 8 с защелкой	x80	101110
138	Дешифратор 3 в 8	x80	101111
139	Два дешифратора 2 в 4	x80	110000
145	дешифр. BCD в унитар. код с инверс.; открыт. коллект.	x78	110001
147	шифратор 9 разр. инв. унит. кода в инв. BCD	x80	110001
148	шифратор 8 разр. инв. унит. кода в инв. двоич.	x80	110010
150	мультиплек. из 16 в 1 с инверсией и запретом по нулю	x78	0001xx
151	мультиплек. из 8 в 1 с прям. и инв. вых. и запретом «1»	x80	110011
152	мультиплек. из 8 в 1 с инв. вых.	x80	110011
153	2-разрядный мультиплексор 4 в 1	x74	1111011
154	дешифр. из 4 в 16 с инверс. и запретом по 2ИЛИ	x80	0001xx
155	2 * деш. из 2 в 4 с инв.; общ. входы; разд. запрет.	x78	100101
156	2 * деш. из 2 в 4 с инв.; откр. колл.; общ. входы; разд. запрет.	x78	110010
157	4-разрядный мультиплексор 2 в 1 с разрешением	x74	1111101
158	4-разрядный мультиплексор 2 в 1 с инв. и разрешением	x74	1111101
SN74LS160	счетчик по модулю 10 с загрузкой	x80	010000
MC74HC160A	счетчик по модулю 10 с загрузкой	x78	010000
161	Двоичный 4-разрядный счетчик с загрузкой	x80	010001
SN 74LS162	счетчик по модулю 10 с загрузкой	x80	010010
MM74HC162	счетчик по модулю 10 с загрузкой		
163	Двоичный 4-разрядный счетчик с загрузкой	x80	010011
164	8-разрядный сдвиговый регистр с последовательным входом	x80	011111
165	8-разр. сдвигат. по фронту; асин. загр. по нулю; запрет. сдвига; послед. вх. и парафаз. послед. вых.		011010
166	8-разр. сдвигат. по фронту; синхр. загр. по нулю; запрет. сдвига; асинх. сброс.; послед. вх. и вых.	x78	110100
168	Двоично-десятичный 4-разрядный счетчик с загрузкой	x80	010100
169	Двоичный 4-разрядный счетчик с загрузкой	x80	010101
170	Массив памяти 4 на 4	x74	1011111
173	4-разрядный регистр с 3-м состоянием	x80	011110
174	6 D-триггеров с общим асинхронным сбросом	x80	100010

175	4 D-триггера с общим асинхронным сбросом	x80	100011
180	8-разр. выч-ль паритета с входами и выходами переноса	x78	101101
181	4-разр. АЛУ на 2 операнда и 16 операций с вх. и вых. переноса	x78	0011xx
182	схема ускоренной генерации переноса для группы из 4-х АЛУ	x78	111101
183	2 * 1-разр. полных сумматора с переносом	x74	1110100
190	Двоично-десятичный 4-разрядный счетчик с загрузкой	x80	010110
191	Двоичный 4-разрядный счетчик с загрузкой	x80	010111
192	реверс. синхр. счетчик по мод.10 по фронту; асинхр. загр. и сброс. по нулю; разд. синхр для UP/DN	x78	010010
194	4-разрядный универсальный сдвиговый регистр	x80	011011
195	4-разрядный универсальный сдвиговый регистр с параллельной загрузкой	x80	011100
196	асинх. счетчики по мод.2 и 5 по спаду; разд. входы синхр.; общие вх. загр. и сброса по нулю	x78	010011
197	асинх. счетчики по мод.2 и 8 по спаду; разд. входы синхр.; общие вх. загр. и сброса по нулю	x78	010100
237	3-разр. защелка единицей с дешифр. из 3 в 8 на вых.; с запрет. деш. по нулю или единице	x78	100110
238	Дешифратор 3 в 8	x78	100111
240	2 4-разрядных инвертора с 3-м состоянием	x80	100110
241	2 * 4-разр. буфера; 1-й с 3-м сост. по «1»; 2-й с 3-м сост. по «0»	x80	100111
243	двунаправ. 4-разр. буфер с 3-м	x80	001101
244	2 4-разрядных буфера с 3-м состоянием	x80	101000
245	8-разр. двунапр. буфер с 3-м сост	x80	001101
247	Дешифратор для семисегментного индикатора	x74	1101101
248	Дешифратор для семисегментного индикатора	x74	1101110
256	Две 4-битные адресные защелки-дешифратора	x74	1011010
257	4-разрядный мультиплексор 2 в 1 с 3-м состоянием	x74	1111100
260	2 * 5ИЛИ-НЕ	x78	101110
266	4 * 2XOR-НЕ с открытым коллектором	x78	110011
273	8 D-триггеров с асинхронным сбросом	x74	1000010
279	Четыре RS-триггера	x74	1010000
279	Четыре RS-триггера по «0»	x74	1010001
280	9-разр. выч-ль паритета с 2 вых. для чет. и нечет.	x74	0011111
289	4-разр. RAM на 16 ячеек	x74	1011111
290	асинх. сч-ки по мод. 2 и мод. 5 по спаду; разд. входы синх.; общие вх. уст. и сброса по 2И	x78	010101
292	делитель частоты по фронту на кратное степени 2 число (степень от 1 до 31); асинх. сброс по «0»	x78	010111
293	асинх. сч-ки по мод. 2 и мод. 8 по спаду; разд. входы синх.; общие вх. сброса по 2И	x78	010110

294	делитель частоты по фронту на кратное степени 2 число (степень от 1 до 15); асинх. сброс по «0»	x78	011001 011010
295	4-разр. сдвигатель по спаду; синх. загр. по «1»; послед. вх; паралл. выходы с 3-м сост. по «0»	x74	0110111
297	компоненты для построения цифровой схемы ФАПЧ	x78	110110
298	компоненты для построения цифровой схемы ФАПЧ	x78	110111
299	8-разр. двунапр. сдвигат. по фронту; синх. сброс по «0»; паралл. вх. соед. с вых. с 3-м сост.	x78	111110 111111
340	2 4-разрядных инвертора с 3-м состоянием	x80	100110
341	2 * 4-разр. буфера; 1-й с 3-м сост. по «1»; 2-й с 3-м сост. по «0»	x80	100111
344	2 4-разрядных буфера с 3-м состоянием	x80	101000
348	Дешифратор 3 в 8 с 3-м состоянием	x74	1100010
350	Мультиплексорная логика	x74	1101111
352	2 * мульт. из 4 в 1 с инвер.; общ. вх. адреса и разд. запретом по «1»	x74	1111101
363	8-разр. защелка по «0» с 3-м сост. по «1»	x74	1010101
367	4-разрядный и 2-разрядный шинный буфер с 3-м состоянием	x74	0101100
368	4-разрядный и 2-разрядный инвертор с 3-м состоянием	x74	0101101
373	8 D-защёлок с 3-м состоянием	x74	1010100
374	8 D-триггеров с 3-м состоянием	x74	1000101
375	2 * 2-разр. защелки по «0» с парафаз. вых.	x74	1011101
377	8-разр. рег-р по фронту с запретом записи только по «1»	x74	1001010
378	8-разр. рег-р по фронту с запретом записи ТОЛЬКО по «1»	x74	1001011
379	4-разр. рег-р по фронту с запретом записи по ТОЛЬКО «1» и парафаз. вых.	x74	1000000 1000001
381	4-разр. АЛУ на 8 операций	x78	0011xx
386	4 * 2XOR	x75	000001000
390	2 * асинх. счет. из 2-х секц. по мод. 2 и 5; разд. синх-я секц. в счет. по спаду; общ. сброс секц. в счет. по «1»		010101
393	2 * асинх. счет. по мод. 16; разд. синх-я по спаду; разд. сброс по «1»	x80	011000
395	4-разрядный сдвиговый регистр с 3-м состоянием	x80	011101
399	4-разрядный мультиплексор 2 в 1 с регистром	x74	1111110
467	2 * 4-разр. буф. с раздел. 3-м сост. по «1»	x80	100111
468	2 * 4-разр. инверт. с раздел. 3-м сост. по «1»		100110
533	8 D-защёлок с 3-м состоянием	x74	1010100
534	8-разр. регистр по фронту с инверсией и 3-м сост. по «1»	x80	100100
538	Дешифратор 3 в 8 с 3-м состоянием	x74	1101010
539	Два дешифратора 2 в 4 с 3-м состоянием	x80	101001
564	8-разр. регистр по фронту с инверсией и 3-м сост. по «1»	x80	100100

573	8 D-защёлок с 3-м состоянием	x74	1010100
574	8 D-триггеров с 3-м состоянием	x74	1000101
594	8-разр. сдв-ль с рег-ом на вых.; разд. синх-я по фронту; разд. асинх. сброс сдв-ля и рег. по «0»; посл. вх./вых. сдв.	x80	100000
595	8-разр. сдв-ль с рег-ом на вых.; разд. синх-я по фронту; асинх. сброс сдв-ля по «0»; посл. вх./вых. сдв-ля; вых. рег. с 3-м сост. по «1»	x80	100001
643	8-разр. двунапр. буфер с 3-м сост.; 1-е напр. с инверс., 2-е - без; общ. выбор направл.; разрыв по «1»	x80	001101
646		x80	0010xx
74LCX16646	16-разрядный двунаправленный регистр-приёмопередатчик	x81	01X
74LVT16245	Два 8-разрядных двунаправленных шинных приёмопередатчика с 3-м состоянием	x81	100
74FCT16244T	Четыре 4-разрядных буфера с 3-м состоянием	x81	101
74FCT16373T	Две 8-разрядные D-защёлки с 3-м состоянием	x81	110