

## Техническое описание микросхемы

### 1 Назначение микросхемы

МБИС предназначена для использования в составе микропроцессорного модуля управления (МУ) и обеспечивает требуемое взаимодействие вычислительного ядра с функциональными блоками МУ, к числу которых относятся: контроллер абонентов, контроллер мультиплексного канала обмена, контроллер внутренней последовательной магистрали, коммутатор питающих напряжений, блок кодирования и восстановления информации.

МБИС выполняет следующие функции:

- формирование сигнала на выводе RDY, определяющего продолжительность операций чтения/записи при обращении к оперативному и постоянному запоминающему устройству (ЗУ) МУ со стороны его процессора;
- выполнение операций информационного доступа к адресуемым регистрам периферийных контроллеров МУ;
- формирование системных сигналов: сигналов инициализации блоков модуля (этим сигналам соответствуют выходы SRV1, RPCO), сигнала требования прерывания процессора (ему соответствует вывод IRQ), сигнала чтения, относящегося к оперативному ЗУ (ему соответствует вывод RDM);
- обеспечение выполнения операций прямого доступа к оперативному ЗУ МУ со стороны периферийных контроллеров;
- формирование выходных сигналов для межмодульного последовательного асинхронного канала обмена (МПКО).

### 2 Состав МБИС

Структурная схема МБИС представлена на рисунке 1. В её состав входят:

- анализатор и преобразователь адресных битов (АПАБ);
- адресный коммутатор (АК);
- группа ключевых периферийных элементов (КПЭ2), через которую, при высоком уровне управляющего сигнала, код с выхода АК передаётся на выходы A12, A10-A7, A5 ;
- группа двунаправленных периферийных элементов ДПЭ1, подключённая к выводам AD(15, 14, 10-8);
- формирователь адресного признака (ФАП), на выходе которого устанавливается высокий уровень сигнала «ПАР», если на выводах AD15, 14, 10-8 установлен двоичный код 00111111, а на выводах AD7, AD6 – код, отличный от двоичного значения 11;
- формирователь управляющих сигналов (ФУС);
- формирователь системных сигналов (ФСС), в который сигнал с вывода SE поступает через двунаправленный периферийный элемент ДПЭ2;
- формирователь сигналов прямого доступа (ФСПД), с одного из выходов которого поступает сигнал на управляющий вход группы ключевых элементов КПЭ1;

- группа логических элементов ИЛИ-НЕ, обеспечивающих формирование выходных сигналов «МПКО» на выводах TDOA, TDOB;
- инвертор, через который передаётся сигнал с вывода FERI на вывод FERO.

В состав ФСС входит адресуемый регистр признака записи командного слова (РПКС).

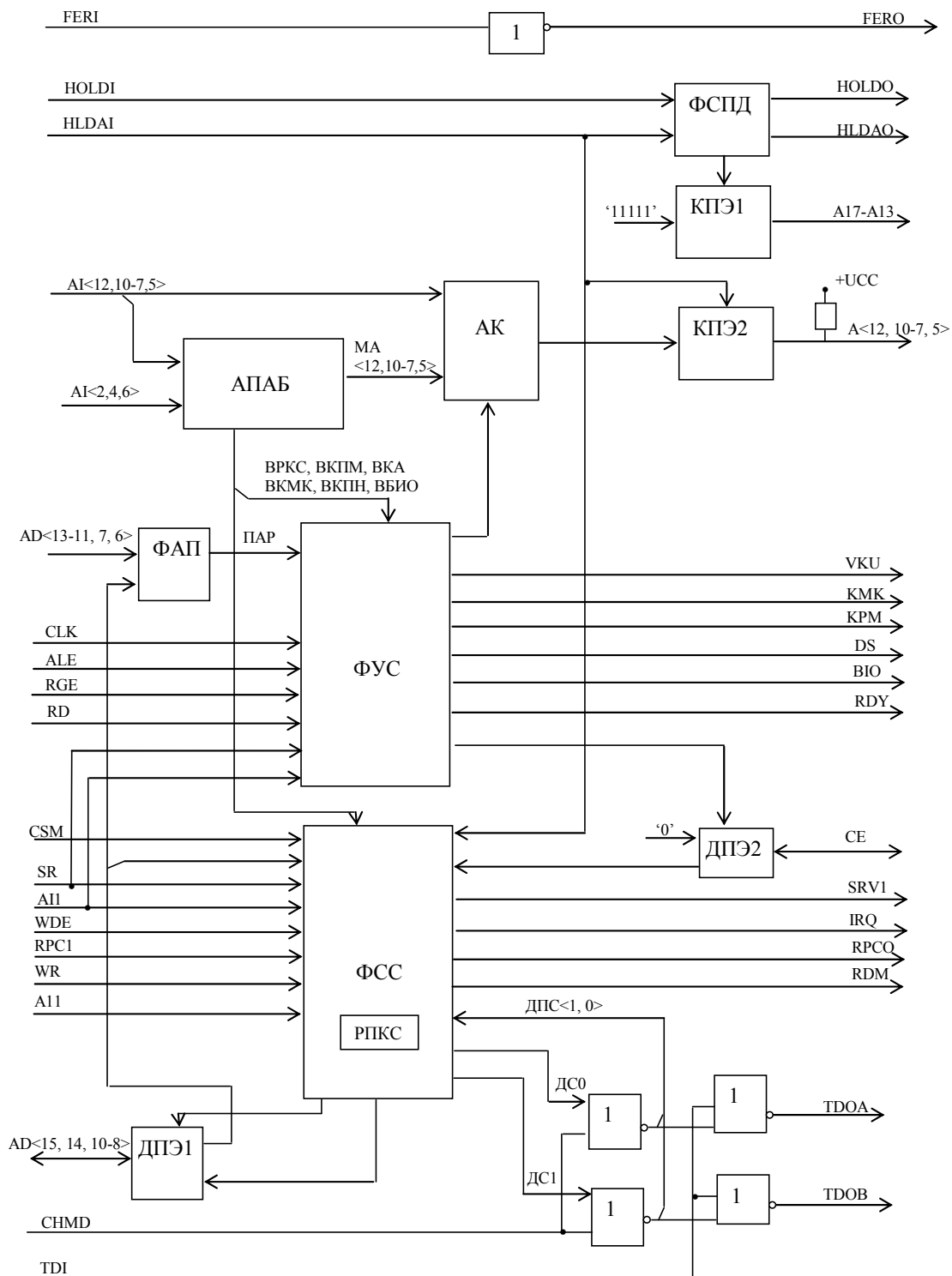


Рисунок 1 – Структурная схема МБИС

При выполнении операций информационного доступа к адресуемым регистрам периферийных контроллеров МУ, через коммутатор АК передаются значения адресных битов «МА12», «МА10»-«МА7» и «МА5», которые формируются на выходе АПАБ на основе значений входных адресных битов, поступающих с выводов А112, А110-А14, А12. Соответствие между входными и выходными адресными битами АПАБ приведено в таблице 1.

Таблица 1

А112	А110 –А14, А12	МА12	МА10 – МА7	МА5	Активизируемые сигналы обращения
1	1110XXXX	0	0010	А15	ВКМК
1	11110000	1	0000	0	ВРКС
1	11110100	0	0001	0	ВКА
1	1111001X	0	1001	0	ВКПМ
1	11110110	0	1001	0	ВКПН
1	11110111	0	1001	0	ВБИО

В таблице 1 символ «X» обозначает произвольное значение соответствующего входного адресного бита.

АПАБ вырабатывает следующие сигналы обращения, обеспечивающие доступ к адресуемым регистрам периферийных контроллеров МУ:

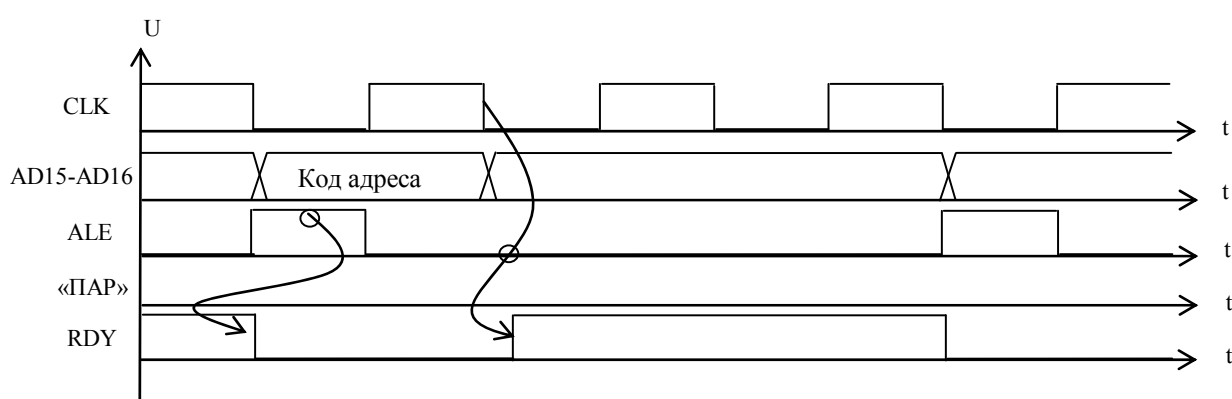
- «ВКМК» (соответствует контроллеру мультиплексного канала обмена);
- «ВРКС» (соответствует регистру командного слова, входящему в состав контроллера абонентов);
- «ВКА» (соответствует контроллеру абонентов);
- «ВКПМ» (соответствует контроллеру внутренней последовательной магистрали);
- «ВКПН» (соответствует коммутатору питающих напряжений);
- «ВБИО» (соответствует блоку кодирования и восстановления информации).

В таблице 1 указано, при каких значениях входных адресных битов формируются активные значения сигналов обращения.

### 3 Описание работы МБИС

#### 3.1 Формирование сигнала на выводе RDY (рисунок 2)

При обращении к оперативному или постоянному ЗУ со стороны процессора МУ, устанавливается соответствующее значение кода адреса на выводах AD15-AD6 при высоком уровне сигнала на выводе ALE, сигнал «ПАР» имеет низкий уровень. Через АК и КПЭ2 на выводы А12, А10-А7 и А5 передаются значения сигналов с выводов А112, А110-А17 и А15. Сигнал на выводе ALE обуславливает формирования низкого уровня сигнала на выводе RDY, как показано на рисунке 2. Это значение сигнала на выводе RDY сохраняется в течение временного интервала, соответствующего длительности периода следования импульсов на выводе CLK (частота импульсов – 6 МГц).



**Рисунок 2 – Формирование сигнала «RDY»**

### 3.2 Выполнение операций доступа к адресуемым регистрам

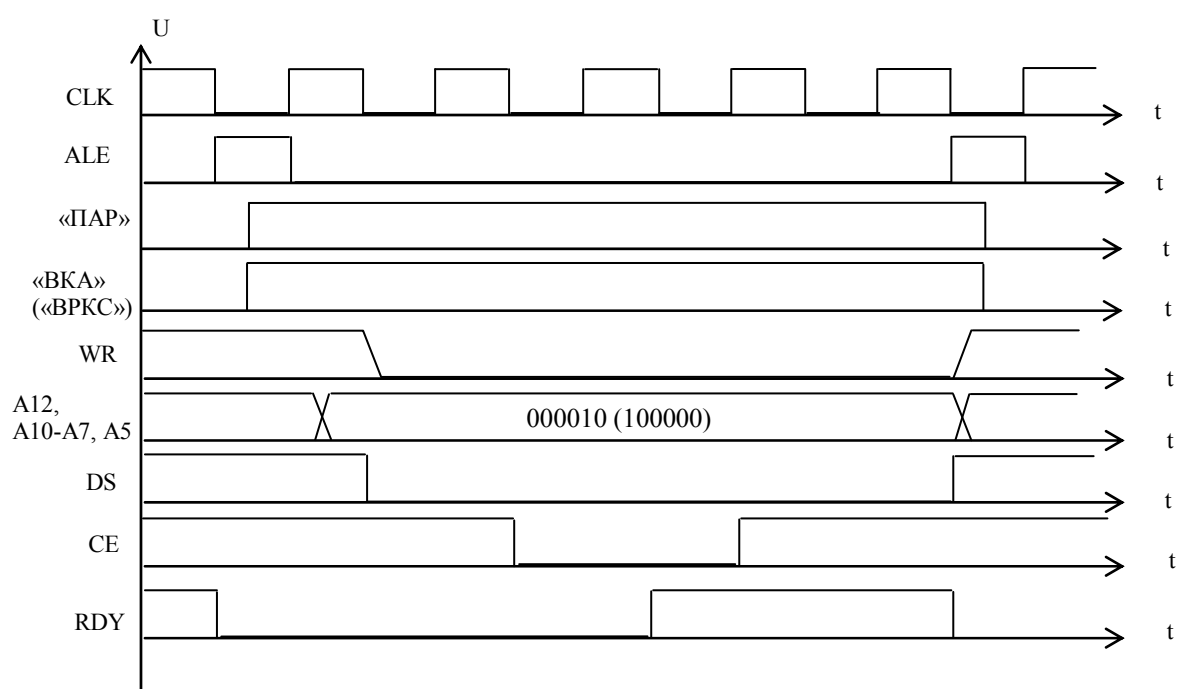
МБИС обеспечивает выполнение следующих типов операций доступа к адресуемым регистрам контроллеров МУ:

- запись в регистр под управлением процессора;
- чтение из регистра под управлением процессора;
- чтение из регистра под управлением системного контроллера.

Работа МБИС при выполнении доступа к регистрам определяется их принадлежностью к соответствующему контроллеру.

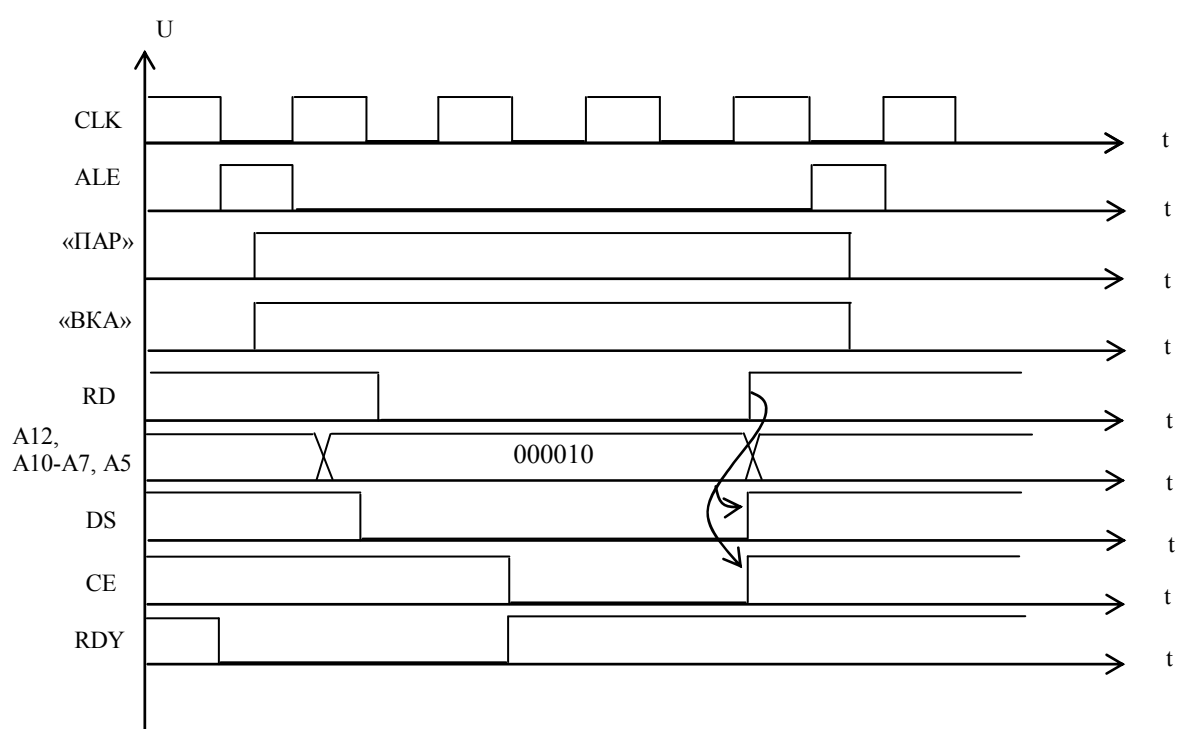
#### 3.2.1 Доступ к регистрам контроллера абонентов

Временная диаграмма выполнения операции записи в регистры данного контроллера, в том числе в регистр командного слова, под управлением процессора изображена на рисунке 3. Из диаграммы следует, что продолжительность операции соответствует пяти периодам следования импульсов на выводе CLK. Эта продолжительность определяется установкой высокого уровня сигнала на выводе RDY в соответствующий момент времени. На диаграмме указаны значения сигналов на выводах A12, A10-A7 и A5, которые передаются с выходов АПАБ через АК и КПЭ2 (значения, указанные в скобках, соответствуют регистру командного слова).



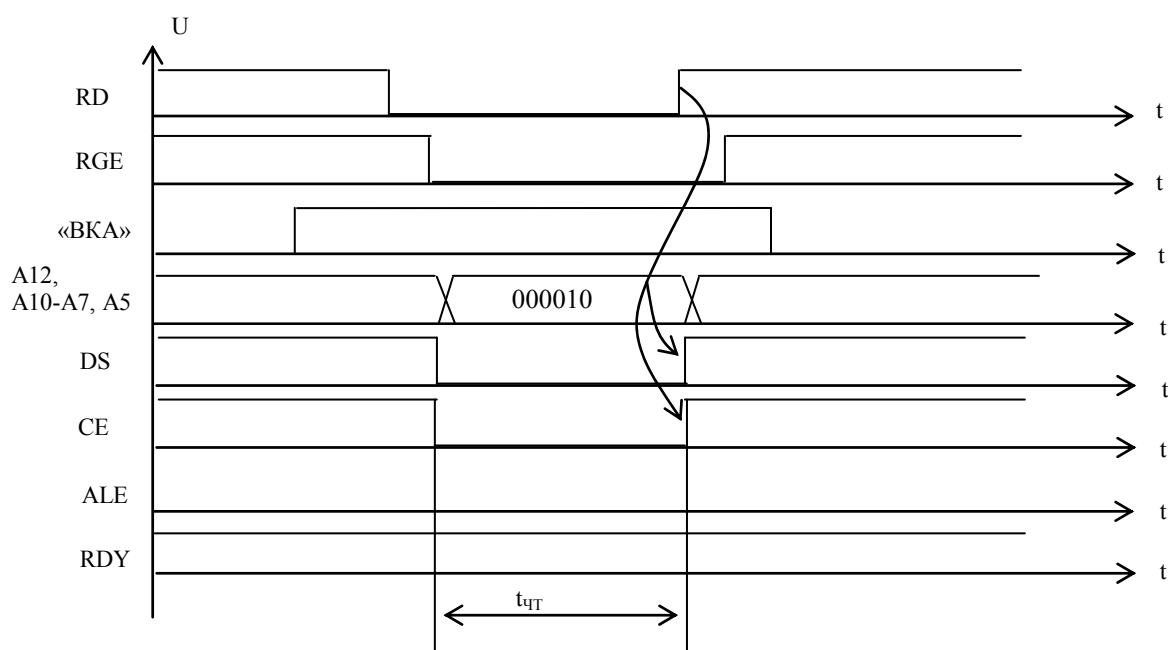
**Рисунок 3 – Запись в регистры контроллера абонентов под управлением процессора**

Временная диаграмма выполнения операции чтения регистров контроллера абонентов под управлением процессора представлена на рисунке 4 (регистр командного слова в режиме чтения не доступен). Продолжительность операции соответствует четырём периодам следования импульсов на выводе CLK. Отличием операции чтения от операции записи является то, что низкий уровень сигналов на выводах DS, CE сопровождается установкой низкого уровня сигнала на выводе RD.



**Рисунок 4 – Чтение регистров контроллера абонентов под управлением процессора**

Операция чтения регистров контроллера под управлением системного контроллера (см. временную диаграмму на рисунке 5) характеризуется отсутствием импульса на выводе ALE, неизменным значением сигнала на выводе RDY. Высокий уровень сигнала «ВКА» является следствием подачи на выводы A17-A14 кода 1010. Низкий уровень сигналов на выводах DS, CE имеет место при высоком уровне сигнала «ВКА» и низком уровне сигналов на выводах RD, RGE.



**Рисунок 5 – Чтение регистров контроллера абонентов под управлением системного контроллера**

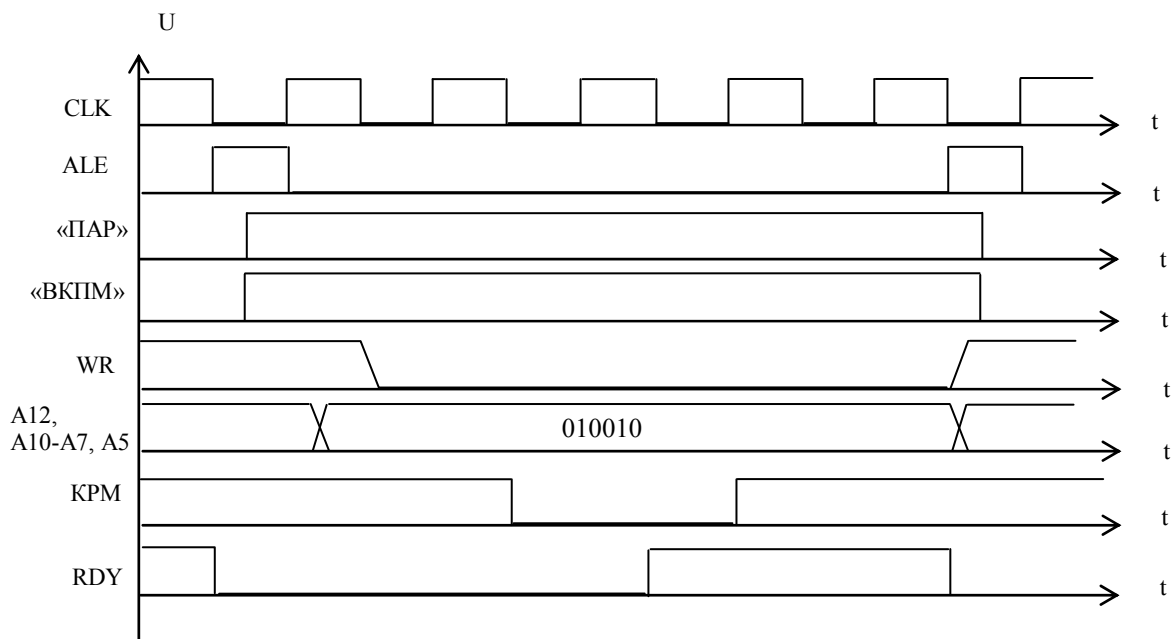
### 3.2.2 Доступ к регистрам контроллера мультиплексного канала

Выполнение операций обращения к регистрам в данном случае соответствует временным диаграммам рисунков А.3-А.5 с учётом следующих замечаний:

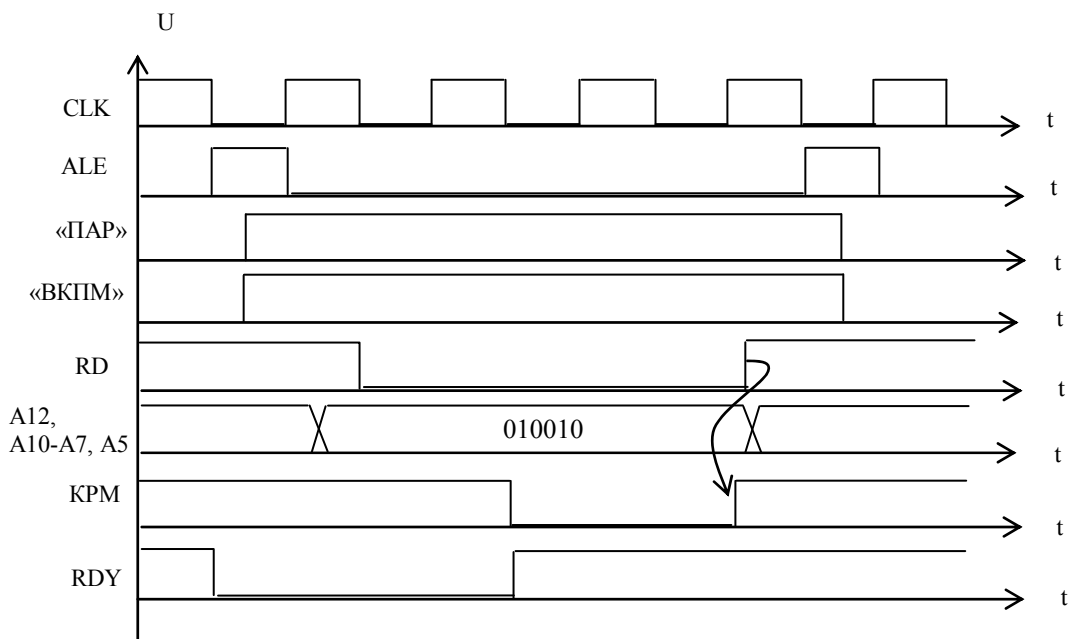
- вместо сигнала «ВКА» высокий уровень имеет сигнал «ВКМК»;
- низкий уровень сигнала формируется не на выводе DS, а на выводе КМК;
- через выходы A12, A10-A7 выдаётся код 00010, через вывод A5 транслируется значение сигнала с вывода A15.

### 3.2.3 Доступ к регистрам контроллера последовательной магистрали

Временная диаграмма выполнения операции записи в регистры данного контроллера под управлением процессора изображена на рисунке 6. Из диаграммы следует, что продолжительность операции соответствует пяти периодам следования импульсов на выводе CLK, что определяется установкой высокого уровня сигнала на выводе RDY в соответствующий момент времени. На диаграмме указаны значения сигналов на выводах A12, A10-A7 и A5, которые при выполнении операции передаются с выходов АПАБ через АК и КПЭ2. Временная диаграмма выполнения операции чтения регистров контроллера под управлением процессора представлена на рисунке А.7. Продолжительность операции соответствует четырём периодам следования импульсов на выводе CLK. Отличием операции чтения от операции записи является то, что низкий уровень сигнала на выводе КРМ сопровождается установкой низкого уровня сигнала на выводе RD.



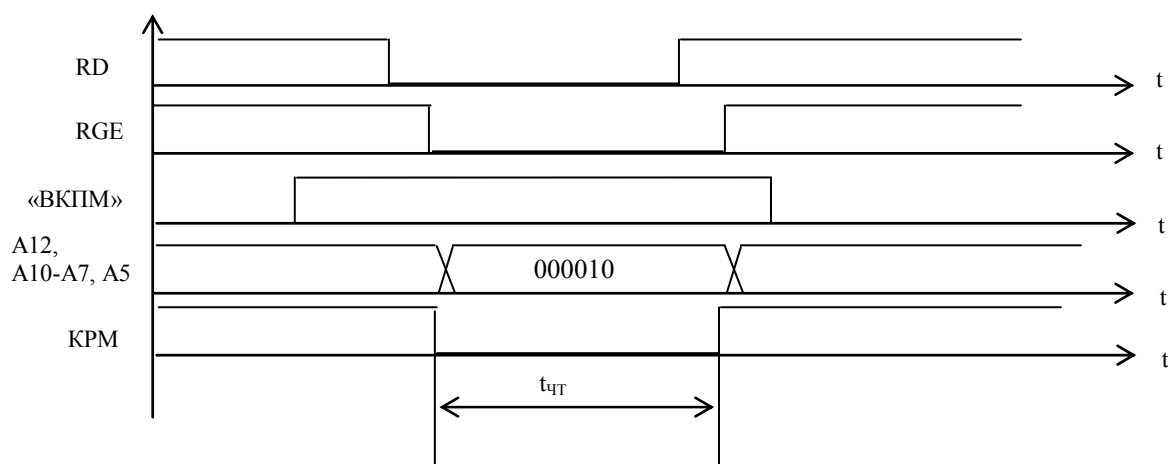
**Рисунок 6 – Запись в регистры контроллера последовательной магистрали под управлением процессора**



**Рисунок 7 – Чтение регистров контроллера последовательной магистрали под управлением процессора**

Операция чтения регистров контроллера под управлением системного контроллера (см. временную диаграмму на рисунке 8) характеризуется отсутствием импульса на выводе ALE, неизменным значением сигнала на выводе RDY. Высокий уровень сигнала «ВКПМ» является следствием подачи на выходы AI7-AI4 кода 1001. Низкий уровень сигнала на выводе KPM имеет место при высоком уровне сигнала «ВКПМ» и низком уровне сигналов на выводах RD, RGE.

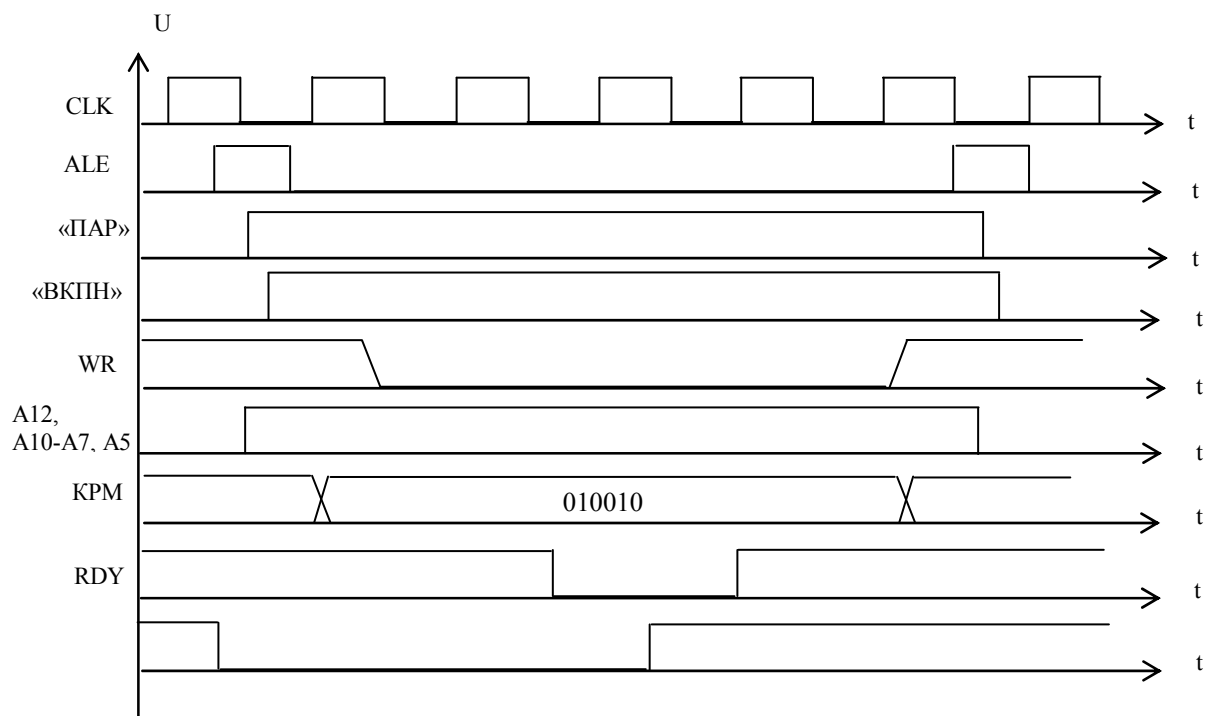




**Рисунок 8 – Чтение регистров контроллера последовательной магистрали под управлением системного контроллера**

### 3.2.4 Запись в регистр коммутатора питающих напряжений

Основные временные характеристики операции записи в этот регистр под управлением процессора (см. временную диаграмму на рисунке 9) такие же, как и в случае аналогичных операций, относящихся к другим контроллерам. На диаграмме указаны значения сигналов на выводах A12, A10-A7 и A5, которые при выполнении операции передаются с выходов АПАБ через АК и КПЭ2. Низкий уровень сигнала на выводе VKU формируется при высоком уровне сигнала «ВКПН» и низком уровне сигнала на выводе АП1.



**Рисунок 9 – Запись в регистр коммутатора питающих напряжений**

### 3.2.5 Доступ к регистрам блока кодирования и восстановления информации

Выполнение операций обращения к регистрам в данном случае соответствует временным диаграммам рисунков 6-8 с учётом следующих замечаний:

- вместо сигнала «ВКПМ» высокий уровень имеет сигнал «ВБИО»;
- низкий уровень сигнала формируется не на выводе КРМ, а на выводе ВЮ.

### **3.3 Формирование системных сигналов**

Низкий уровень сигнала на выводе SRV1 формируется, если установлен высокий уровень сигнала на выводе SR либо на выводе WDE.

Низкий уровень сигнала на выводе RPCO формируется, если установлен высокий уровень сигнала на выводе RPCI либо на выводе WDE.

Низкий уровень сигнала на выводе RDM имеет место, если выполняется одно из следующих условий:

- сигнал на выводе RD имеет низкий уровень;
- сигналы на выводах CSM, HLDAI имеют низкий уровень, а сигнал на выводе WR - высокий.

Сигнал требования прерывания, формируемый на выводе IRQ, отображает состояние соответствующего триггера адресуемого регистра РПКС, который входит в состав формирователя ФСС. Триггер переходит в состояние, отображаемое сигналом высокого уровня на выводе IRQ, при низком уровне сигналов на выводах HLDAI, CE, WR и высоком уровне сигнала на выводе A11. Это состояние триггера сохраняется до тех пор, пока он не будет сброшен в результате выполнения операции записи в регистр РПКС.

### **3.4 Обеспечение выполнения операций прямого доступа**

Низкий (активный) уровень выходного сигнала требования прямого доступа устанавливается на выводе HOLDO, если имеет место низкий уровень сигнала на выводе HOLDI и высокий (неактивный) уровень на выводе HLDAI. Это состояние сигнала на выводе HOLDO изменяется, когда сигнал на выводе HOLDI переходит в состояние высокого уровня при низком уровне сигнала на выводе HLDAI. Одновременно с этим устанавливается высокий (неактивный) уровень сигнала на выводе HLDAO. При низком уровне сигналов на выводах HOLDO и HLDAO формирователь ФСПД устанавливает значение сигнала на управляющем входе группы ключевых элементов КПЭ1, обеспечивающее выдачу высоких уровней сигналов на выходы A17-A13.

### **3.5 Формирование выходных сигналов для МПКО**

Значения сигналов на выходах TDOA и TDOB определяются как значениями входных сигналов на выводах TDI и CHMD, так и значениями диагностических сигналов «ДС0», «ДС1», которые отображают состояния соответствующих триггеров регистра РПКС. Диагностические признаки ДПС0, ДПС1 соответствуют битам регистра РПКС, их состояния могут быть считаны при обращении к этому регистру.

### **3.6 Регистр РПКС**

Обращение к регистру имеет место, если одновременно выполняются следующие условия:

- на выводах A17-A14 МБИС установлен двоичный код '1011';
- на выводах A12, A11 установлен код '01';

- на выводах AD15-AD8 установлен код '00111111', а на выводах AD7, AD6 код, отличный от значения '11', либо сигнал на выводе RGE имеет нулевое значение.

Формат регистра:

15	14	13	11	10	9	8	7	6
ДПС1/DT1	ДПС0/DT0	-	ПЗКС/WrIW	ДС1/DS1	ДС0/DS0	-		

Здесь:

ДС0, ДС1 – диагностические управляющие сигналы (см. раздел 3.5);

ПЗКС – признак записи командного слова: устанавливается в единицу аппаратно (см. п. 3.3);

ДПС0, ДПС1 – диагностические признаки состояния (см. раздел 3.5).

Биты 8, 9 доступны по чтению и записи; при высоком уровне сигнала инициализации на выводе SR устанавливаются в единичное состояние.

Бит 10 доступен по чтению и по записи только нуля; сигналом инициализации сбрасывается в ноль.

Биты 14, 15 доступны только по чтению, после действия сигнала инициализации имеют нулевое значение.

Биты 6-7, 11-13 в регистре отсутствуют.

Таблица 2

Выводы		Используемые состояния		Нагрузка	Назначение
Но-мер	Условное обозначение	Вход	Выход		
1	HLDAI	01			Входной сигнал разрешения прямого доступа
2	HOLDI	01			Входной сигнал требования прямого доступа
3	HLDAO		LHz		Выходной сигнал разрешения прямого доступа
4	HOLDO		LHz		Выходной сигнал требования прямого доступа
5	FERI	01			Входной сигнал фатальной ошибки
6	FERO		LHz		Выходной сигнал фатальной ошибки
7	TDI	01			Входной сигнал данных, выдаваемых в межмодульный канал
8	RDM		LHz		Выходной сигнал чтения памяти
9	CSM	01			Входной сигнал обращения к памяти
10	TDOA		LHz		Выходной сигнал данных, выдаваемых в межмодульный канал
11	TDOB		LHz		Выходной сигнал данных, выдаваемых в межмодульный канал
12	BIO		LHz		Выход сигнала обращения к регистрам БКВИ
13	CE	01	L	U	Вход/выход сигнала «Разрешено обращение к адресуемым регистрам»
14	RDY		LHz		Выход сигнала «Выполнение операции обмена завершено»
15	DS		LHz		Выход сигнала обращения к регистрам КА
16	KPM		LHz		Выход сигнала обращения к регистрам КПМ0
17	KMK		LHz		Выход сигнала обращения к регистрам КМК
18	VKU		LHz		Выход сигнала обращения к регистрам КПН
19	AD6	01			Вход разряда 6 шины данных
20	AD7	01			Вход разряда 7 шины данных
21	AD8	01	LH	U	Вход/выход разряда 8 шины данных
22	AD9	01	LH	U	Вход/выход разряда 9 шины данных
23	AD10	01	LH	U	Вход/выход разряда 10 шины данных

Продолжение таблицы 2

Выводы		Используемые состояния		Нагрузка	Назначение
Но-мер	Условное обозначение	Вход	Выход		
24	AD11	01			Вход разряда 11 шины данных
25	AD12	01			Вход разряда 12 шины данных
26	AD13	01			Вход разряда 13 шины данных
27	AD14	01	LH	U	Вход/выход разряда 14 шины данных
28	AD15	01	LH	U	Вход/выход разряда 15 шины данных
29	ALE	01			Вход сигнала «Адрес установлен»
30	CLK	01			Вход синхросигнала
31	RD	01			Вход сигнала «Чтение»
33	RGE	01			Выход сигнала обращения к регистрам
34	A5		LHz	u	Выход разряда 5 шины данных
35	A7		LHz	u	Выход разряда 7 шины данных
36	A8		LHz	u	Выход разряда 8 шины данных
37	A9		LHz	u	Выход разряда 9 шины данных
38	A10		LHz	u	Выход разряда 10 шины данных
39	A11		LHz	u	Выход разряда 11 шины данных
40	AI12	01			Адресный вход, бит 12
41	AI10	01			Адресный вход, бит 10
42	AI9	01			Адресный вход, бит 9
43	AI8	01			Адресный вход, бит 8
44	AI7	01			Адресный вход, бит 7
45	AI6	01			Адресный вход, бит 6
46	AI5	01			Адресный вход, бит 5
47	AI4	01			Адресный вход, бит 4
48	AI2	01			Адресный вход, бит 2
49	AI1	01			Адресный вход, бит 1
50	WDE	01			Вход сигнала срабатывания сторожевого таймера
51	RPCI	01			Входной сигнал инициализации микроконтроллера
52	SR	01			Входной сигнал инициализации функциональных блоков
53	RPCO		L	U	Выходной сигнал инициализации микроконтроллера
54	IRQ		LHz		Выход сигнала требования прерывания
55	CHMD	01			Входной сигнал управления выдачей в междоульный канал

Продолжение таблицы 2

Выводы		Используемые состояния		Нагрузка	Назначение
Но-мер	Условное обозначение	Вход	Выход		
56	SRV1		LHz		Выходной сигнал инициализации КПМ
57	A11	01			Вход разряда 11 шины адреса
58	WR	01			Вход сигнала «Запись»
59	A13		H	D	Выход разряда 11 шины адреса
60	A14		H	D	Выход разряда 11 шины адреса
61	A15		H	D	Выход разряда 11 шины адреса
62	A16		H	D	Выход разряда 11 шины адреса
63	A17		H	D	Выход разряда 11 шины адреса