

Техническое описание.

1 Назначение микросхемы

Генератор и формирователь сигналов инициализации (ГФСИ)

1.1 ГФСИ предназначен для генерации тактовой частоты до 48 МГц,

формирование сигналов инициализации и деление входной частоты с заданным коэффициентом деления в мажорированной системе. ГФСИ выполняет следующие функции:

- формирование тактовой частоты до 48 МГц;
- деление сформированной тактовой частоты на 2 в

мажорированной системе;

- формирование сигналов инициализации в мажорированной

системе;

- деление входной частоты с заданным коэффициентом деления,

1.2 Структурная схема ГФСИ представлена на рисунке 1.

2 Состав ГФСИ

2.1 ГФСИ (рисунок 1) состоит из следующих составных частей:

- блока формирования тактовой частоты до 48 МГц.
- блока формирования сигналов инициализации;
- блока делителя входной частоты с заданным коэффициентом деления;
- мажорированных каналов – А, С, D и F.

Номера, обозначения и назначение внешних выводов приведено в Таблице 1.

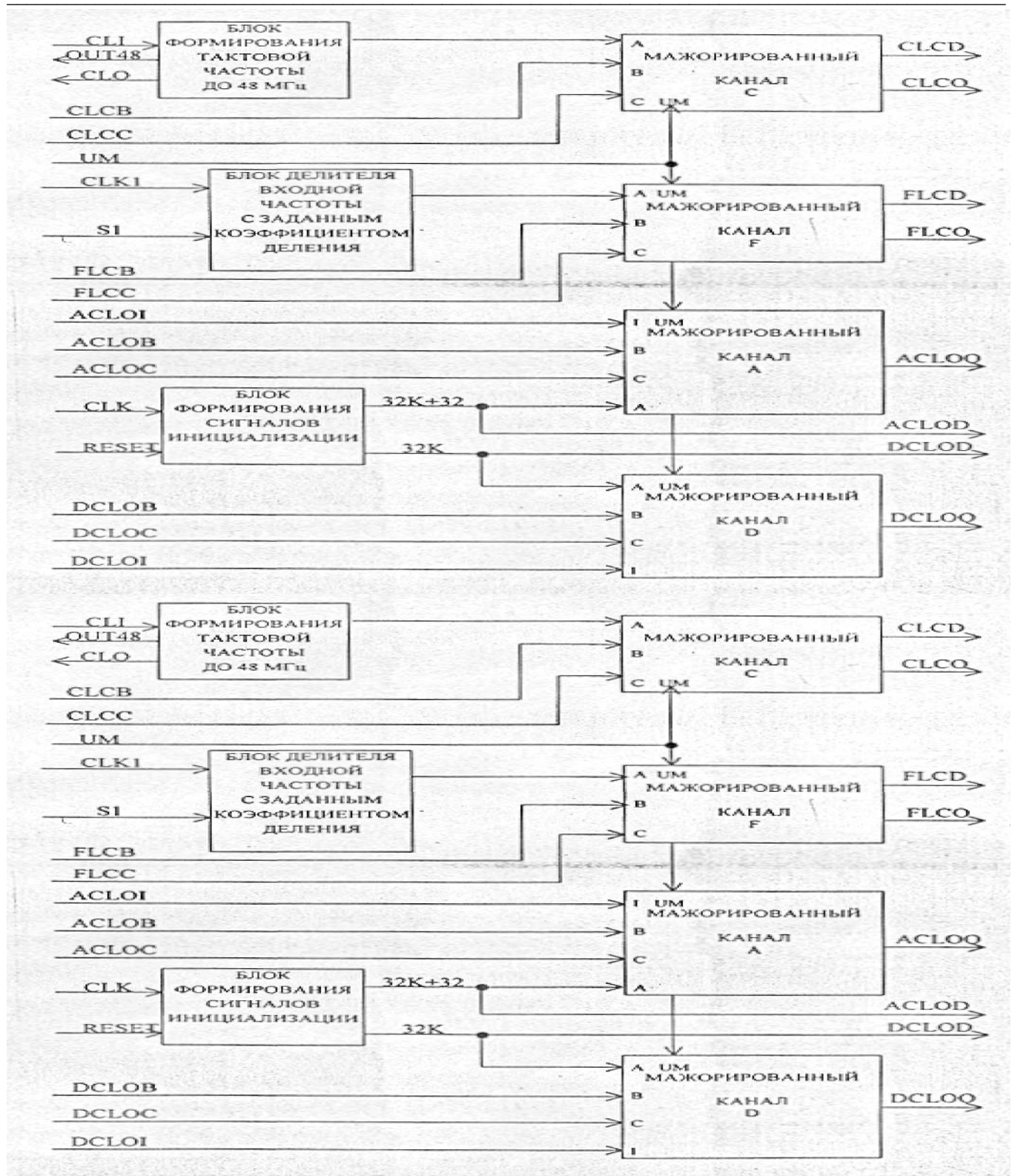


Рисунок 1 - Структурная схема ГФСИ

Таблица 1. Внешние выводы МБИС

Выводы		Используемые состояния		Нагрузка	Назначение
Но-мер	Условное обозначение	Вход	Выход		
1	DCLOI	01			Входной сигнал формирования инициализации по каналу D
2	DCLOB	01	-	-	Входной сигнал формирования инициализации по каналу D в мажорированной системе
3	DCLOC	01	-	-	Входной сигнал формирования инициализации по каналу D в мажорированной системе
4	DCLOD	-	LH	-	Выходной сигнал инициализации по каналу D
5	DCLOO	-	LH	-	Выходной сигнал инициализации по каналу D в мажорированной системе
6	S1	01	-	-	Входной сигнал задающий коэффициент деления по каналу F
7	OUT48		LH		Выходной сигнал частоты 48МГц
8	FLCC	01	-	-	Входной сигнал по каналу F в мажорированной системе
9	FLCB	01	-	-	Входной сигнал по каналу F в мажорированной системе
10	CLK1	+	-	-	Вход тактовой частоты делителя с переменным коэффициентом деления по каналу F
11	FLCD	-	LH	-	Выходной сигнал делителя с переменным коэффициентом деления по каналу F
12	FLCO	-	LH	-	Выходной сигнал делителя с переменным коэффициентом деления по каналу F в мажорированной системе
13	RESET	01	-	-	Входной сигнал начала формирования инициализации по каналам A и D
14	GND				Вывод "ОБЩИЙ"
15	CLCO	-	LH	-	Выходной сигнал делителя на 2 по каналу C
16	CLCD	-	LH	-	Выходной сигнал делителя на 2 по каналу C в мажорированной системе
17	UM	01	-	-	Входной сигнал отключающий мажорирование по всем каналам
18	CLI	01	-	-	Входной сигнал формирования тактовой частоты до 48 МГц
19	CLO	-	LH	-	Выходной сигнал формирования тактовой частоты до 48 МГц
20	CLCB	01	-	-	Входной сигнал по каналу C в мажорированной системе
21	CLCC	01	-	-	Входной сигнал по каналу C в мажорированной системе

Продолжение таблицы 1.

Выходы		Используемые состояния		Нагрузка	Назначение
Но- мер	Условное обозначе- ние	Вход	Выход		
22	ACLOI	01	-	-	Входной сигнал формирования инициализации по каналу А
23	ACLOB	01	-	-	Входной сигнал формирования инициализации по каналу А в мажорированной системе
24	ACLOC	01	-	-	Входной сигнал формирования инициализации по каналу А в мажорированной системе
25	ACLOO	-	LH	-	Выходной сигнал формирования инициализации по каналу А в мажорированной системе
26	ACLOD	-	LH	-	Выходной сигнал формирования инициализации по каналу А
27	CLK	+	-	-	Вход тактовой частоты формирования инициализации по каналам А и D
28	UCC	-	-	-	ВЫХОД "ПИТАНИЕ"

3 Описание работы ГФСИ

3.1 ГФСИ (и каждый блок соответственно) может работать в двух режимах: мажорированном или одноканальном, которые задаются потенциалом на входе UM, Если на входе UM высокий уровень, то ГФСИ работает в режиме мажорирования. Если на входе UM низкий уровень, то ГФСИ работает в одноканальном режиме.

Блок формирования тактовой частоты до 48 МГц с помощью внешнего кварцевого резонатора, подключенного к выводам CLI, CLO, формирует тактовую частоту, которая с мажорированием делится на 2 и выдается в другие каналы резервирования по выходу CLCD, из двух других каналов резервирования на входы CLCB и CLCC приходят аналогичные; (с выходов CLCD этих каналов) сигналы тактовой частоты, выполняется мажорирование трех сигналов (по принципу голосования «два из трех») и результирующий сигнал выдается по выходу CLCO. При работе блока формирования тактовой частоты до 48 МГц в одноканальном режиме сигналы «CLCB» и «CLCC» игнорируются и сигнал «CLCO» определяется только внутренним сигналом «CLCD» данного ГФСИ.

Блок делителя частоты выполняет функцию деления частоты, приходящей на вход CLKI на коэффициент деления, который задается сигналом на входе S1. Зависимость коэффициента деления от сигнала "S1" приведена в таблице 1.

Таблица 1 -Коэффициент деления

Сигнал S1	Коэффициент деления
0	2
1	3

Поделенный с мажорированием сигнал частоты поступает на выход

FLCD - этот сигнал предназначен для выдачи в другие каналы резервирования. Из двух других каналов резервирования на входы FLCB и FLCC поступают аналогичные (с выходов FLCD этих каналов) сигналы поделенной частоты, выполняется мажорирование трех сигналов (по принципу «два из трех») и результирующий сигнал выдается по выходу FLCO. При работе блока делителя частоты в одноканальном режиме сигналы «FLCB» и «FLCC» игнорируются и сигнал «FLCO» определяется только внутренним сигналом «FLCD» данного ГФСИ.

Блок формирования сигналов инициализации предназначен для формирования сигналов инициализации цифровых микросхем при включении питания. На вход RESET поступает сигнал от источника питания, сигнализирующий о его включении (0-источник

выключен, 1- включен). В качестве сигнала RESET может использоваться интегрирующая RC-цепь, подключенная к шине «+5В». При наличии на входе RESET сигнала низкого уровня на выходы DCLOD и ACLOD выдаются сигналы низкого уровня. После перехода сигнала «RESET» в высокий уровень внутренние счетчики блока отсчитывают 32000 тактов частоты CLK и выдают сигнал "DCLOD" высоким уровнем, а через 32 такта частоты CLK после выдачи "DCLOD" выдают и сигнал «ACLOD» высоким уровнем. Сигналы «DCLOD», «TCLOB», «DCLOC» мажорируются по принципу «два из трех» и формируют результирующий сигнал "DCLOO". Сигналы «ACLOD», «ACLOB» и "ACLOC" мажорируются по принципу голосования "два из трех" и формируют результирующий сигнал "ACLOO". При одноканальном режиме работы микросхемы сигналы «DCLOB», «DCLOC», «ACLOB» и «ACLOC» игнорируются и сигнал «DCLOO» формируется из сигнала «DCLOD», а сигнал «ACLOO» формируется из сигнала "ACLOD". Сигнал на входе ACLOI передается на выход ACLOD без изменения, а сигнал со входа DCLOI передается без изменения на выход DCLOD.

3.2 В ГФСИ на выходах 02, 03, 18, 20, 21, 23 и 24 используются периферийные ячейки без диодов электростатической защиты, подключенных к шине «Питание».

4 Условное графическое изображение ГФСИ

4.1 Условное графическое изображение ГФСИ приведено на рисунке 2

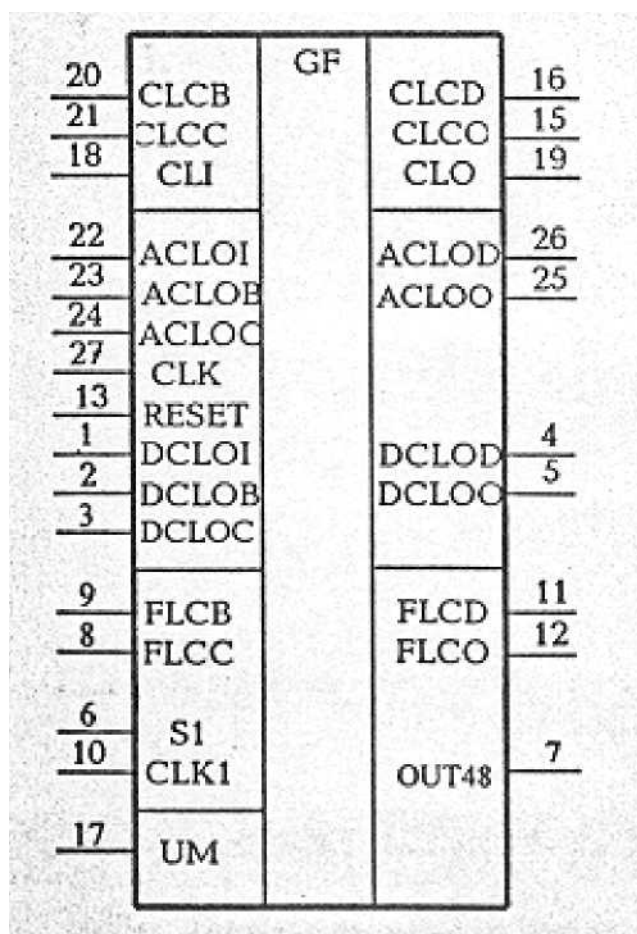


Рисунок 2 - Условное графическое изображение ГФСИ