

Техническое описание.

1. Назначение и состав микросхемы

1.1 Микросхема предназначена для работы в качестве интерфейса исполнительной платы в блоках силовой автоматики.

1.2 Микросхема ИС должна выполнять следующие функции:

- дешифрацию адреса (сравнение адреса, поступающего от задатчика, со значением, установленным переключками на входах собственного адреса);
- запись данных, поступающих на входную шину, в регистр;
- выдачу данных из регистра на выходную шину;
- дешифрацию младших трёх битов адреса в позиционный код.

1.3 Наименование и обозначение выводов приведено в таблице 1 карты заказа.

1.4 Структурная схема микросхемы представлена на рис. 1.

Номера, обозначения и назначение внешних выводов приведено в Таблице 1.

2. Состав микросхемы

2.1 В состав микросхемы входят следующие составные части:

- дешифратор адреса;
- регистр;
- мультиплексор;
- схема сброса регистра;
- блок управляемых инверторов;
- схема формирования stroba.

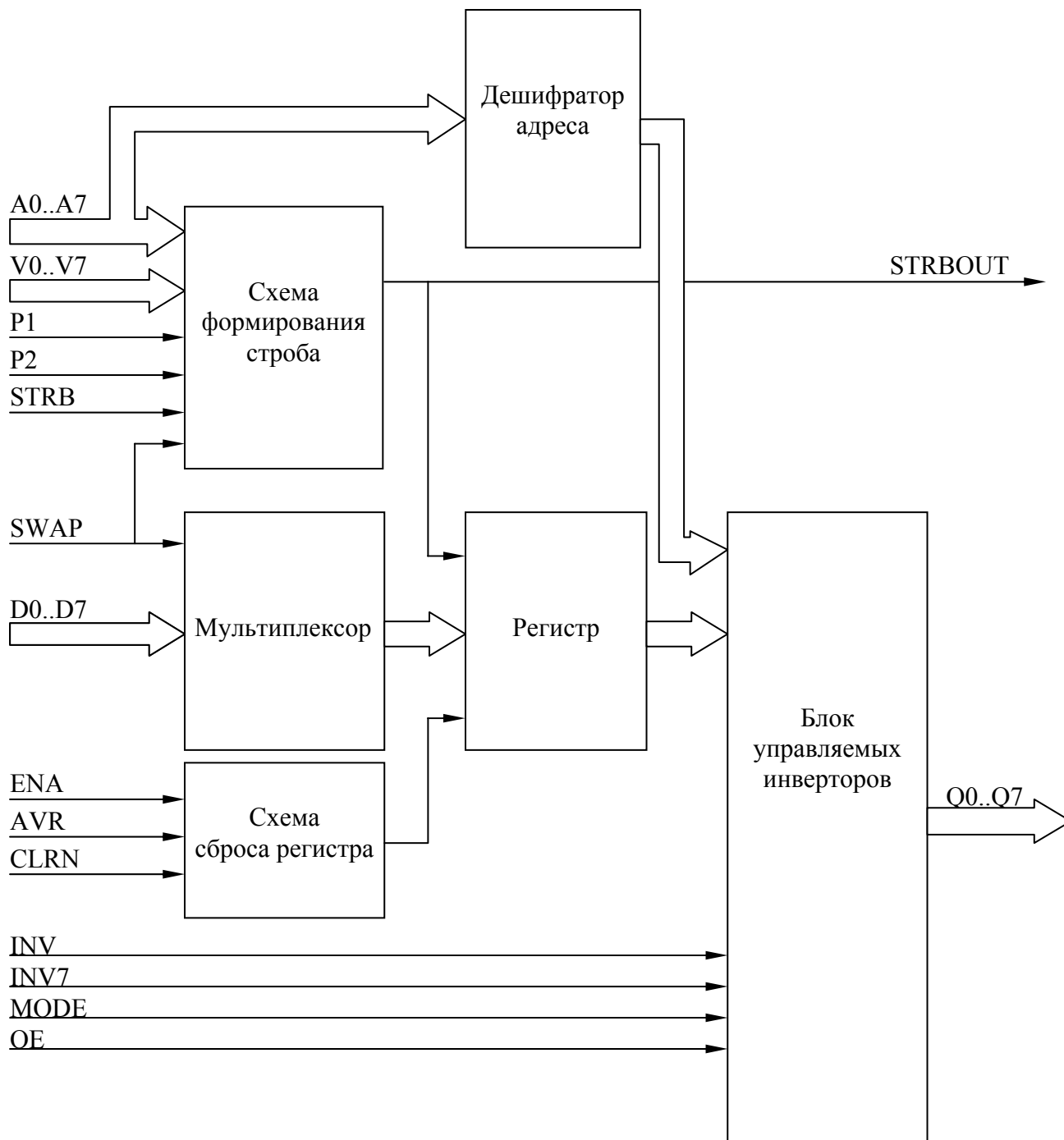


Рис. 1. Структурная схема

Таблица 1

Выводы		Используемые состояния		Нагрузка	Назначение
Но-мер	Условное обозначение	Вход	Выход		
1.	A5	10			Вход 5 разряда шины адреса
2.	OE	10			Вход управления открыванием
3.	STRBout		HL		Выход строба, объединённый с результатом дешифрации адреса
4.	ENA	10			Вход разрешения записи
5.	INV	10			Вход признака инверсии выходных данных Q6 - Q0
6.	INV7	10			Вход признака инверсии выходных данных Q7
7.	CLRN	10			Вход очистки регистра
8.	Q7		HLZ	R	Выход 7 разряда шина данных при MODE=1 или дешифрованного адреса при MODE=0
9.	Q6		HLZ	R	Выход 6 разряда шина данных при MODE=1 или дешифрованного адреса при MODE=0
10.	Q5		HLZ	R	Выход 5 разряда шина данных при MODE=1 или дешифрованного адреса при MODE=0
11.	Q4		HLZ	R	Выход 4 разряда шина данных при MODE=1 или дешифрованного адреса при MODE=0
12.	Q3		HLZ	R	Выход 3 разряда шина данных при MODE=1 или дешифрованного адреса при MODE=0
13.	Q2		HLZ	R	Выход 2 разряда шина данных при MODE=1 или дешифрованного адреса при MODE=0
14.	Q1		HLZ	R	Выход 1 разряда шина данных при MODE=1 или дешифрованного адреса при MODE=0
15.	Q0		HLZ	R	Выход 0 разряда шина данных при MODE=1 или дешифрованного адреса при MODE=0
16.	MODE	10			Вход переключателя режима
17.	AVR	10	L		Вход-выход аварийного сброса
18.	V5	10			Вход 5 разряда адреса БИС
19.	V4	10			Вход 4 разряда адреса БИС
20.	V3	10			Вход 3 разряда адреса БИС
21.	GND				Вывод "Общий"
22.	V2	10			Вход 2 разряда адреса БИС
23.	V1	10			Вход 1 разряда адреса БИС
24.	V0	10			Вход 0 разряда адреса БИС
25.	P2	10			Вход старшего разряда дополнение входов V5- V0 и SWAP до чётности.
26.	P1	10			Вход младшего разряда дополнение входов V5- V0 и SWAP до чётности.

Продолжение таблицы 1

Выводы		Используемые состояния		Нагрузка	Назначение
Но-мер	Условное обозначение	Вход	Выход		
27.	SWAP	10			Вход управления переменной местами разрядов 0..3 и 4..7 на входе регистра
28.	D0	10			Вход 0 разряда шины данных
29.	D1	10			Вход 1 разряда шины данных
30.	D2	10			Вход 2 разряда шины данных
31.	D3	10			Вход 3 разряда шины данных
32.	D4	10			Вход 4 разряда шины данных
33.	D5	10			Вход 5 разряда шины данных
34.	D6	10			Вход 6 разряда шины данных
35.	D7	10			Вход 7 разряда шины данных
36.	STRB	10			Вход строба записи или чтения
37.	A0	10			Вход 0 разряда шины адреса
38.	A1	10			Вход 1 разряда шины адреса
39.	A2	10			Вход 2 разряда шины адреса
40.	A3	10			Вход 3 разряда шины адреса
41.	A4	10			Вход 4 разряда шины адреса
42.	VCC				Вывод "Питание"

3. Описание работы микросхемы

3.1 Входы микросхемы A0 – A5, CLRN, STRB имеют триггера Шмидта с ТТЛ – уровнями.

3.2 Входы D0 – D7 являются входами ТТЛ – уровня.

3.3 Входы INV, INV7, SWAP, P1, P2, V0 – V5 имеют внутренние резисторы доопределения до высокого логического уровня с номиналом 15 – 30 кОм.

3.4 Вход STRB выполняет функцию либо stroba записи, либо stroba чтения. Активный уровень — низкий. При совпадении адреса на входах A[5..0] с собственным адресом на входах V[5..0], а также при выполнении условия чётности ($P = 1$) сигнал STRB транслируется на выход STRBout. Если $A[5..0] \neq V[5..0]$ или не выполнено условие чётности ($P = 0$), на выходе STRBout формируется уровень логической единицы.

Условие чётности считается выполненным ($P = 1$), если количество единиц на девяти входах V[5..0], SWAP, P1, P2 чётно (таблица 1).

Таблица 1.

STRB	A[5..0]	P	STRBout
L	= V[5..0]	1	L
H	x	x	H
x	\neq V[5..0]	x	H
x	x	0	H

3.5 Внутренние сигналы дешифрации адреса в 8-разрядный позиционный код PosCode[7..0] формируются согласно таблице 2.

Таблица 2.

STRB	A[5..3]	P	A[2..0]	PosCode[7..0]
L	=V[5..3]	1	000	00000001
			001	00000010
			010	00000100
			011	00001000
			100	00010000
			101	00100000
			110	01000000
			111	10000000
H	x	x	xxx	00000000
x	≠V[5..3]	x	xxx	00000000
x	x	0	xxx	00000000

3.6 В состав БИС входит 8-разрядный регистр Reg[7..0]. Запись данных в этот регистр происходит по телу отрицательного импульса на входе ENA (при постоянном низком уровне на входе ENA данные всегда проходят на выход).

3.7 Данные на вход регистра Reg поступают со входов D[7..0] с перестановкой в зависимости от значения на входе SWAP:

- при SWAP = 0 Reg[7..0].D = D[7..0];
- при SWAP = 1 Reg[7..4].D = D[3..0], Reg[3..0].D = D[7..4].

3.8 В зависимости от уровня на входе MODE на выходы Q[7..0] поступают либо данные с выходов регистра Reg, либо с позиционный код с дешифратора PosCode[7..0].

3.9 В зависимости от уровней на входах INV и INV7 регистра выходные сигналы инвертируются:

$$\begin{aligned} \text{При } \text{MODE} = 1 \quad Q[i] &= \text{Reg}[i] \text{ xor } \text{INV}, \quad i = 0..6; \\ Q7 &= \text{Reg}7 \text{ xor } \text{INV}7. \end{aligned}$$

$$\begin{aligned} \text{При } \text{MODE} = 0 \quad Q[i] &= \text{PosCode}[i] \text{ xor } \text{INV}, \quad i = 0..6; \\ Q7 &= \text{PosCode}7 \text{ xor } \text{INV}7. \end{aligned}$$

3.10 Выходы Q[7..0] обладают возможностью перехода в высокоимпедансное состояние с управлением от входа OE: при высоком уровне на этом входе выходы Q[7..0] находятся в Z-состоянии, при низком — в активном.

3.11 Вход CLRN (Clear Negative) сбрасывается регистр Reg. при CLRN = 0.

3.12 В микросхеме реализована отключаемая функция аварийного сброса регистра Reg, аналогичная БИС КН5503XM2-115 и H5503XM2-142. Для ограничения длительности импульсных команд через время 50 ... 250 мс после последней записи в регистр Reg, регистр обнуляется. Время определяется RC-цепью на двунаправленном выводе AVR. Резистор и конденсатор подключаются параллельно между выводом AVR и «+5 В». Отключение функции аварийного сброса — соединение вывода AVR с общим проводом. Вывод AVR имеет внутреннюю обратную связь, поэтому на нём формируется кратковременный сигнал низкого уровня.

4. Способы включения.

4.1. Адресуемый регистр для записи:

OE = 0;

STRB = WR;

ENA = STRBout;

CLRN — от RC-цепи сброса;

D[7..0] — от входной шины данных;

Q[7..0] — к исполнительной части устройства;

A[5..0] — от шины адреса;

V[5..0], P1, P2, SWAP — часть разрядов задано перемычками на плате, часть — перемычками на разъёме устройства.

AVR, INV, INV7 — используются в случае необходимости;

STRBout — если требуется сформировать импульс запуска АЦП, то этот выход запускает одновибратор, реализующий такую задержку.

4.2. Адресуемый буфер с третьим состоянием на выходе для чтения:

STRB = RD;

CLRN = 0;

OE = STRBout;

ENA = 0;

SWAP = 0;

D[7..0] — от источника читаемой информации;

Q[7..0] — на выходную шину данных;

A[5..0] — от шины адреса;

V[5..0], P1, P2 — часть разрядов задано перемычками на плате, часть — перемычками на разъёме устройства.

INV, INV7 — используются в случае необходимости;

AVR = 0.