

Техническое описание

1 Назначение МБИС

1.1 МБИС предназначена для обнаружения и исправления ошибочных сигналов путем их мажорирования.

2 Состав МБИС

2.1 В состав микросхемы входят следующие составные части:

- блок усилителя сигнала (УС);
- 8 двунаправленных мажоритарных блоков МЭ [0-7];
- однонаправленный мажоритарный блок МЭ8 ;
- однонаправленный мажоритарный блок МЭ9 с автоподбросом;
- буферные элементы (БЭ);
- блок диагностики (БД).

Структурная схема МБИС приведена на рисунке 1

Номера, обозначения и назначение внешних выводов приведено в Таблице 1.

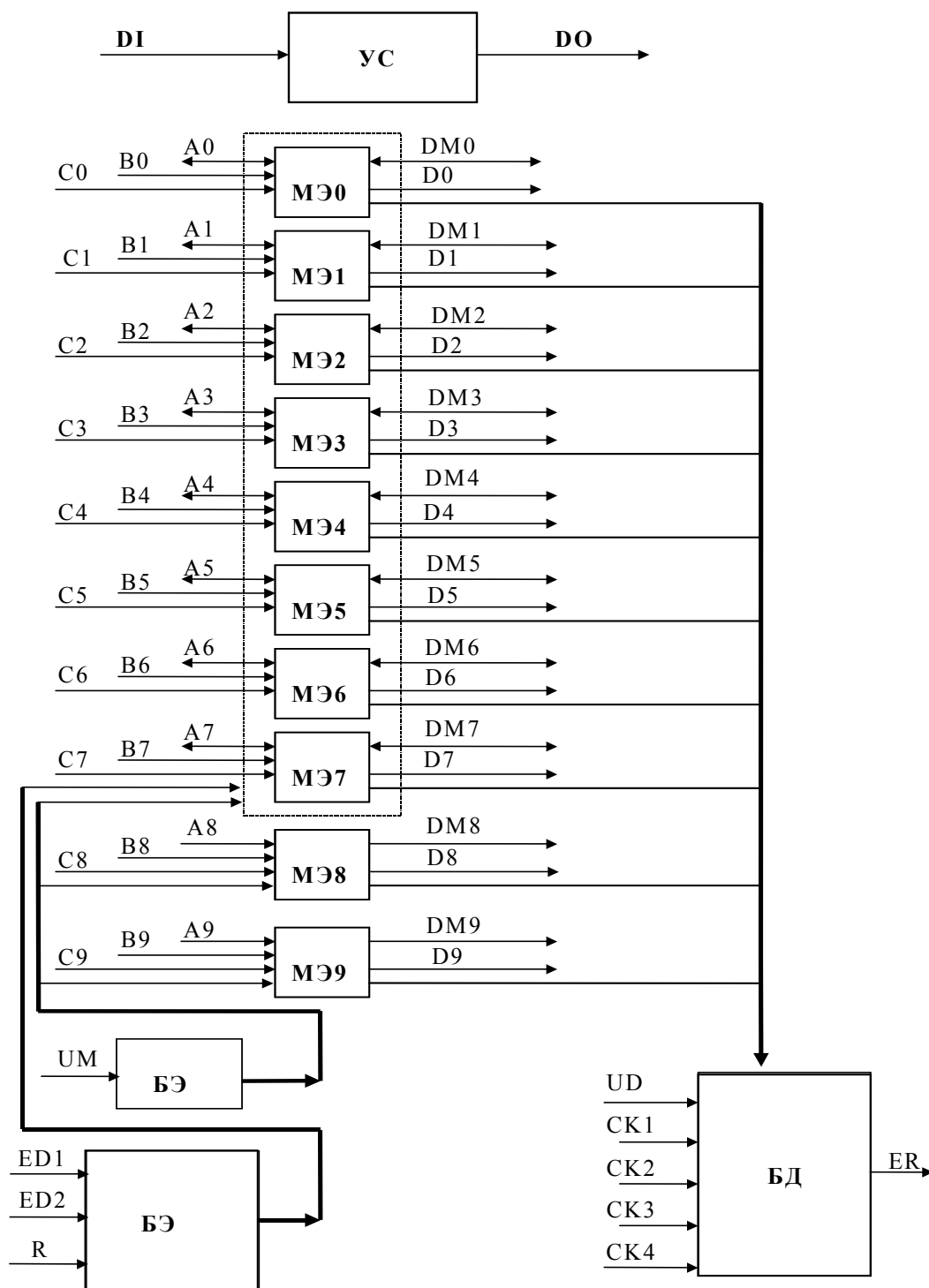


Рисунок 1 - Структурная схема МБИС

Таблица 1. Внешние выводы МБИС

Выводы		Используемые состояния		Нагрузка	Назначение
Но-мер	Условное обозначение	Вход	Выход		
1.	ED1	10			вход выбора передачи информации
2.	ED2	10			вход выбора передачи информации
3.	UM	10			вход включения мажорирования
4.	R	10			вход управления внутренними резисторами
5.	DM9		HL		девятый разряд шины DM
6.	C9	10			девятый разряд шины C
7.	D9		HL		девятый разряд шины D
8.	B9	10			девятый разряд шины B
9.	A9	10			девятый разряд шины A
10.	DM8		HL		восьмой разряд шины DM
11.	C8	10			восьмой разряд шины C
12.	D8		HL		восьмой разряд шины D
13.	B8	10			восьмой разряд шины B
14.	A8	10			восьмой разряд шины A
15.	DM7		HLZ	R	седьмой разряд шины DM
16.	C7	10			седьмой разряд шины C
17.	D7		HL		седьмой разряд шины D
18.	B7	10			седьмой разряд шины B
19.	A7	10	HLZ	R	седьмой разряд шины A
20.	DM6		HLZ	R	шестой разряд шины DM
21.	C6	10			шестой разряд шины C
22.	D6		HL		шестой разряд шины D
23.	B6	10			шестой разряд шины B
24.	A6	10	HLZ	R	шестой разряд шины A
25.	DM5		HLZ	R	пятый разряд шины DM
26.	C5	10			пятый разряд шины C
27.	D5		HL		пятый разряд шины D
28.	B5	10			пятый разряд шины B
29.	A5	10			пятый разряд шины A
30.	UD	10			вход выбора диагностики
31.	CK4	10			вход
32.	0V				Земля

Выводы		Используемые состояния		Нагрузка	Назначение Условное обозначение
Но- мер	Условное обозначение	Вход	Выход		
33.	СК3	10			вход
34.	СК2	10			вход
35.	СК1	10			вход
36.	A0	10	HLZ	R	нулевой разряд шины А
37.	B0	10			нулевой разряд шины В
38.	D0		HL		нулевой разряд шины D
39.	C0	10			нулевой разряд шины С
40.	DM0	10	HLZ	R	нулевой разряд шины DM
41.	A1	10	HLZ	R	первый разряд шины А
42.	B1	10			первый разряд шины В
43.	D1		HL		первый разряд шины D
44.	C1	10			первый разряд шины С
45.	DM1	10	HLZ	R	первый разряд шины DM
46.	A2	10	HLZ	R	второй разряд шины А
47.	B2	10			второй разряд шины В
48.	D2		HL		второй разряд шины D
49.	C2	10			второй разряд шины С
50.	DM2	10	HLZ	R	второй разряд шины DM
51.	A3	10	HLZ	R	третий разряд шины А
52.	B3	10			третий разряд шины В
53.	D3		HL		третий разряд шины D
54.	C3	10			третий разряд шины С
55.	DM3	10	HLZ	R	третий разряд шины DM
56.	A4	10	HLZ	R	четвёртый разряд шины А
57.	B4	10			четвёртый разряд шины В
58.	D4		HL		четвёртый разряд шины D
59.	C4	10			четвёртый разряд шины С
60.	DM4	10	HLZ	R	четвёртый разряд шины DM
61.	DI	10			вход блока усилителя сигнала
62.	DO		HL		выход блока усилителя сигнала
63.	ER		H Z	R	выход блока диагностики
64.	+5V				Напряжение питания

3 Описание режимов и временных диаграмм работы МБИС

3.1 Функционирование двунаправленных мажоритарных блоков МЭi, (i=0-7)

В МБИС выбор направления передачи информации осуществляется сигналами “ED1” и “ED2”. Выбор направления передачи информации приведен в таблице 1.

Таблица 1.

ED1	ED2	Ai	DMi
0	0	откл	откл
0	1	вх	вых
1	0	вых	вх
1	1	запр	запр

(i=0-7)

Выводы Ai, DMi (i=0-7) доопределены внутренними резисторами, управляемыми потенциалом на входе "R". Доопределение осуществляется до потенциала "общего" провода (при R="лог. 0") или до потенциала питания (при R="лог. 1")

3.1.1 Функционирование БИС при условии "ED1"=0, "ED2"=0.

Выводы Ai и DMi отключены.

$D_i = DM_i$.

3.1.2 Функционирование БИС при условии "ED1"=1, "ED2"=0

Сигнал выхода DMi является результатом мажорирования сигналов на входах Ai, Bi, Ci (i=0-7) или повторяет сигнал на входе Ai, в зависимости от состояния входа UM. Сигналы на выходах Di повторяют сигналы на входах Ai, независимо от состояния входа UM.

Если мажоритирование включено (UM="лог.1"), то состояние выводов DMi, Di определяется формулами (1) и (2):

$$DM_i = (A_i \wedge B_i \vee A_i \wedge C_i \vee B_i \wedge C_i), \quad (1)$$

$$D_i = A_i, (i=0-7). \quad (2)$$

Если мажоритирование отключено (UM="лог.0"), то состояние выводов DMi, Di определяется формулами (3) и (4):

$$DM_i = A_i, \quad (3)$$

$$D_i = A_i, (i=0-7). \quad (4)$$

3.1.3 Функционирование БИС при условии "ED1"=0, "ED2"=1

Сигнал выхода A_i является результатом мажорирования сигналов на входах DM_i, B_i, C_i ($i=0-7$). Сигналы на выходах D_i повторяют сигналы на входах A_i , независимо от состояния входа UM .

Если мажоритирование включено ($UM="лог.1"$), то состояние выводов A_i, D_i определяется формулами (5) и (6):

$$A_i = (DM_i \wedge B_i \vee A_i \wedge C_i \vee B_i \wedge C_i), \quad (5)$$

$$D_i = DM_i, \quad (i=0-7). \quad (6)$$

Если мажоритирование отключено ($UM="лог.0"$), то состояние выводов A_i, D_i определяется формулами (7) и (8):

$$A_i = DM_i, \quad (7)$$

$$D_i = DM_i, \quad (i=0-7); \quad (8)$$

3.1.4 Состояние сигналов "ED1" $=1$, "ED2" $=1$ является запрещенным состоянием;

3.2 Функционирование однонаправленного мажоритарного блока МЭ8:

A_8 является входом; DM_8 - выходом.

В случае, если мажоритирование включено ($UM="лог.1"$), то состояние выходов DM_8, D_8 определяется формулами (9) и (10):

$$DM_8 = (A_8 \wedge B_8 \vee A_8 \wedge C_8 \vee B_8 \wedge C_8), \quad (9)$$

$$D_8 = A_8. \quad (10)$$

Если мажоритирование отключено ($UM="лог.0"$), то состояние выходов DM_8, D_8 определяется формулами (11) и (12):

$$DM_8 = A_8, \quad (11)$$

$$D_8 = A_8. \quad (12)$$

3.3 Функционирование однонаправленного мажоритарного блока МЭ9 с автоподбросом (рисунок 2)

A_9 является входом; DM_9 - выходом.

В случае, если мажоритирование включено ($UM="лог.1"$), то состояние выходов DM_9, D_9 определяется формулами (13) и (14):

$$DM_9 = (A_9 \wedge B_9 \vee A_9 \wedge C_9 \vee B_9 \wedge C_9), \quad (13)$$

$$D_9 = A_9. \quad (14)$$

Если мажоритирование отключено ($UM="лог.0"$), то состояние выходов DM_9, D_9 определяется формулами (15) и (16):

$$DM_9 = A_9, \quad (15)$$

$$DD = A_9. \quad (16)$$

Выход DM9 построен на схеме с открытым стоком, при этом состояние "лог.1" на выходе обеспечивается встроенным доопределяющим резистором, подключенным к шине питания. Для ускоренного переключения выхода DM9 из состояния "лог.0" в состояние "лог.1" на выход DM9 выдается активная "лог.1" до тех пор, пока напряжение на выходе DM9 не достигнет порогового напряжения, после чего выход DM9 переводится в отключенное состояние.

3.4 Блок диагностики (БД)

Блок диагностики формирует признак рассогласования входной и выходной информации путем сравнения сигналов на выводах A_i и DM_i ($i=0-9$) в определенные моменты времени. Для каждой пары сигналов " A " i , " DM " i формируется внутренний сигнал рассогласования " ER " i .

Выходной сигнал " ER " является логической суммой сигналов " ER " i ($i=0-9$). Наличие рассогласования соответствует активной "лог.1" на выходе ER . Отсутствие рассогласования соответствует отключенному состоянию на выходе ER .

3.4.1 Для выводов A_i , DM_i ($i=0-7$) сравнение производится либо по задним фронтам сигналов " $СК1$ " и " $СК3$ ", и по переднему фронту сигнала " $СК2$ ", в случае сигнала " UD "="лог.0", либо по переднему фронту сигнала " $СК4$ " при сигнале " UD "="лог.1".

При сигнале " UD "="лог.0" сигнал " ER " i формируется по переднему фронту входного сигнала " $СК2$ ", и по заднему фронту любого из входных сигналов " $СК1$ " и " $СК3$ ", при несовпадении сигналов на соответствующей паре A_i , DM_i ($i=0-7$). ER_i ($i=0-7$) сбрасывается из "лог.1" в "лог.0", когда сигналы на соответствующей паре выводов A_i и DM_i совпадают.

При сигнале " UD "="лог.1" сигнал ER_i формируется по переднему фронту входного сигнала " $СК4$ ", при несовпадении сигналов на второй такт соответствующей пары A_i , DM_i ($i=0-7$).

3.4.2 Для выводов A_i , DM_i ($i=8,9$) сравнение производится по переднему фронту сигнала " $СК4$ " при сигнале " UD "="лог.1".

При сигнале " UD "="лог.1" сигнал ER_i формируется по переднему фронту входного сигнала $СК4$ на второй такт при несовпадении сигналов на соответствующей паре A_i , DM_i . Сигнал ER_i ($i=8,9$) сбрасывается из "лог.1" в "лог.0", когда сигналы на соответствующей паре выводов A_i и DM_i совпадают. (рисунок 3). Временная диаграмма формирования сигнала ER_i представлена на рисунке 3.



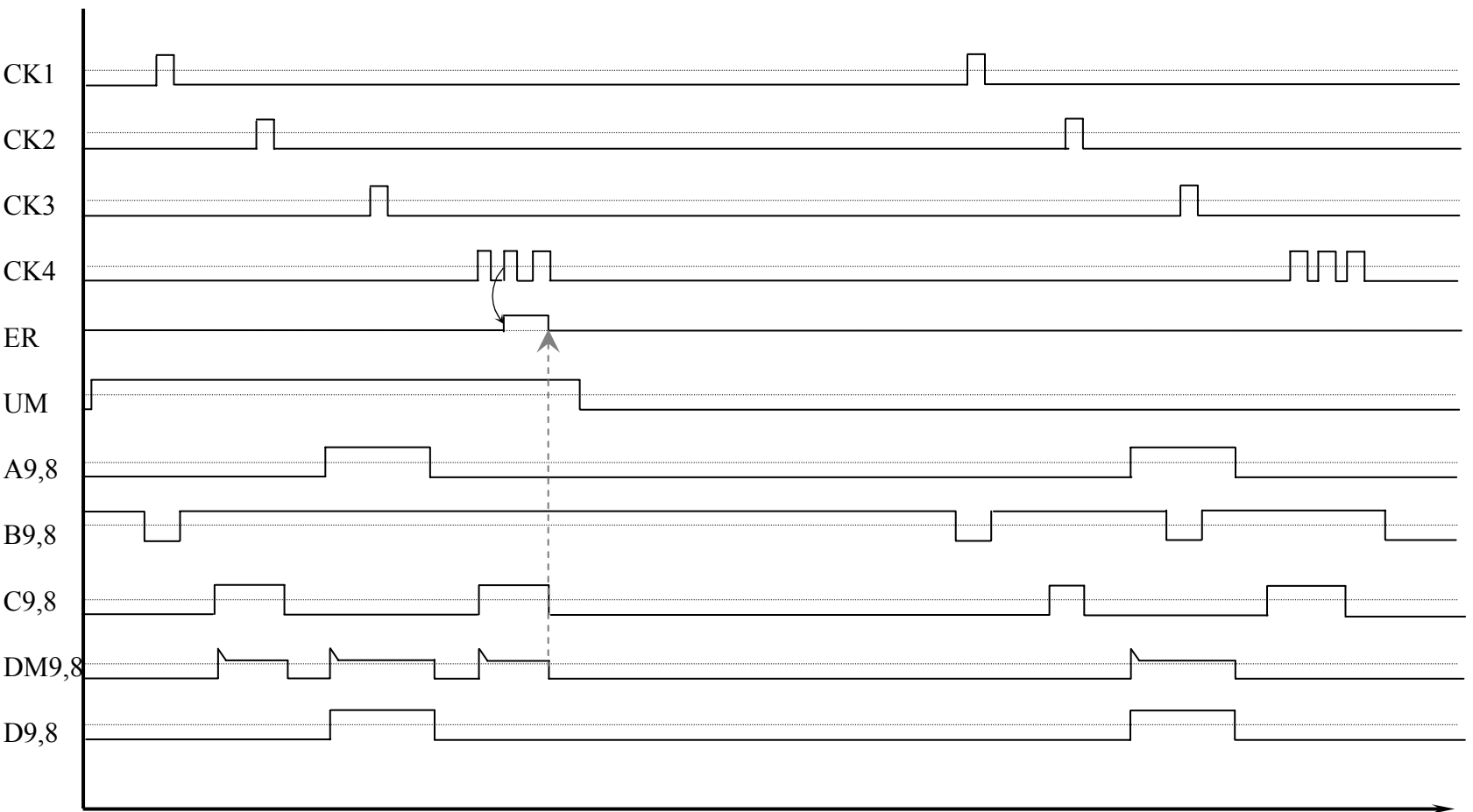


Рисунок 3. Временная диаграмма формирования сигнала ERi

4 Условное графическое изображение микросхемы

4.1 Условное графическое изображение микросхемы приведено на рисунке 4

36		≥2	DM0	40
41	AO		DM1	45
46	A1		DM2	50
51	A2		DM3	55
56	A3		DM4	60
29	A4		DM5	25
24	A5		DM6	20
19	A6		DM7	15
14	A7		DM8	10
9	A8		DM9	5
37	B0		D0	38
42	B1		D1	43
47	B2		D2	48
52	B3		D3	53
57	B4		D4	58
28	B5		D5	27
23	B6		D6	22
18	B7		D7	17
13	B8		D8	12
8	B9		D9	7
39	C0			
44	C1			
49	C2			
54	C3			
59	C4			
26	C5			
21	C6			
16	C7			
11	C8			
6	C9			
1	ED1			
2	ED2			
3	UM			
30	UD		ER	63
35	CK1			
34	CK2			
33	CK3			
31	CK4			
4	R			
61	DI		DO	62

Рисунок 4 - Графическое изображение микросхемы